



**Военная кафедра
при Национальном исследовательском университете
«Высшая школа экономики»**



ЛЕКЦИЯ
по учебной дисциплине
«Военно-специальная подготовка»
профессора военной кафедры при НИУ ВШЭ
полковника запаса Маслénкина Е.В.



ТЕМА 5: «МВК «Эльбрус». Архитектура микропроцессоров, процессорных модулей, аппаратное обеспечение ВЫЧИСЛИТЕЛЬНЫХ КОМПЛЕКСОВ»

Лекция 1: «Общая характеристика семейства «Эльбрус, архитектура МВК «Эльбрус-2». Разработки на базе современной отечественной микропроцессорной архитектуры»

Учебные вопросы лекции:

- 1. Общая характеристика семейства ЭВМ «Эльбрус».**
- 2. Архитектура МВК “Эльбрус-2”.**
- 3. Разработки на базе современной отечественной микропроцессорной архитектуры.**



1. Актерский Ю.Е. Сети ЭВМ и телекоммуникации: Учебное пособие. – СПб.: ПВИРЭ КВ, 2005. – 223 с.
2. Вейцман К. Распределенные системы мини – и микро-ЭВМ; Пер. с англ. М.: Финансы и статистика, 1982.
3. Головкин Б.А. Параллельные вычислительные системы. М.Наука, 1980.
4. Каган Б.М. Электронные машины и системы: Учебное пособие. – 2-е изд., перераб. И доп. М.: Энергоатомиздат, 1985.
5. **Ким А. К., Перекатов В. И., Ермаков С. Г. Микропроцессоры и вычислительные комплексы семейства «Эльбрус». — СПб.: Питер, 2013. — 272с.: ил.**
6. А. М. Ларионов, С.А. Майоров, Г. И. Новиков. Вычислительные комплексы системы и сети. – Ленинград: ЭНЕРГОАТОМИЗДАТ. Ленинградское отделение, 1987. 179 с.
7. Прангишвили И.В., Подлазов В.С., Стецюра Г.Г. Локальные микропроцессорные вычислительные сети.. М.: Наука, 1984.
8. Сипсер Р. Архитектура связи в распределенных системах: Пер. с англ. М.: Мир, 1981. Т. 1, 2.
9. Якубайтис Э.А. Информационно-вычислительные сети. И.: Финансы и статистика, 1984.



Учебный вопрос №1

4

Общая характеристика семейства ЭВМ «Эльбрус»

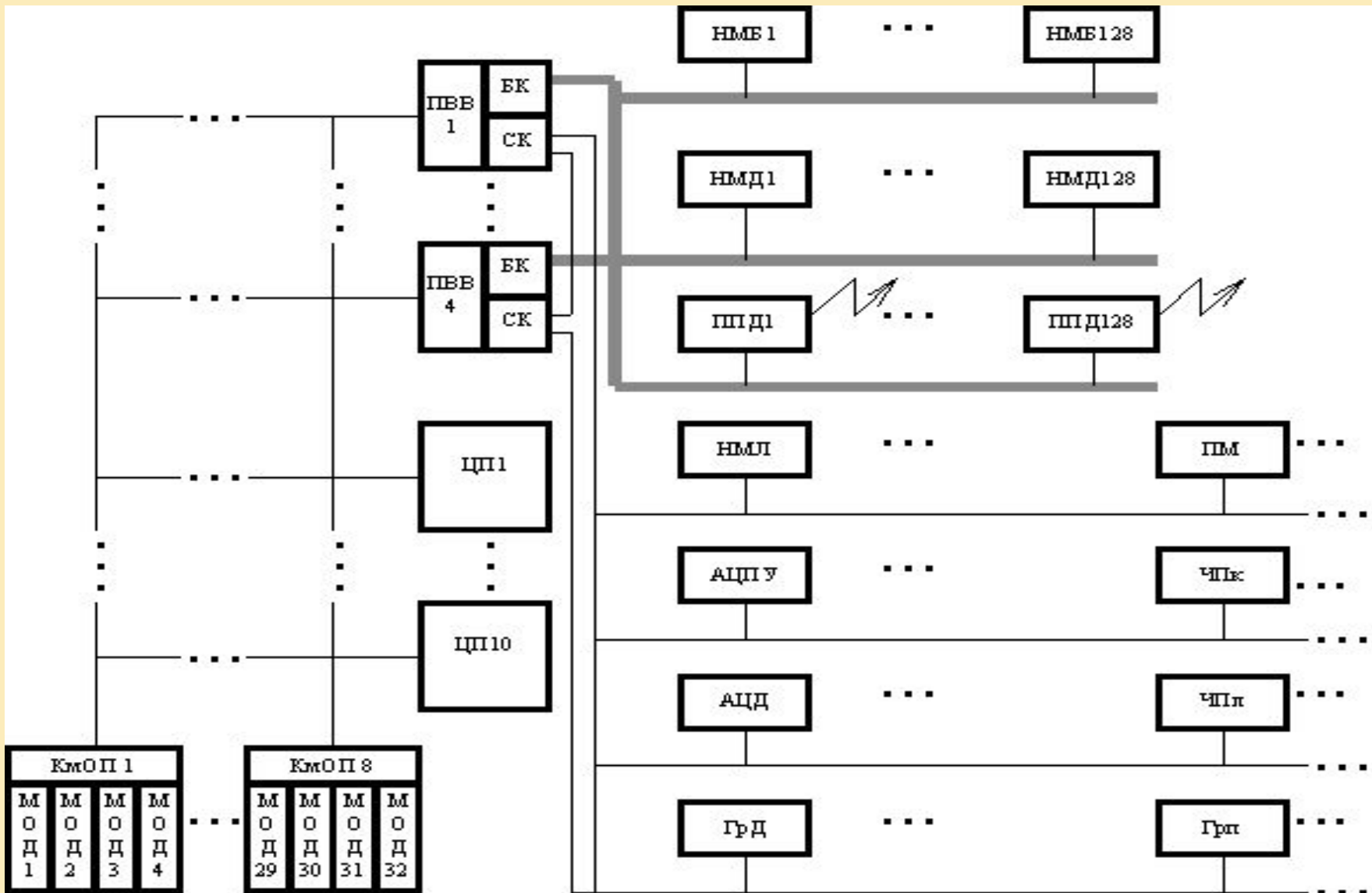


Архитектура МВК “Эльбрус-2”





Общая организация ВК





Обеспечивающие функции центрального процессора

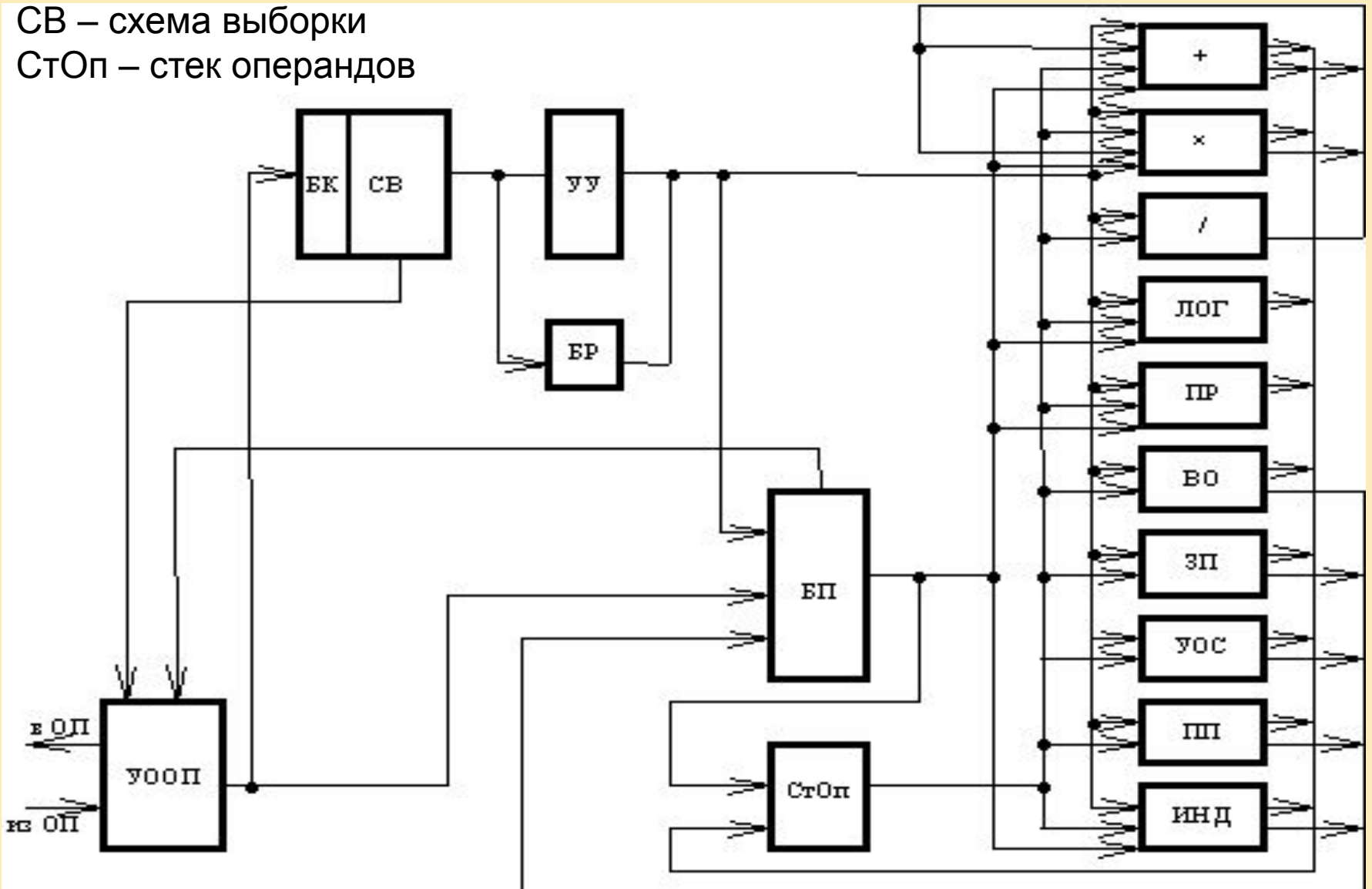


- Эффективная трансляция и выполнение программ за счет аппаратной реализации наиболее устоявшихся в языках высокого уровня и операционных системах (ОС) форм описания алгоритмов.
- Мультипрограммный режим работы с аппаратной реализацией защиты данных пользователей и ОС и минимальным временем переключения задач.
- Высокая производительность, основанная как на применении современной интегральной технологии, так и на параллельной структурной организации и глубоком совмещении выполнения команд.
- Эффективная мультипроцессорная работа в вычислительном комплексе, имеющем до десяти ЦП и до четырех ПВВ.
- Высокая достоверность вычислений и удобство эксплуатации, основанные на развитой системе аппаратного контроля работы ЦП и аппаратно-программной диагностики.



Структурная схема ЦП

СВ – схема выборки
СтОп – стек операндов





Аппаратно выполняемые САР действия

9

- Обнаружение аварии в модуле, дифференцирование ее по типу, сохранение диагностической информации и приостановка работы аварийного модуля.
- Передача информации об аварии по специальным шинам в другие модули.
- Обработка сигналов аварии, приходящих от других модулей, и исключение (если требуется) аварийного модуля из конфигурации.
- Системная реакция на аварию — либо запуск специальных процедур ОС, либо автоматический перезапуск комплекса (в зависимости от типа аварии).

Программно выполняемые САР действия

- Сбор и обработка диагностической информации аварийного модуля.
- Попытка вернуть его в рабочую конфигурацию в предположении, что авария имеет сбойный характер.
- Сохранение в системном журнале информации об аварии.



Учебный вопрос № 3

10

**Разработки на базе современной отечественной
микропроцессорной архитектуры**





Разработки на базе микропроцессорной архитектуры SPARC



- 1. Совместимость с аналогами с точки зрения системы команд RISC-класса и программной модели и введение в структуру микропроцессоров большого числа усовершенствований, направленных на увеличение производительности**
- 2. Микропроцессоры по документации ЗАО «МЦСТ» первоначально изготавливаются компанией TSMC (Тайвань).**
- 3. Реализован набор контроллеров системного класса, обеспечивающих подключение оперативной памяти, периферийных шин, межсистемных каналов, каналов ввода/вывода, и периферийных контроллеров, адаптирующих ряд стандартных и специальных интерфейсов.**
- 4. Микропроцессор МЦСТ-R500 стал основой серии ВК «Эльбрус-90 микро», производимых российскими предприятиями.**
Основными компонентами системного программного обеспечения: оптимизирующий компилятор с языков C/C++; две версии ОС на базе ОС Linux и ОС Solaris и операционная система МСВС, поддерживающие работу в реальном масштабе времени.
- 5. 2008 год - производство микропроцессора МЦСТ-R500S представляющего собой СНК: два процессорных ядра, общая кэш-память второго уровня, системный коммутатор; набор контроллеров.**
- 6. 2012 год - производство четырехъядерной микросхемы МЦСТ-R1000.**



Разработки на базе отечественной микропроцессорной архитектуры «Эльбрус»

- 1.** Микропроцессорная архитектура «Эльбрус» - важнейший результат компании ЗАО «МЦСТ», ориентированной на получение максимальной для данных аппаратных ресурсов показателей производительности.
- 2.** Обеспечен низкий уровень энергопотребления аппаратуры.
- 3.** Создана развитая аппаратная поддержка защищенных вычислений, существенно облегчающая работу программистов при создании больших программных комплексов с ограниченными сроками исполнения.
- 4.** На его основе создан вычислительный комплекс «Эльбрус-3М1», в настоящее время являющийся наиболее мощным настольным универсальным отечественным компьютером. Программное обеспечение комплекса включает две версии операционной системы на базе ОС Linux и ОС MSVC.
- 5.** Создан кристалл «Эльбрус-S»: расширенная кэш-память, ряд контроллеров, обеспечивающих доступ к локальной секции оперативной памяти, подсистеме ввода-вывода и межпроцессорный обмен. На её основе создан четырехпроцессорный модуль MBC3S/C.
- 6.** Создан первый российский гибридный высокопроизводительный микропроцессор «Эльбрус-2С+» со сферой применения - системы цифровой интеллектуальной обработки сигналов в радарх, анализаторах изображений и других системах.



Микропроцессор МЦСТ-R500 с архитектурой SPARC



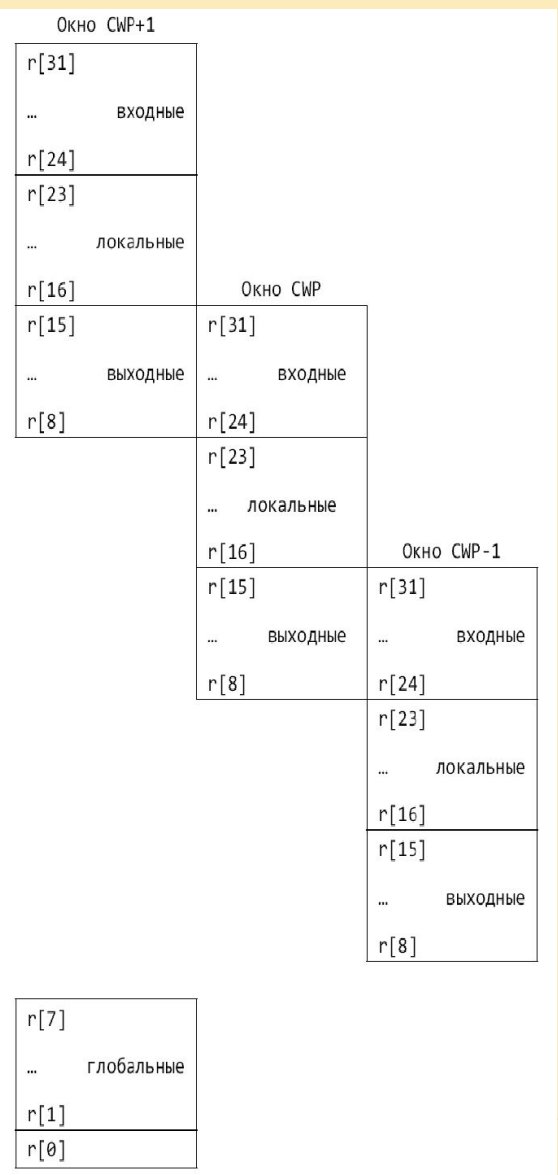


- Линейное 32-разрядное адресное пространство.
- Небольшое количество простых форматов команд RISC-класса.
- Все команды 32-разрядные и выровнены в памяти по границе 32-разрядных слов.
- Имеется всего три базовых формата команд.
- Доступ к памяти и ввод/вывод могут осуществляться только командами чтения/записи (небольшое количество способов адресации).
- Адрес по памяти вычисляется либо как «регистр + регистр», либо как «регистр + непосредственное значение, литерал».
- Трехадресная регистровая команда — команды большей частью выполняют действия с двумя операндами (двумя регистрами или одним регистром и константой), помещая результат в третий регистр.
- В каждый отдельный момент времени программа «видит» 8 глобальных целочисленных регистров.
- Регистровое окно может трактоваться как способ ускоренного доступа к параметрам процедуры, локальным значениям и адресам возврата.
- Файл может трактоваться в программах как набор из 32 регистров одинарного формата, или 16 регистров двойного формата, или как смесь тех или иных.
- Задержанная передача управления.
- Процессор всегда выбирает команду, следующую за командой передачи управления.



Размещение информации

%fr (старый %sp) ⇒		Стек предыдущей процедуры
%fr - Смещение ⇒	Пространство (если нужно) для динамических массивов составных и адресуемых скалярных автоматических объектов	
alloca () ⇒	Пространство, динамически захваченное функцией <code>alloca ()</code> (если захват был)	
%sp + Смещение ⇒	Пространство (если нужно) для временных переменных транслятора и сохранения вещественных регистров	
%sp + Смещение ⇒	Выходные параметры сверх стандартных шести (если нужно)	Текущий стек
%sp + Смещение ⇒	Шесть слов, в которые вызванная процедура может записывать переданные ей регистровые параметры	
%sp + Смещение ⇒	Одно слово для скрытого параметра (адрес, по которому нужно записывать возвращаемое составное значение)	
%sp + Смещение ⇒	16 слов, в которые можно сбрасывать регистровое окно (входные и локальные регистры)	
%sp ⇒		
	↓	
	Направление роста стека (уменьшение адресов по памяти)	Следующая область стека (не отведенная)





Технические характеристики микропроцессора

Параметр	Значение
Технологический процесс, мкм	0,13
Тактовая частота, МГц	500
Число процессорных ядер	1
Производительность, MIPS/MFLOPS	440/205
Размер слов, бит	32/64
Объем внутрипроцессорной кэш-памяти, Кбайт:	
— команд;	16
— данных	32
Объем внешней кэш-памяти, Мбайт	4
Пропускная способность внешней кэш-памяти, Гбайт/с	1,6
Пропускная способность шины MBus, Гбайт/с	0,8
Число транзисторов, млн	4,9
Площадь кристалла, мм ²	25
Количество слоев металла	8
Корпус/количество выводов	BGA/376
Напряжение питания, В	1/2,5
Рассеиваемая мощность, Вт	< 1



1. Одним из принципиальных моментов разработки МВК “Эльбрус-2” является создание внутренней машинной организации, позволяющей достичь значительного упрощения системы математического обеспечения за счет приближения аппаратных возможностей к нуждам программирования. Система команд и внутренняя структура МВК “Эльбрус-2”, включающая универсальный стековый механизм, приспособлены для программирования на языках высокого уровня и позволяют осуществлять эффективную компиляцию программ в машинный код. Все компоненты системы работают параллельно и независимо друг от друга и динамически распределяются операционной системой между задачами. Конкретная конфигурация комплекса зависит от специфики применения. Модульная структура и организация внутренних связей позволяют варьировать состав комплекса и выбирать конфигурацию, соответствующую данному применению.



2. В ЦП МВК «Эльбрус-2» принята безадресная система команд как удобная форма трансляции языков высокого уровня в машинный код. Механизм математической памяти снимает необходимость для пользователя распределять ограниченный ресурс оперативного запоминающего устройства (ОЗУ). Для ускорения преобразования математического адреса в физический в аппаратуру ЦП введено ассоциативное запоминающее устройство страниц, обеспечивающее быстрый перевод математического адреса в физический. В ЦП аппаратно поддержана стековая организация памяти. Для ускорения доступа к локальным данным процедур и увеличения компактности программ используются базовые регистры. Для ускорения доступа к промежуточным результатам введено СОЗУ “стек операндов”. Для поддержания мультипрограммной работы в аппаратуру ЦП встроены система точного прерывания, обеспечивающая автоматическое сохранение в стеке состояния прерываемой процедуры, программно устанавливаемые таймеры (на 1 с) и часы. Аппаратно реализована контекстная защита памяти, не позволяющая задаче выйти за пределы отведенных ей областей. Существенное влияние на производительность ЦП оказывает аппаратная реализация основных операций за счет создания специализированных устройств, ориентированных на выполнение групп алгоритмически близких команд. В ЦП используется глубокое совмещение выполнения команд по методу последовательно-параллельной поточной линии.



3. В МВК “Эльбрус-2” наряду с работой всех модулей в рамках единой системы предусмотрена возможность образования до четырех независимых подсистем (конфигураций). Выделение некоторой совокупности модулей в независимую подсистему имеет логический характер и не требует физической перекоммутации. Регистры конфигурации устанавливаются аппаратным и программным способами. Наличие гибкой аппаратно-программной системы формирования логически независимых конфигураций в рамках единого комплекса позволяет обеспечить скрытую от пользователей реконфигурацию МВК, например, вывод в “ремонтную” конфигурацию произвольного набора модулей для ремонта или текущей профилактики, а также возврат модулей в “рабочую” конфигурацию. Связь процессорных модулей, находящихся в одной конфигурации, реализована через механизм прерываний.

4. Одним из механизмов, обеспечивающих “живучесть” МВК “Эльбрус-2” является система автоматической реконфигурации и перезапуска при сбоях и отказах, которая в совокупности с другими средствами позволяет, во-первых, в большинстве случаев сделать незаметным для пользователей процесс текущего обслуживания комплекса, во-вторых, с высокой надежностью обеспечить решение крупных научно-технических задач или счет в реальном масштабе времени.



5. Опыт реализации достаточно простых, хорошо специфицированных и прошедших широкую апробацию спецификаций архитектуры SPARC при освоении микропроцессорных технологий и их дальнейшем усовершенствовании позволил существенно расширить свои проектные возможности. Обеспечив совместимость с аналогами с точки зрения системы команд RISC - класса и программной модели, специалисты ввели в структуру микропроцессоров большое число усовершенствований, направленных на увеличение производительности.

6. В качестве важнейшего результата компания рассматривается разработка микропроцессорной архитектуры «Эльбрус», ориентированной на получение максимальной для данных аппаратных ресурсов показателей производительности. В ней в высокой степени используется параллелизм на уровне операций, присутствующий в данном программном коде, достигается большая архитектурная скорость за счет освобождения аппаратуры от функций распараллеливания, присущих суперскалярным архитектурам, и передачи их оптимизирующему компилятору. Это обусловило и другую важнейшую особенность, свойственную архитектуре «Эльбрус», — низкий уровень энергопотребления аппаратуры.



**Военная кафедра
при Национальном исследовательском университете
«Высшая школа экономики»**



Благодарю за внимание