

Рис. 1.15. Модуль таймера/счетчика

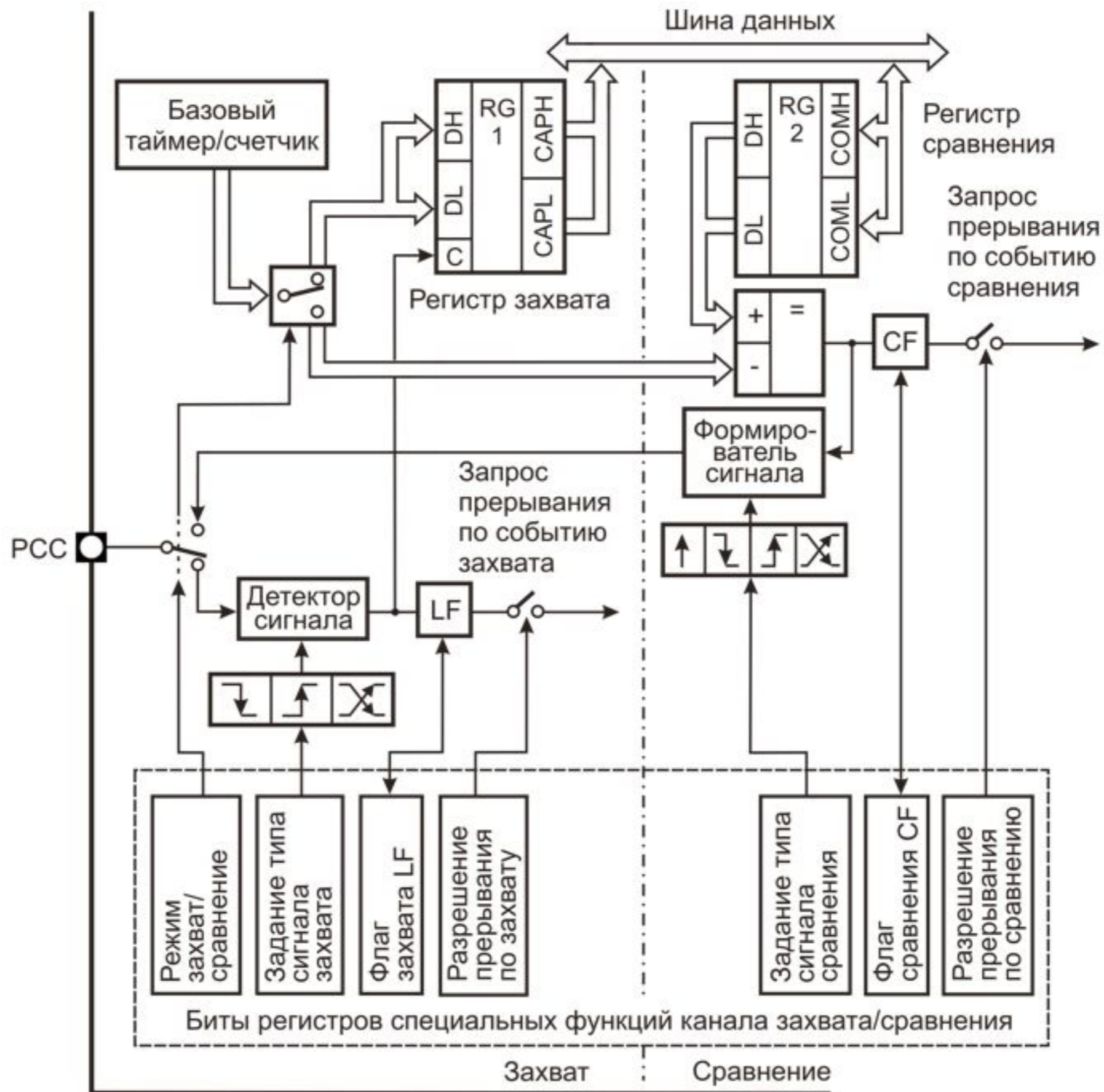


Рис. 1.16. Структура каналов захвата/сравнения

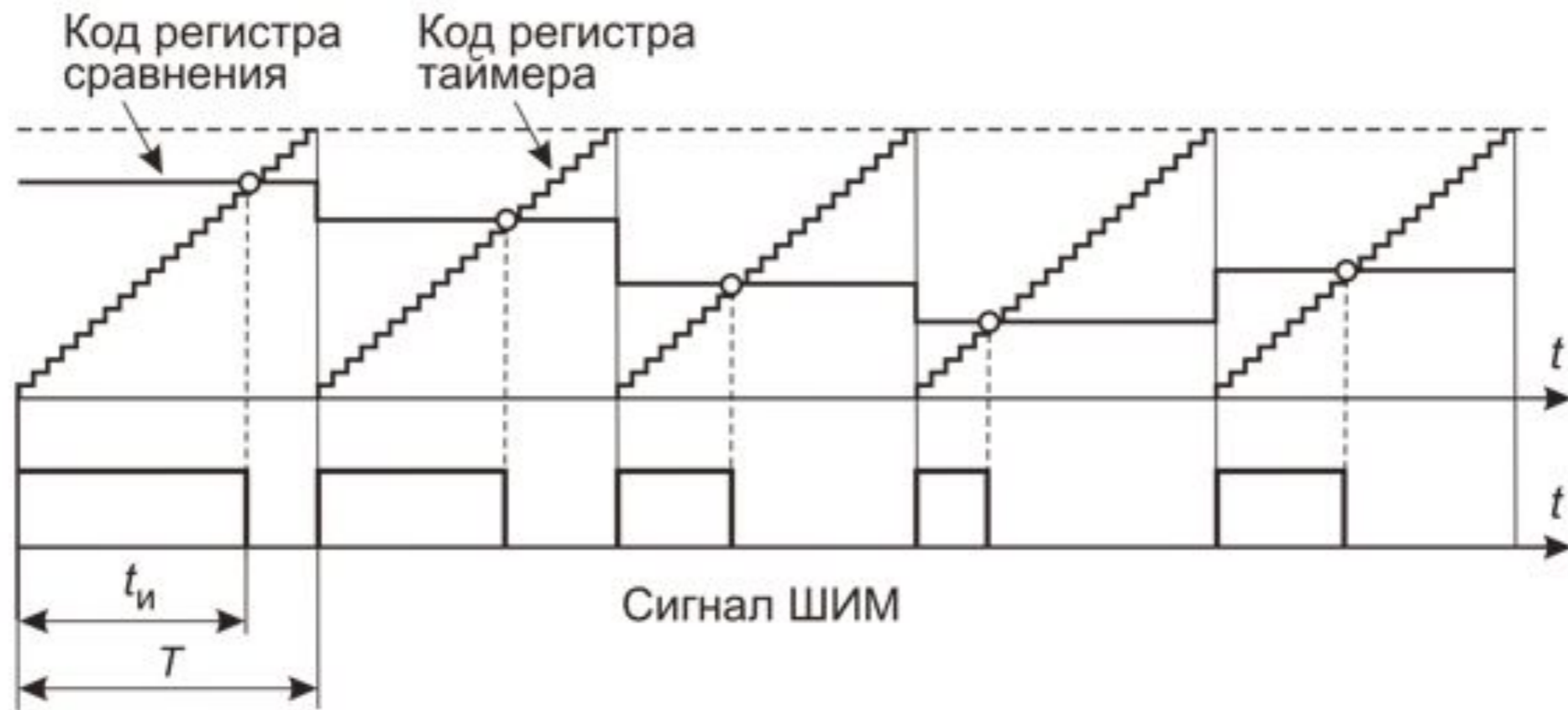


Рис. 1.17. Временные диаграммы ШИМ

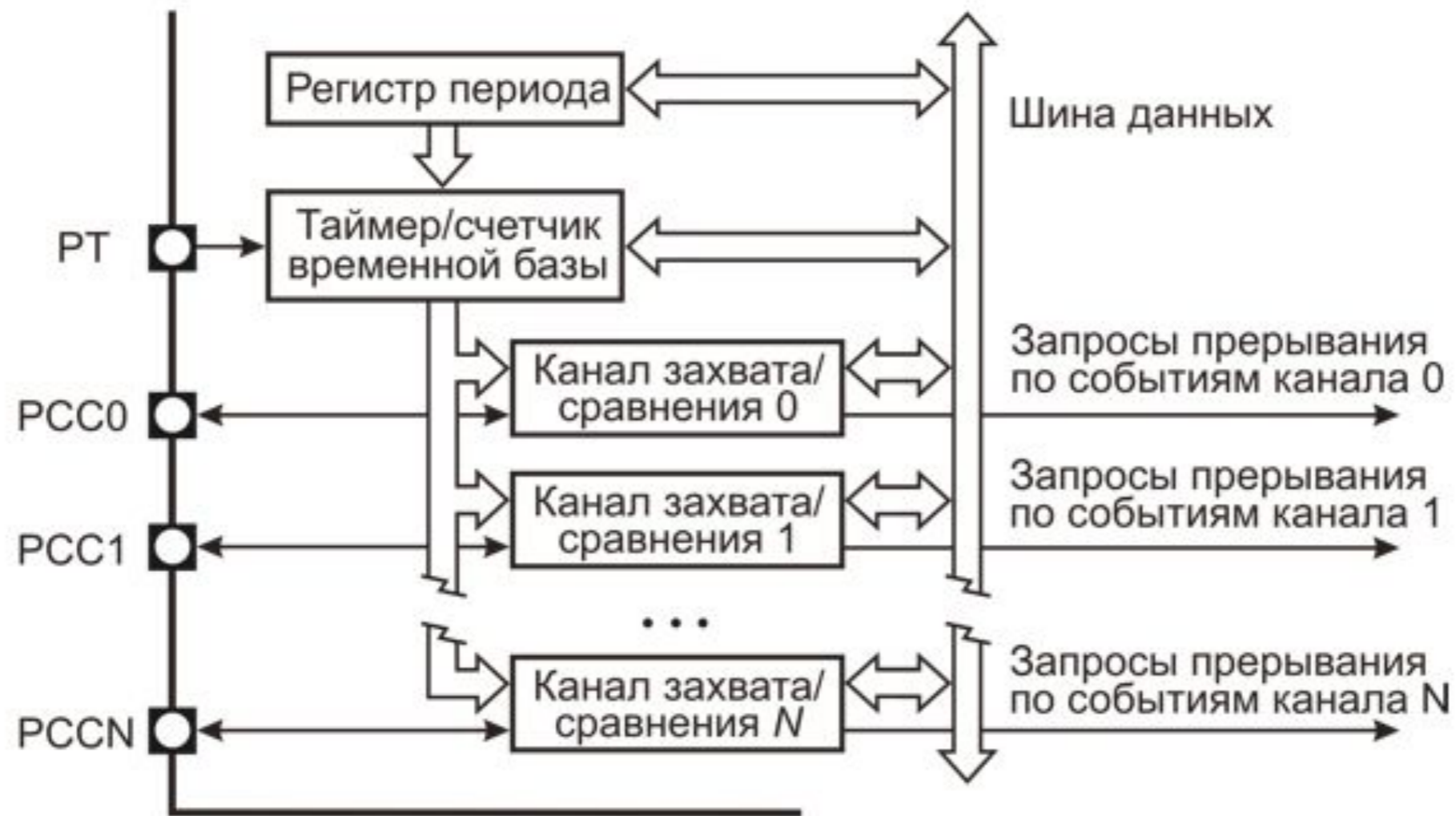
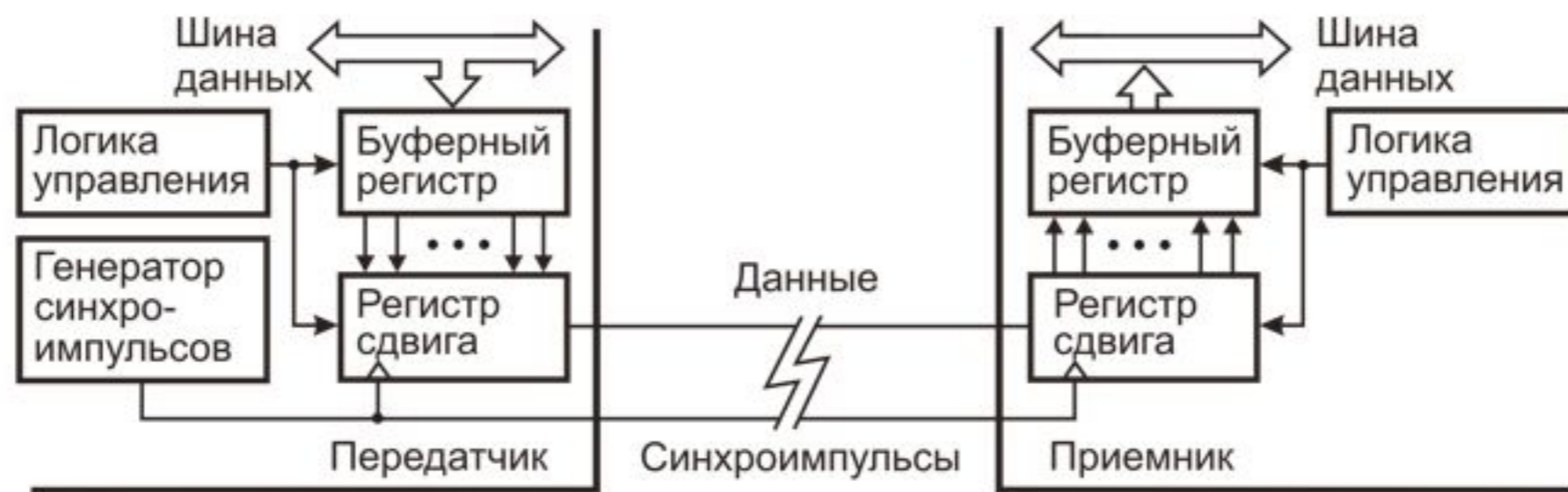
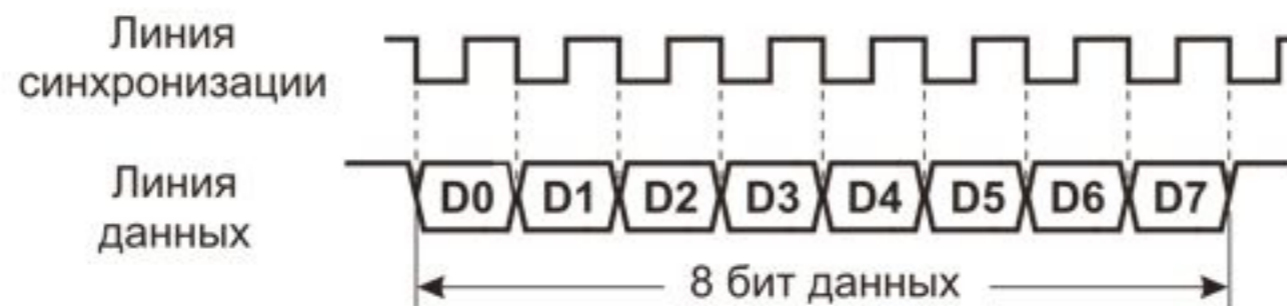


Рис. 1.18. Структура процессора событий

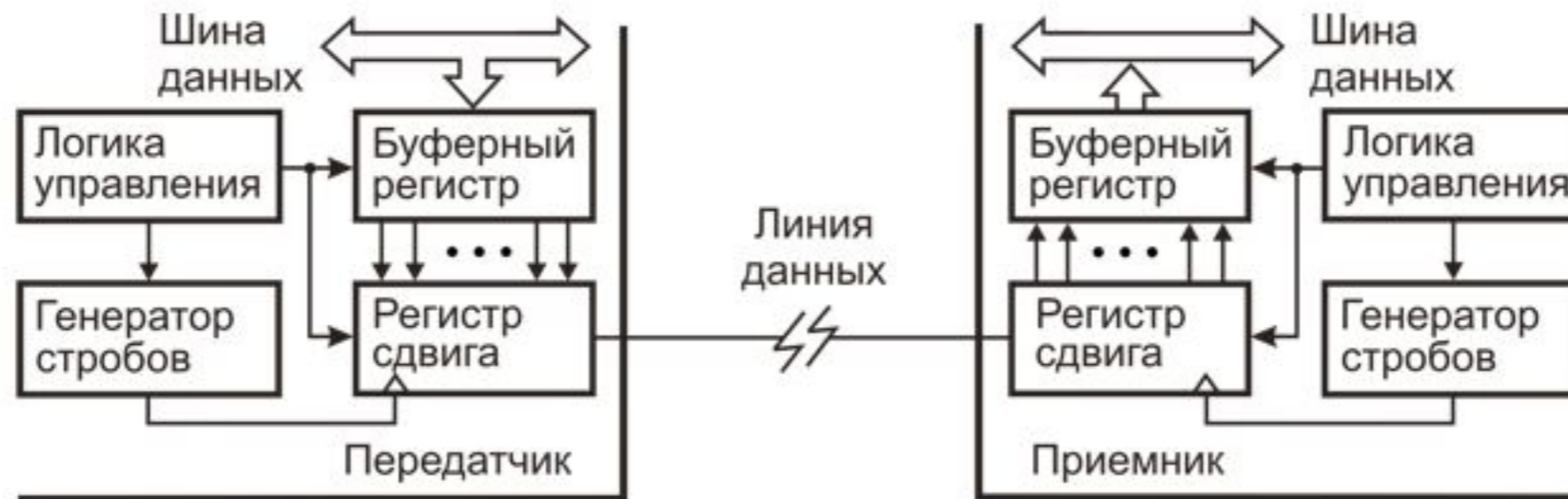


а



б

Рис. 1.19. Синхронная передача данных: а – структура; б – временная диаграмма



а



б



в

Рис. 1.20. Асинхронная передача данных: а – структура; б, в – временные диаграммы кадров

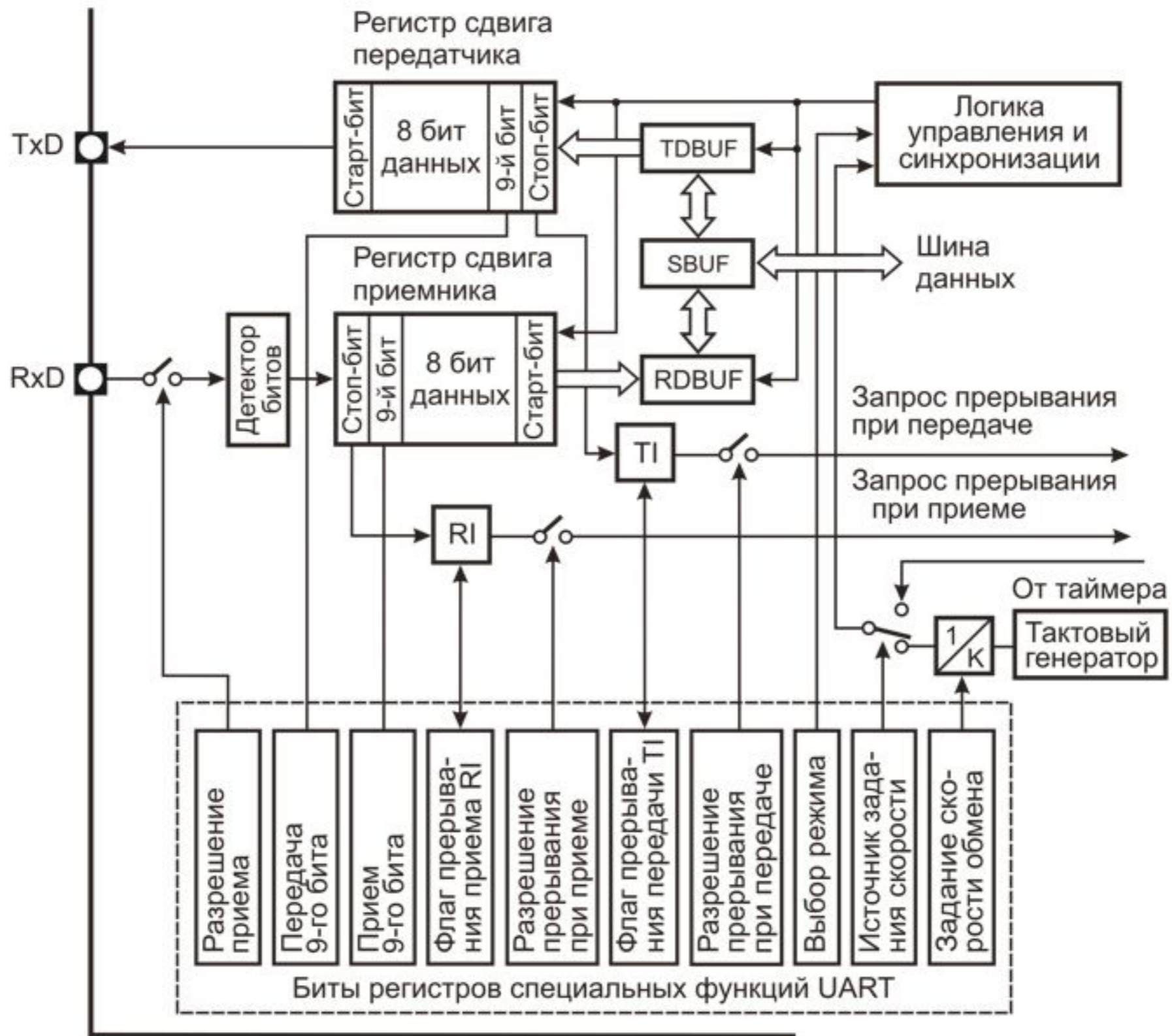


Рис. 1.21. Структура модуля последовательного обмена UART

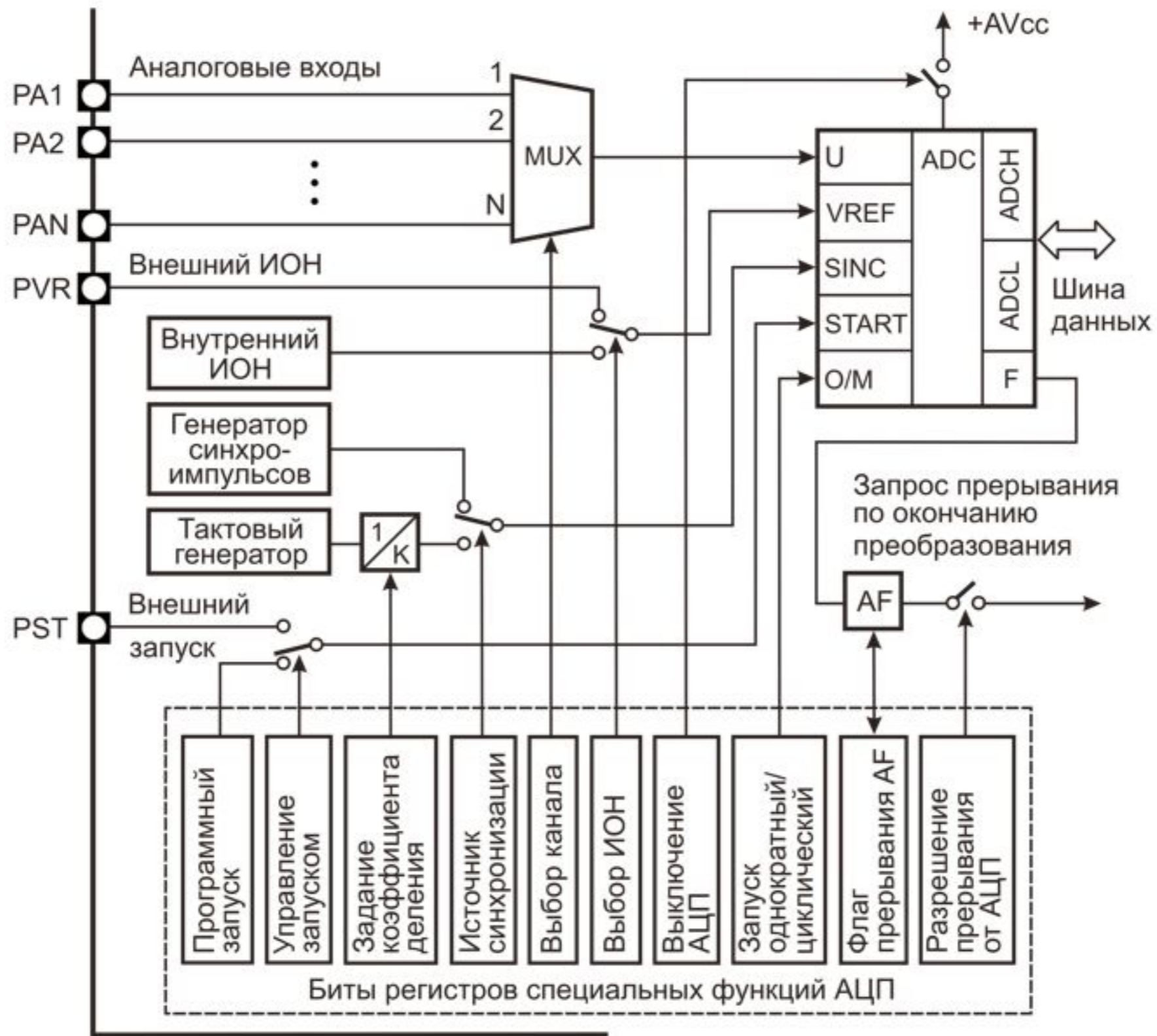


Рис. 1.22. Модуль аналого-цифрового преобразователя

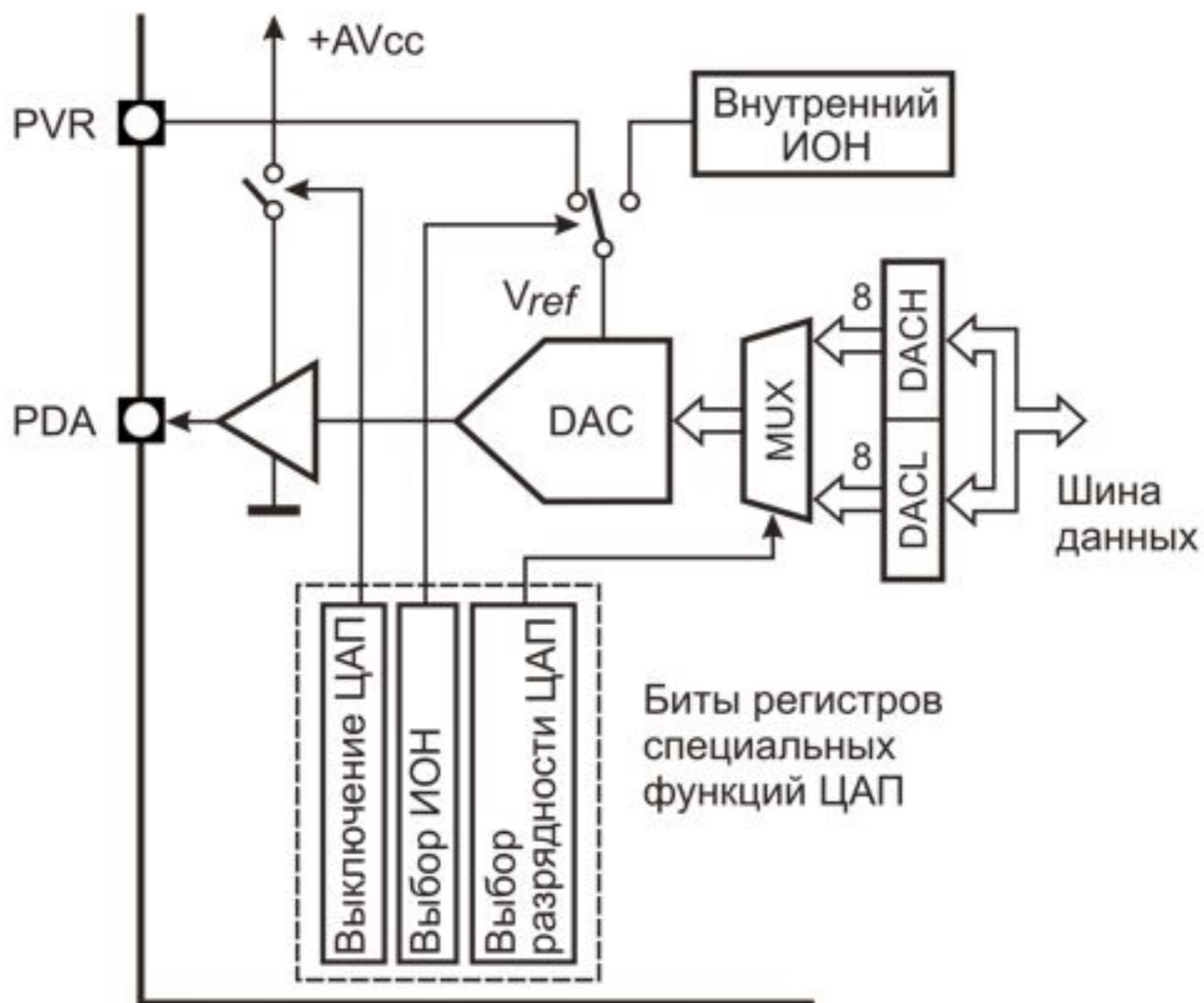


Рис. 1.23. Модуль цифро-аналогового преобразователя

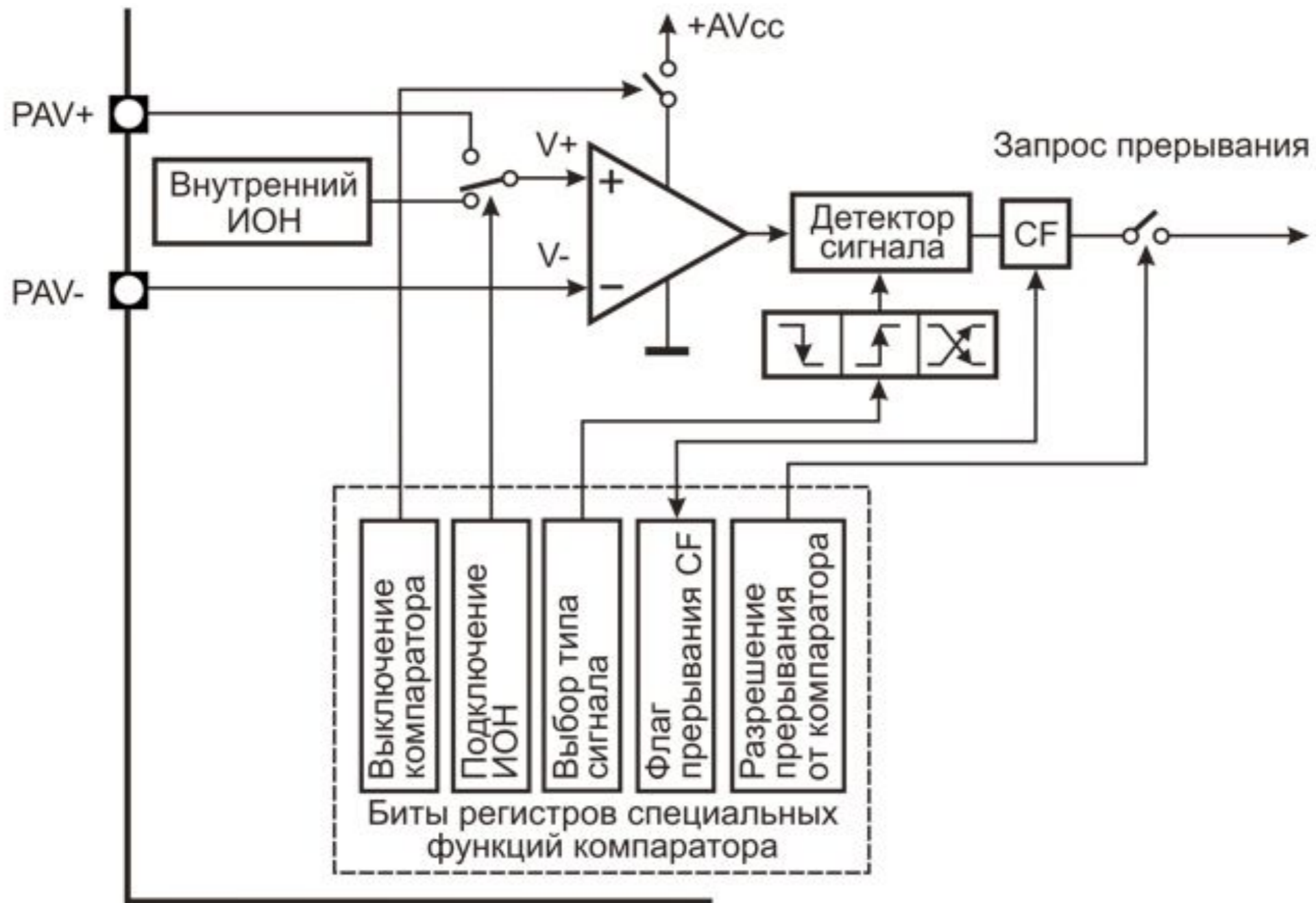
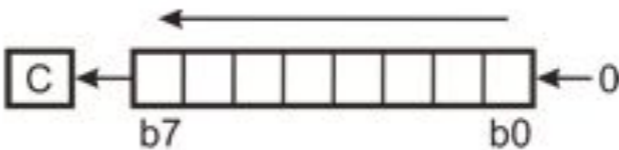
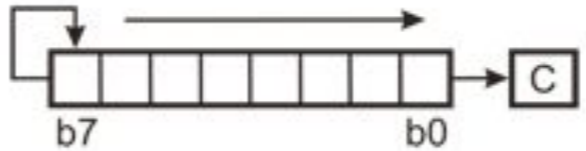
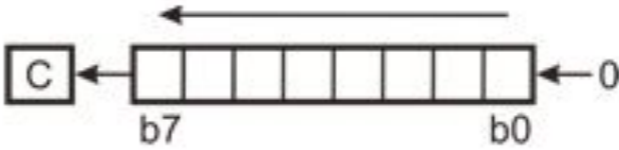
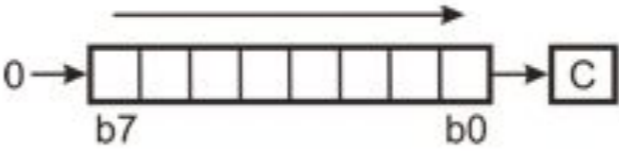
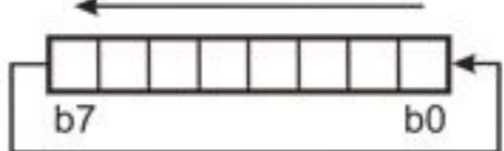
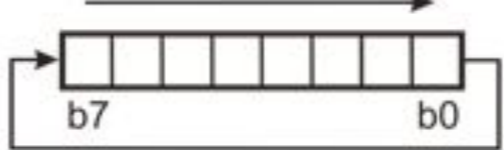
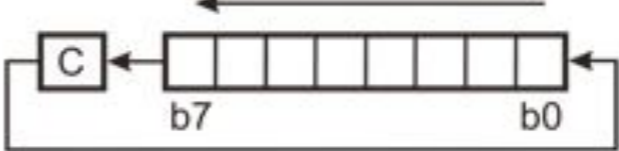
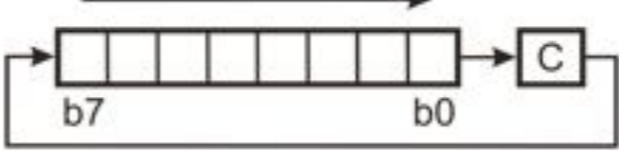


Рис. 1.24. Модуль аналогового компаратора



Рис. 1.25. Обобщенный формат команды

Таблица 1.1

Тип сдвига	Направление	Пояснение
Арифметический	Влево	
	Вправо	
Логический	Влево	
	Вправо	
Циклический	Влево	
	Вправо	
Циклический через перенос	Влево	
	Вправо	

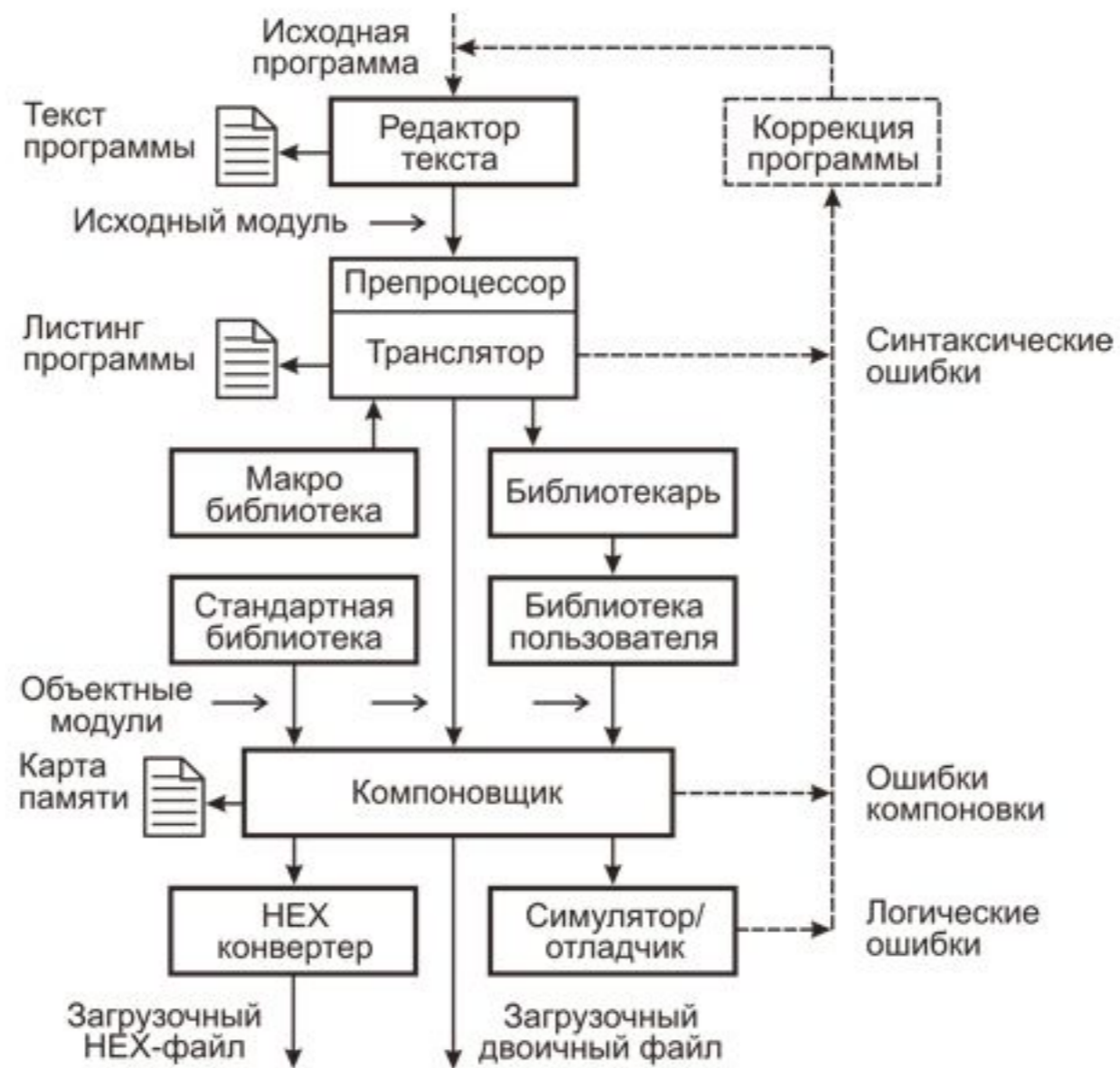


Рис. 1.26. Процесс разработки прикладных программ

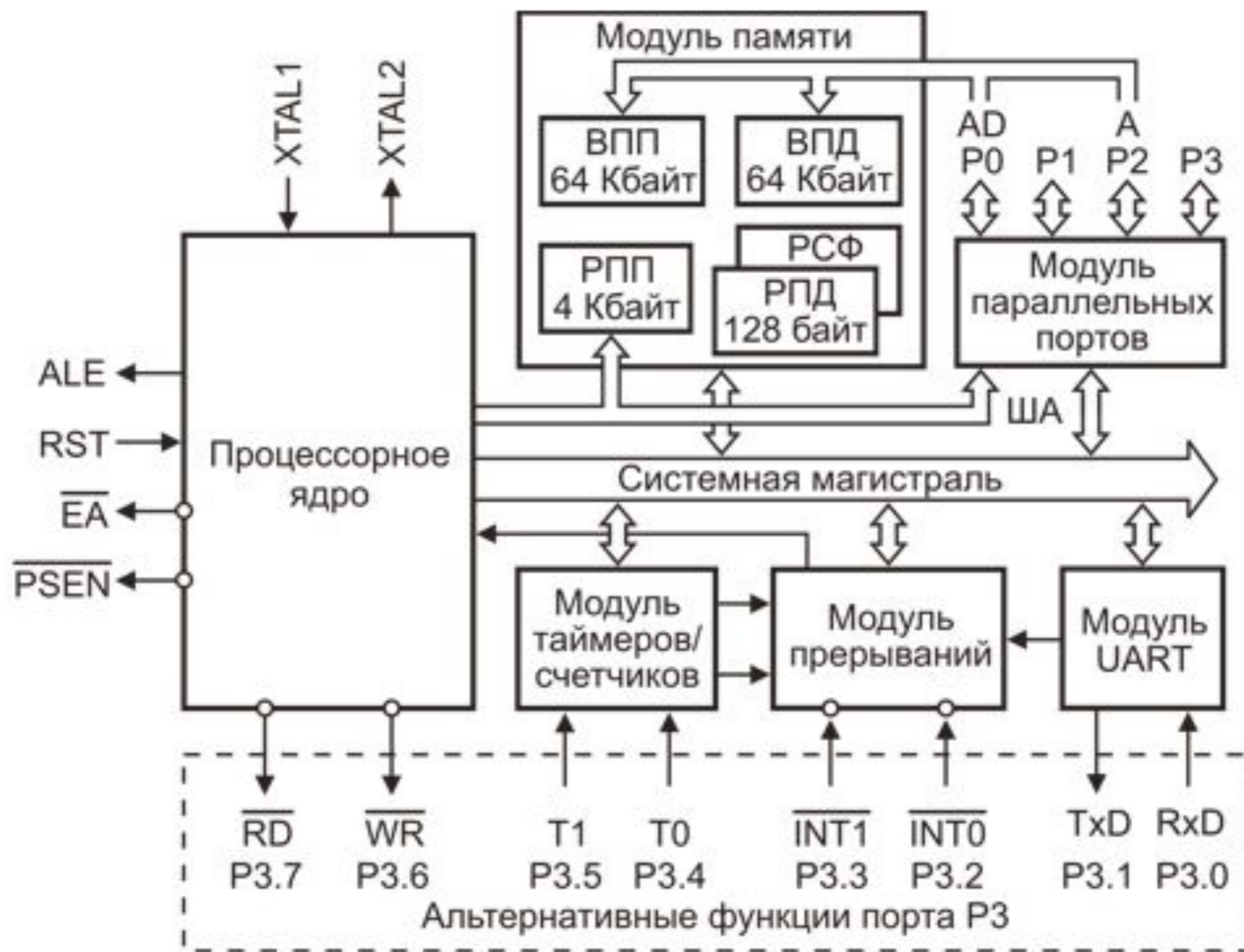


Рис. 2.1. Структура базового микроконтроллера 8051

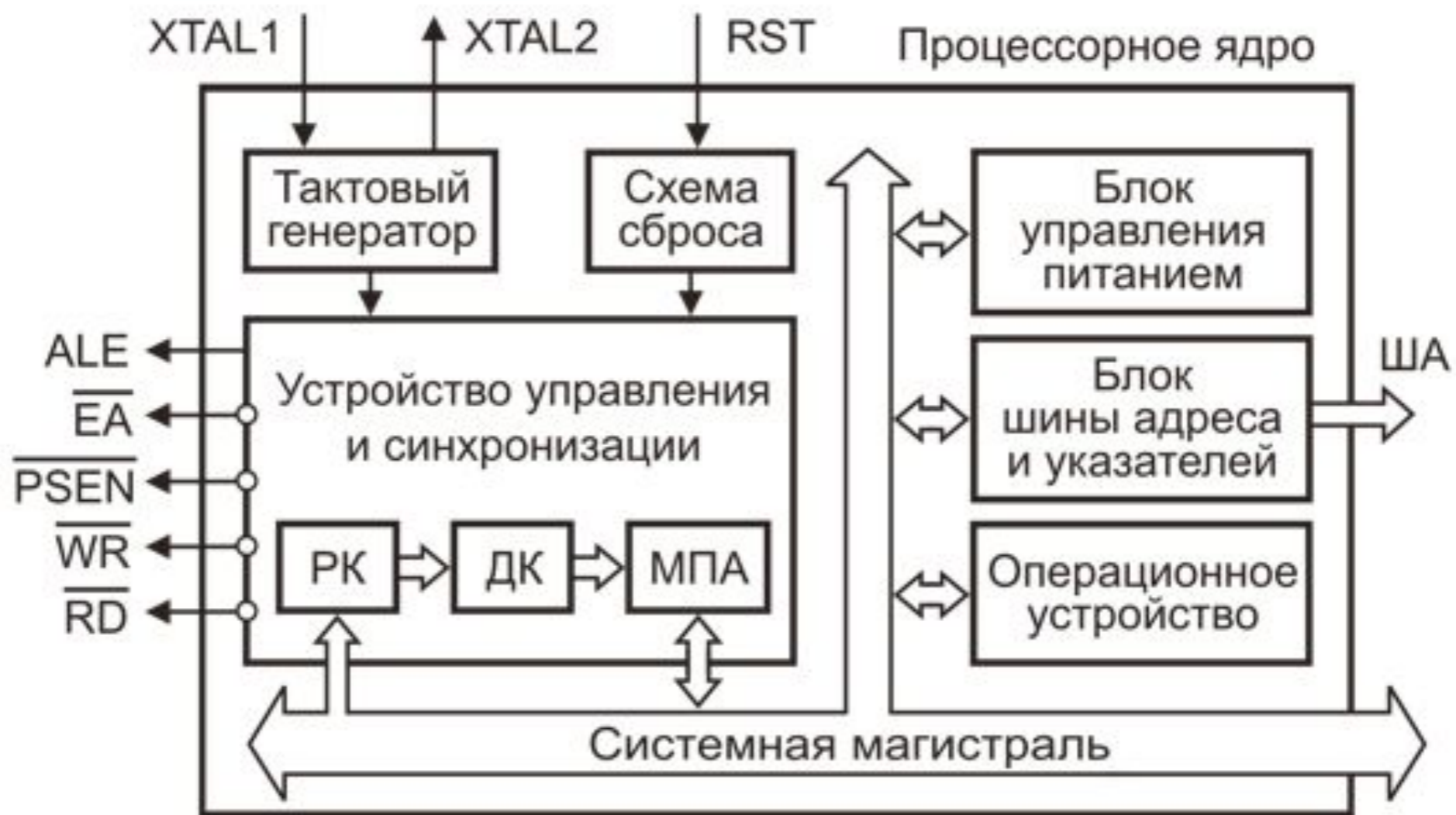
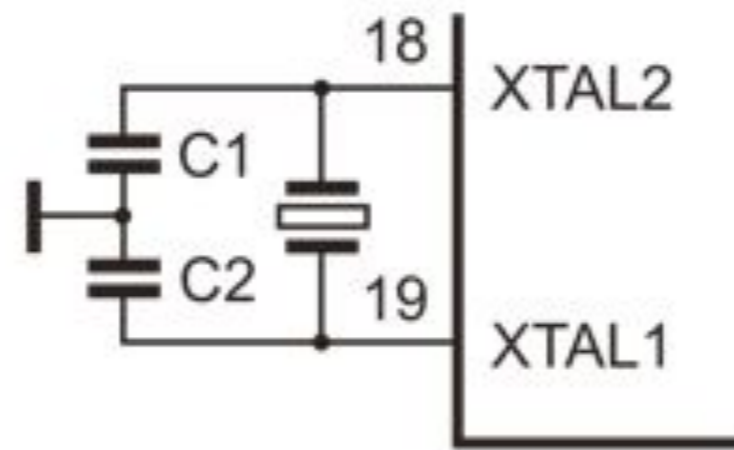


Рис. 2.2. Структура процессорного ядра микроконтроллера 8051



а



б

Рис. 2.3. Подключение:
 а – кварцевого резонатора;
 б – внешнего генератора

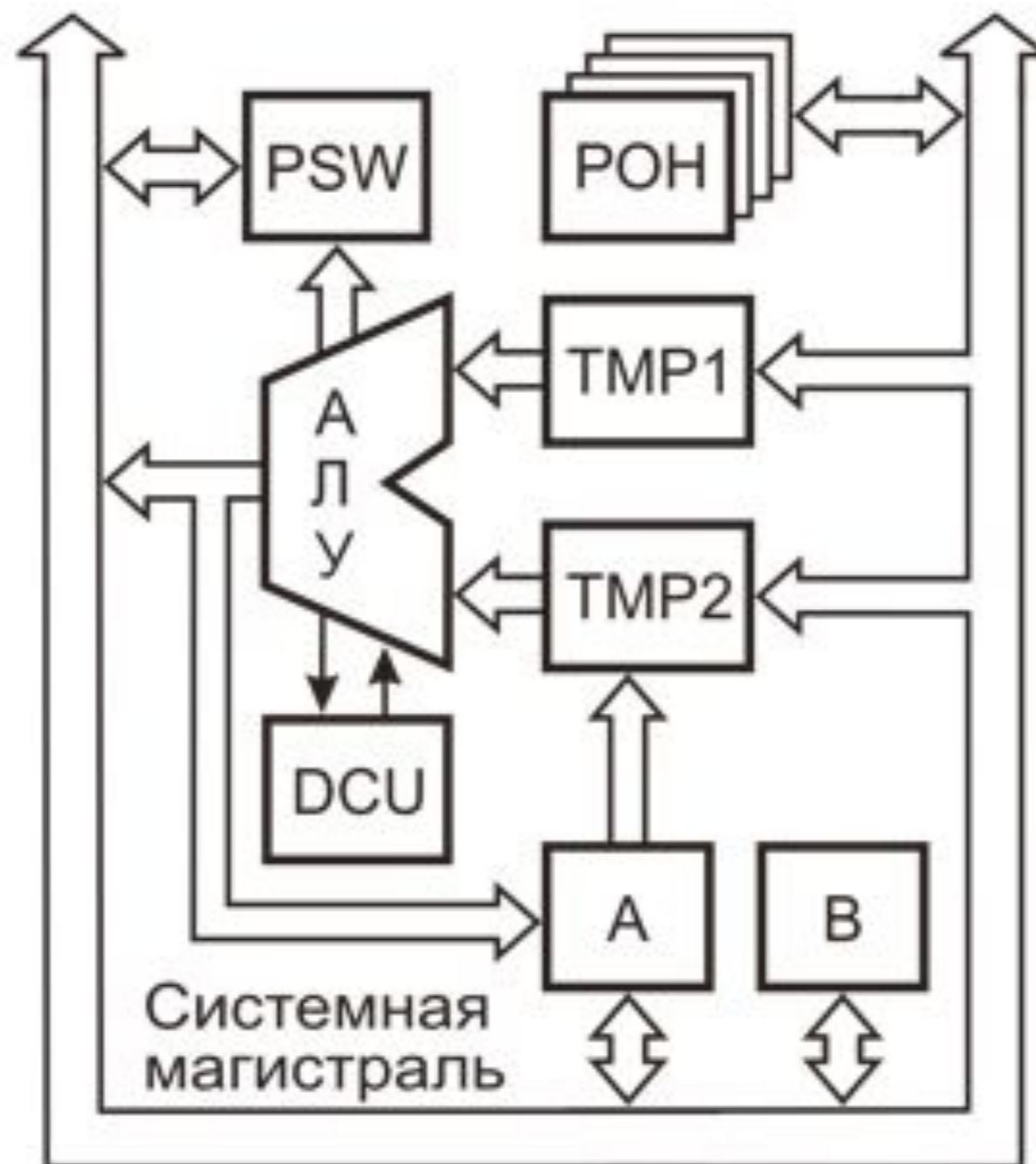


Рис. 2.4. Структура операционного устройства

Таблица 2.1

		7	6	5	4	3	2	1	0
		C	AC	F0	RS1	RS0	OV	–	P
Флаг	Назначение								
C	Флаг переноса. Устанавливается-сбрасывается аппаратно или программно во время выполнения арифметических и логических операций								
AC	Флаг промежуточного переноса. Устанавливается-сбрасывается аппаратно при выполнении операций сложения или вычитания для индикации факта переноса-заема из бита 3 младшей тетрады								
F0	Флаг пользователя. Устанавливается-сбрасывается программно как флаг состояния, определяемый пользователем								
RS1 RS0	Разряды управления выбором номера банка регистров общего назначения. Устанавливаются-сбрасываются программно								
		RS1	RS0	Банк	Область РПД				
		0	0	0	00H...07H				
		0	1	1	08H...0FH				
		1	0	2	10H...17H				
		1	1	3	18H...1FH				
OV	Флаг переполнения. Устанавливается-сбрасывается аппаратно во время выполнения арифметических операций для обозначения состояния переполнения								
–	Резервный разряд (состояние логической единицы)								
P	Флаг четности (паритета). Устанавливается-сбрасывается при выполнении операций для индикации четности-нечетности количества единиц в содержимом аккумулятора. Доступен только для чтения								

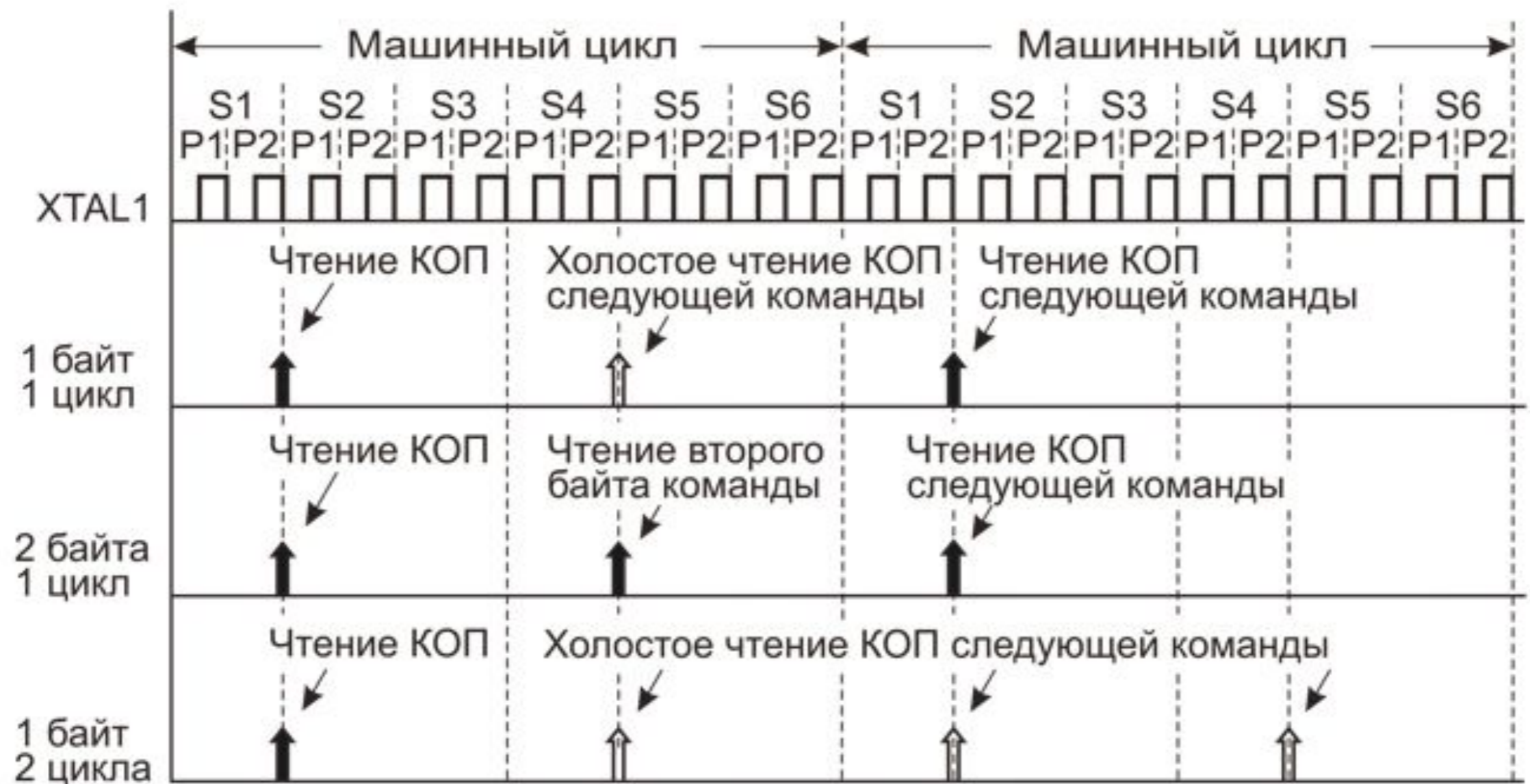


Рис. 2.5. Процедуры выборки команд различной сложности



Рис. 2.6. Структура блока шины адреса и указателей

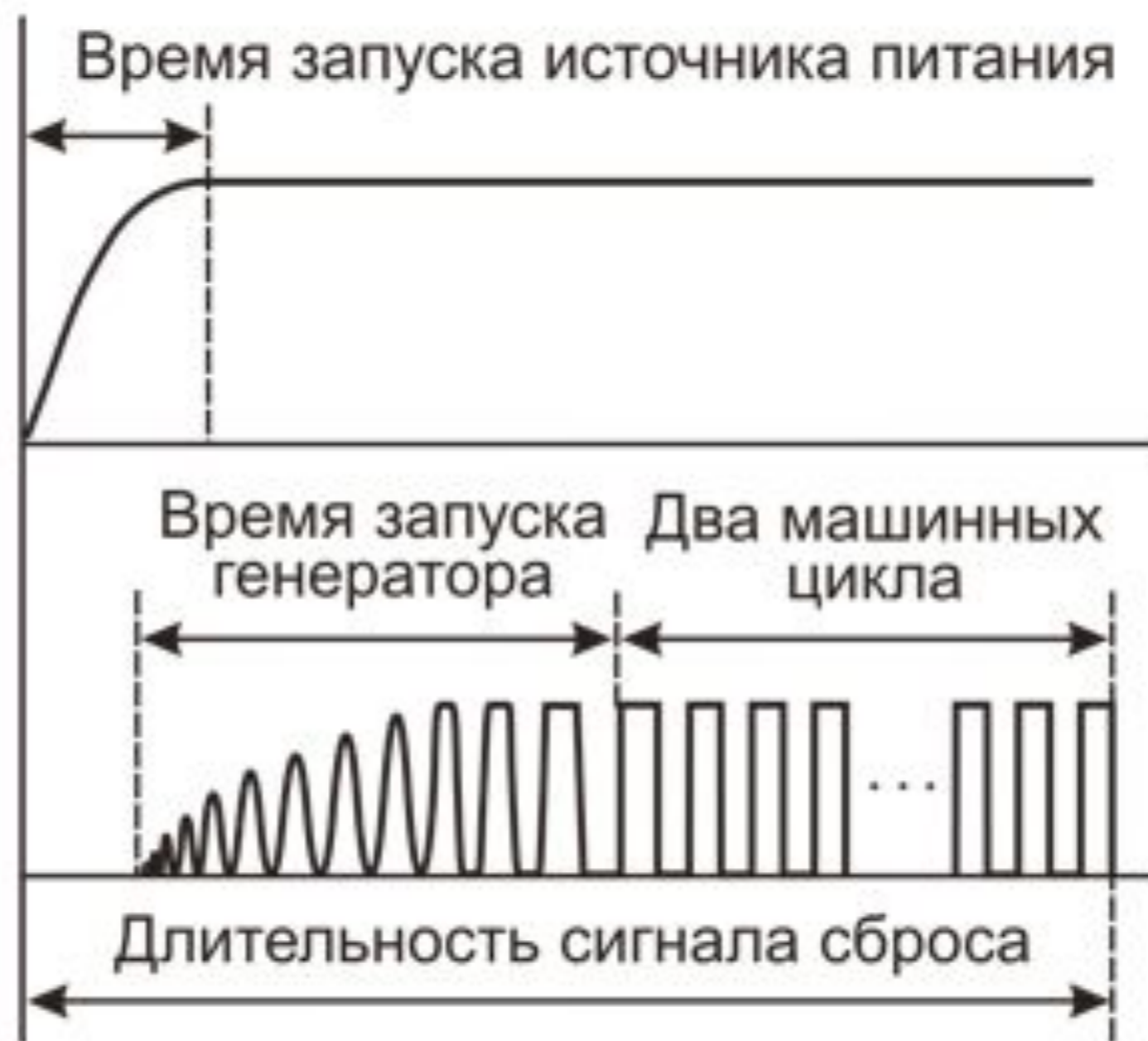


Рис. 2.7. Длительность сигнала сброса МК

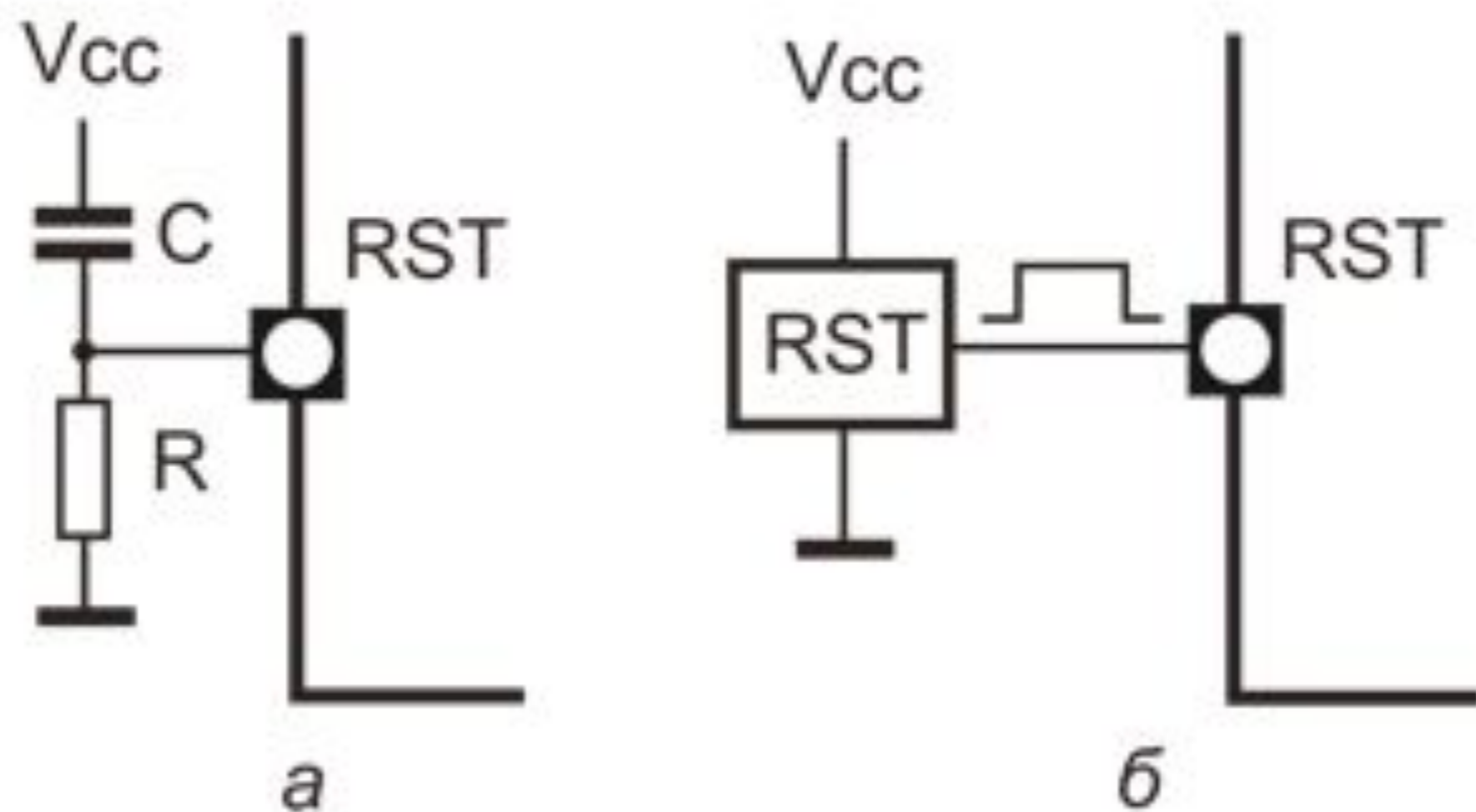


Рис. 2.8. Цепи сброса МК: а – RC-цепь;
 б – микросхема сброса

Таблица 2.2

+							
7	6	5	4	3	2	1	0
SMOD	–	–	–	CF1	CF0	PD	IDL
Флаг	Назначение						
SMOD	Бит удвоения скорости передачи UART						
–	Не используются						
GF1	Программно управляемый флаг пользователя						
GF0	Программно управляемый флаг пользователя						
PD	Бит включения/выключения (1/0) режима останова						
IDL	Бит включения/выключения (1/0) режима холостого хода						



Рис. 2.9. Организация памяти базового микроконтроллера 8051



Рис. 2.10. Структура резидентной памяти программ

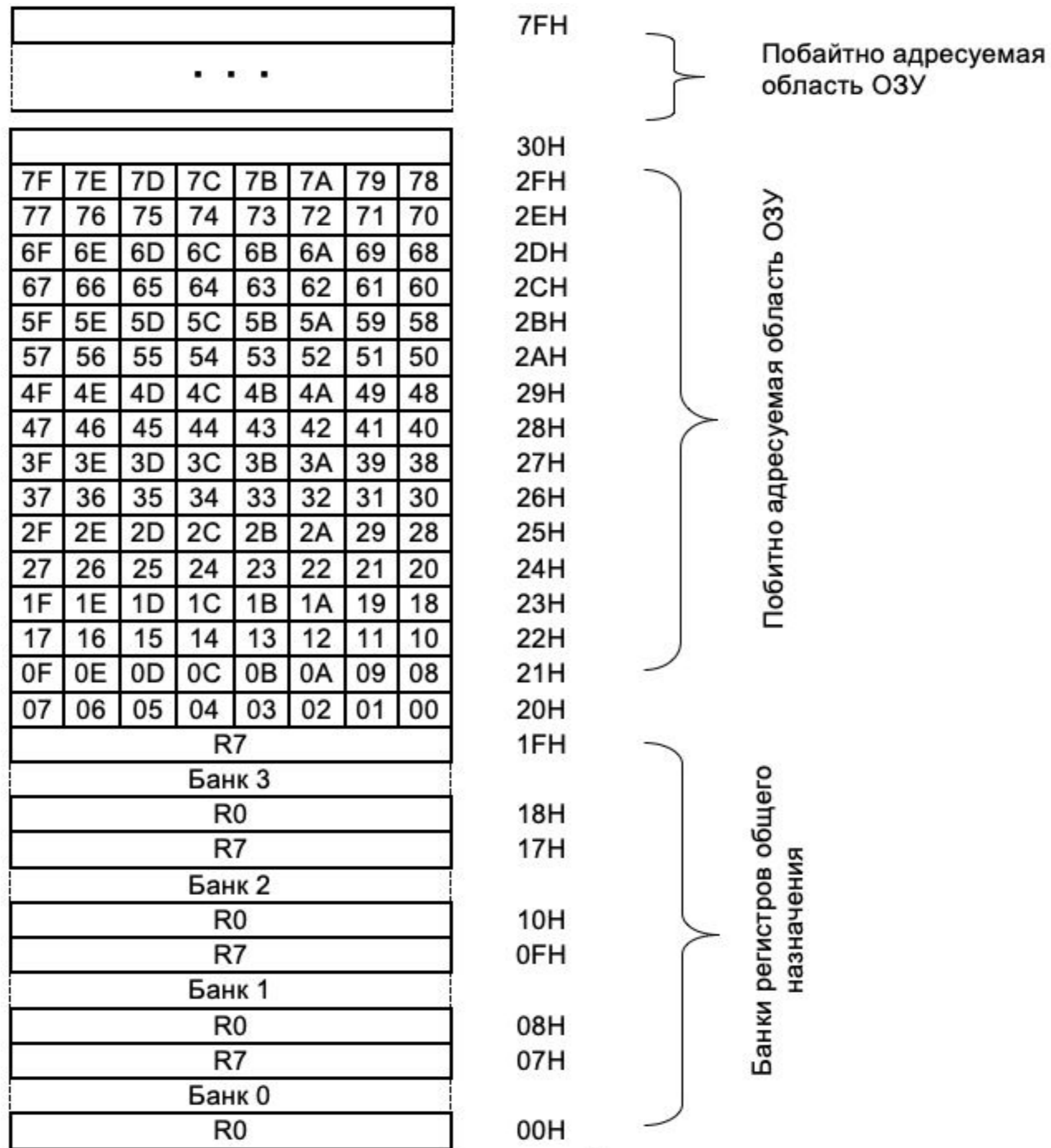


Рис. 2.11. Структура резидентной памяти данных

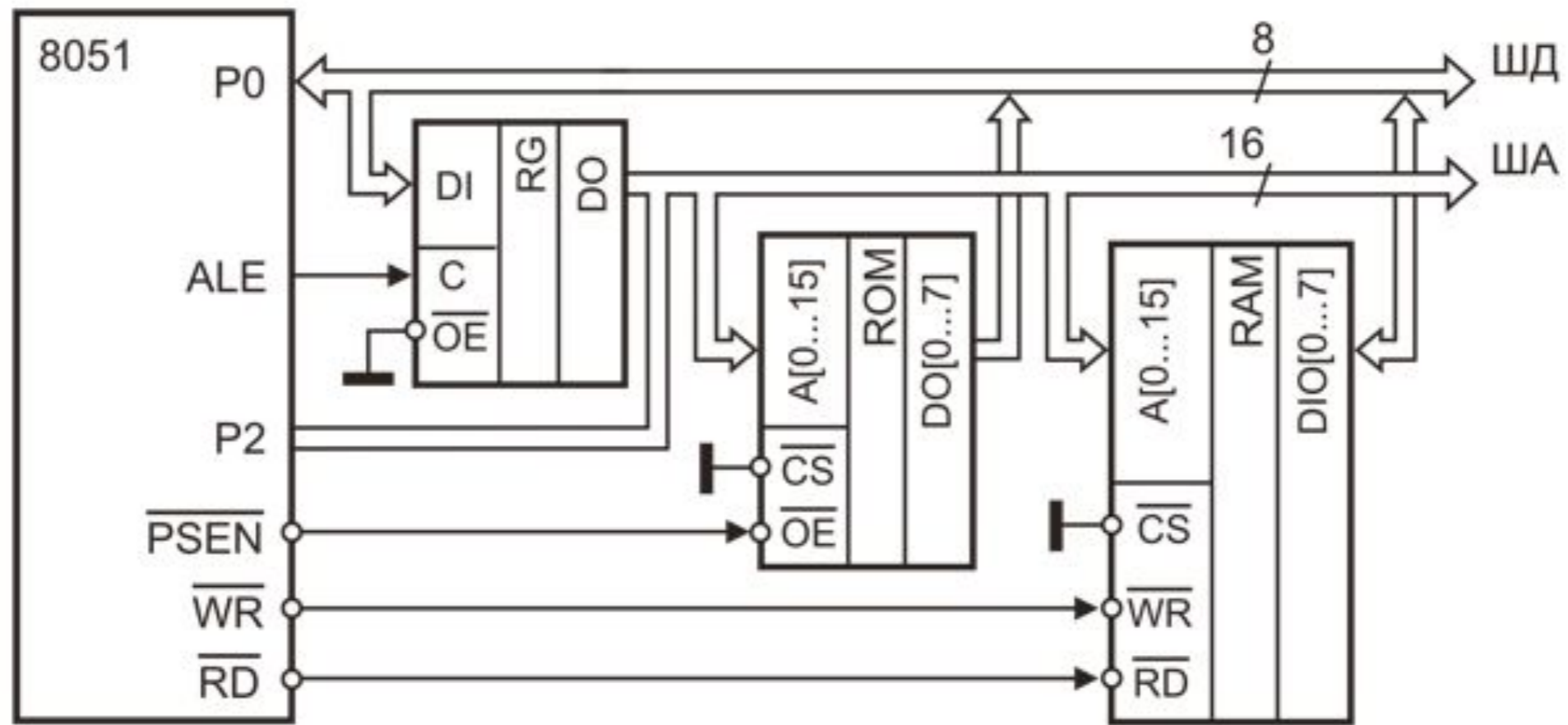


Рис. 2.12. Подключение внешней памяти программ и данных

Таблица 2.3

Регистр	Наименование
ACC	Аккумулятор (Accumulator)
B	Регистр расширитель аккумулятора
DPTR	16-разрядный указатель данных DPTR (Data Pointer)
DPL	Младший байт указателя данных DPTR (Data Pointer Low)
DPH	Старший байт указателя данных DPTR (Data Pointer High)
PSW	Слово состояния программы (Program Status Word)
SP	Регистр указатель стека (Stack Pointer)
P0	Регистр-защелка порта P0
P1	Регистр-защелка порта P1
P2	Регистр-защелка порта P2
P3	Регистр-защелка порта P3
TL0	Младший байт счетного регистра таймера/счетчика 0
TH0	Старший байт счетного регистра таймера/счетчика 0
TL1	Младший байт счетного регистра таймера/счетчика 1
TH1	Старший байт счетного регистра таймера/счетчика 1
TMOD	Регистр задания режимов таймеров счетчиков (Timer/counter Mode)
TCON	Регистр управления таймеров (Timer/counter Control)
SBUF	Буфер данных UART (Serial Buffer)
SCON	Регистр управления UART (Serial Control)
IP	Регистр задания приоритетов (Interrupt Priority)
IE	Регистр разрешения прерываний (Interrupt Enable)
PCON	Регистр управления мощностью (Power Control)

Таблица 2.4

Регистр	Адрес	Адреса и мнемоника битов								Значение при сбросе
		E7H	E6H	E5H	E4H	E3H	E2H	E1H	E0H	
A	E0H	ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0	00000000B
		F7H	F6H	F5H	F4H	F3H	F2H	F1H	F0H	
B	F0H	B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0	00000000B
		D7H	D6H	D5H	D4H	D3H	D2H	D1H	D0H	
DPL	82H									00000000B
DPH	83H									00000000B
PSW	D0H	CY	AC	F0	RS1	RS0	OV	–	P	00000000B
		SP	81H							
P0	80H	P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0	11111111B
		97H	96H	95H	94H	93H	92H	91H	90H	
P1	90H	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0	11111111B
		A7H	A6H	A5H	A4H	A3H	A2H	A1H	A0H	
P2	A0H	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0	11111111B
		B7H	B6H	B5H	B4H	B3H	B2H	B1H	B0H	
P3	B0H	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0	11111111B
		RD	WR	T1	T0	INT1	INT0	TXD	RXD	
TL0	8AH									00000000B
TH0	8CH									00000000B
TL1	8BH									00000000B
TH1	8DH									00000000B
TMOD	89H	GATE1	C/T1	M1.1	M1.0	GATE0	C/T0	M0.1	M0.0	00000000B
TCON	88H	8FH	8EH	8DH	8CH	8BH	8AH	89H	88H	00000000B
		TF1	TR1	TF0	TR0	IF1	IT1	IE0	IT0	
SBUF	99H									XXXXXXXXB
SCON	98H	9FH	9EH	9DH	9CH	9BH	9AH	99H	98H	00000000B
		SM0	SM1	SM2	REN	TB8	RB8	TI	RI	
IE	A8H	AFH	AEH	ADH	ACH	ABH	AAH	A9H	A8H	0XX00000B
		EA	–	–	ES	ET1	EX1	ET0	EX0	
IP	B8H	BFH	BEH	BDH	BCH	BBH	BAH	B9H	B8H	XX000000B
		–	–	–	PS	PT1	PX1	PT0	PX0	
PCON	87H	SMOD	–	–	–	GF1	GF0	PD	IDL	0XX00000B

F8H									FFH
F0H	B								F7H
E8H									EFH
E0H	ACC								E7H
D8H									DFH
D0H	PSW								D7H
C8H									CFH
C0H									C7H
B8H	IP								BFH
B0H	P3								B7H
A8H	IE								AFH
A0H	P2								A7H
98H	SCON	SBUF							9FH
90H	P1								97H
88H	TCON	TMOD	TL0	TL1	TH0	TH1			8FH
80H	P0	SP	DPL	DPH				PCON	87H

Рис. 2.13. Пространство регистров специальных функций

Таблица 2.5

Источник прерывания	Адрес вектора прерывания
Внешний запрос источника прерывания 0	03H
Встроенный таймер/счетчик 0	0BH
Внешний запрос источника прерывания 1	13H
Встроенный таймер/счетчик 1	1BH
Встроенный порт последовательного приема-передачи	23H

Таблица 2.6

Флаг прерывания	Разряд	Источник запроса прерывания
IE0	TCON.1	Внешний источник прерывания 0
IE1	TCON.3	Внешний источник прерывания 1
TF0	TCON.5	Встроенный таймер/счетчик 0
TF1	TCON.7	Встроенный таймер/счетчик 1
RI	SCON.0	Встроенный последовательный порт (прием)
TI	SCON.1	Встроенный последовательный порт (передача)

Таблица 2.7

+


	7	6	5	4	3	2	1	0
	EA	–	–	ES	ET1	EX1	ET0	EX0
Флаг	Назначение							
EA	Общий запрет прерываний. Сбрасывается программно для запрета всех прерываний независимо от состояний IE.0...IE.4							
–	Не используются							
ES	Бит разрешения прерывания от UART. Установка-сброс программой для разрешения-запрета прерываний от флагов TI или RI							
ET1	Бит разрешения прерывания от таймера/счетчика TC1. Установка-сброс программой для разрешения-запрета прерываний							
EX1	Бит разрешения внешнего прерывания INT1. Установка-сброс программой для разрешения-запрета прерываний							
ET0	Назначение аналогично ET1, но для таймера/счетчика TC0							
EX0	Назначение аналогично EX1, но для внешнего прерывания INT0							

□

Таблица 2.8

	7	6	5	4	3	2	1	0
	–	–	–	PS	PT1	PX1	PT0	PX0
Флаг	Назначение							
–	Не используются							
PS	Бит установки уровня приоритета прерывания от UART. Программная установка-сброс для задания высокого-низкого уровня приоритета прерываний от флагов TI или RI							
PT1	Бит установки уровня приоритета прерывания от таймера/счетчика TC1. Программная установка-сброс для задания высокого-низкого уровня приоритета							
PX1	Бит установки уровня приоритета внешнего прерывания INT1. Программная установка-сброс для задания высокого-низкого уровня приоритета							
PT0	Назначение аналогично PT1, но для таймера/счетчика TC0							
PX0	Назначение аналогично PX1, но для внешнего прерывания INT0							

Таблица 2.9

Флаг	Источник прерывания	Приоритет
PX0	Внешний запрос источника прерывания 0	Высший  Низший
PT0	Встроенный таймер/счетчик 0	
PX1	Внешний запрос источника прерывания 1	
PT1	Встроенный таймер/счетчик 1	
PS	Встроенный UART	

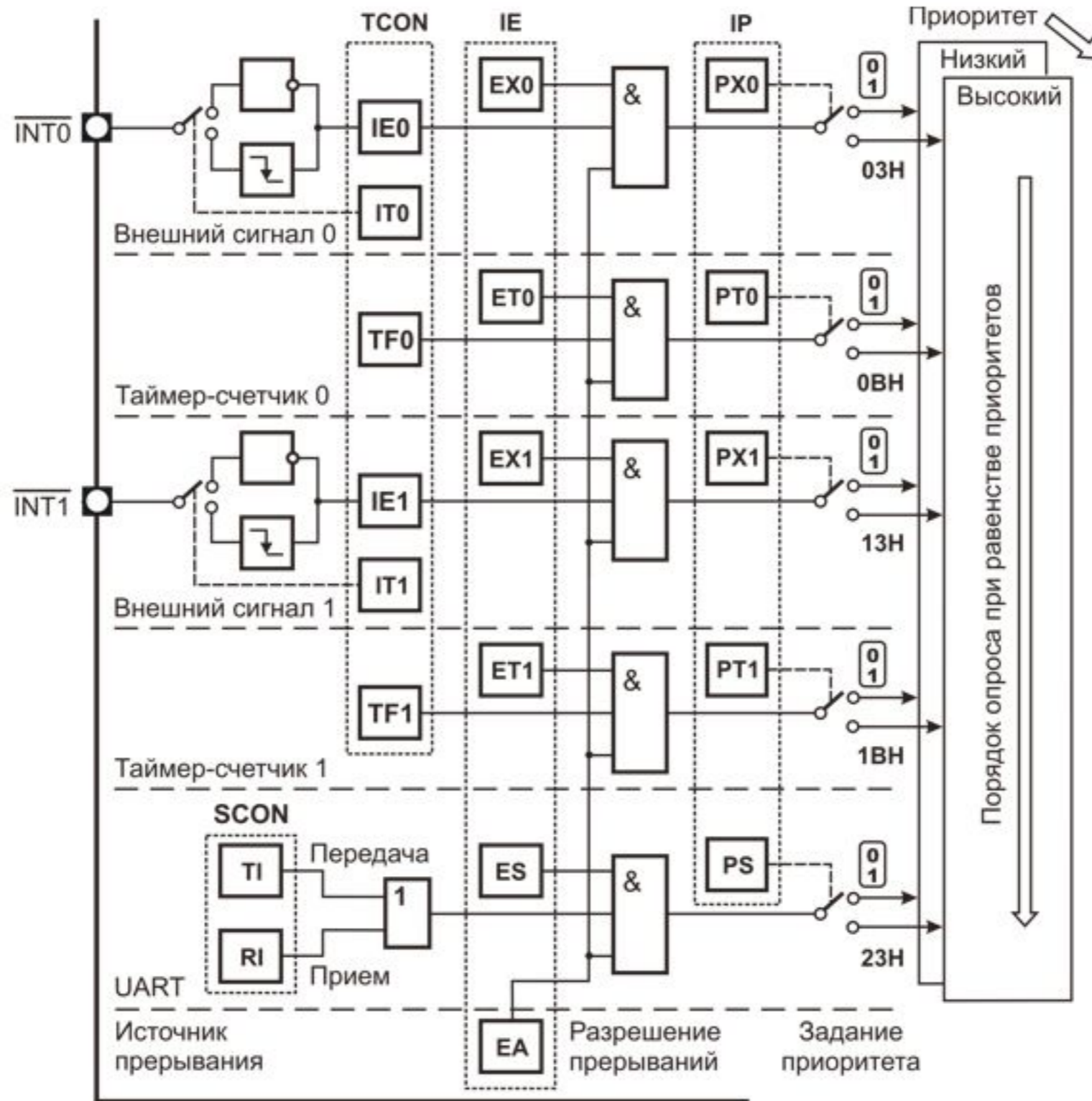


Рис. 2.14. Логика работы модуля прерываний микроконтроллера 8051

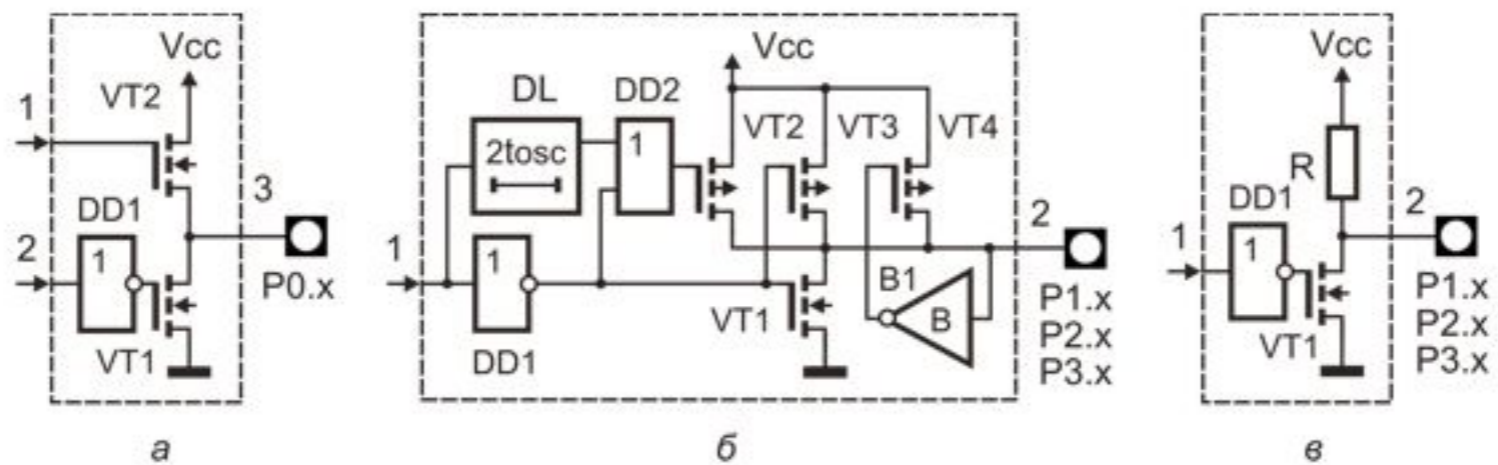


Рис. 2.15. Схемы драйверов параллельных портов: а – порта P0;
 б – портов P1-P3; в – эквивалентная портов P1-P3

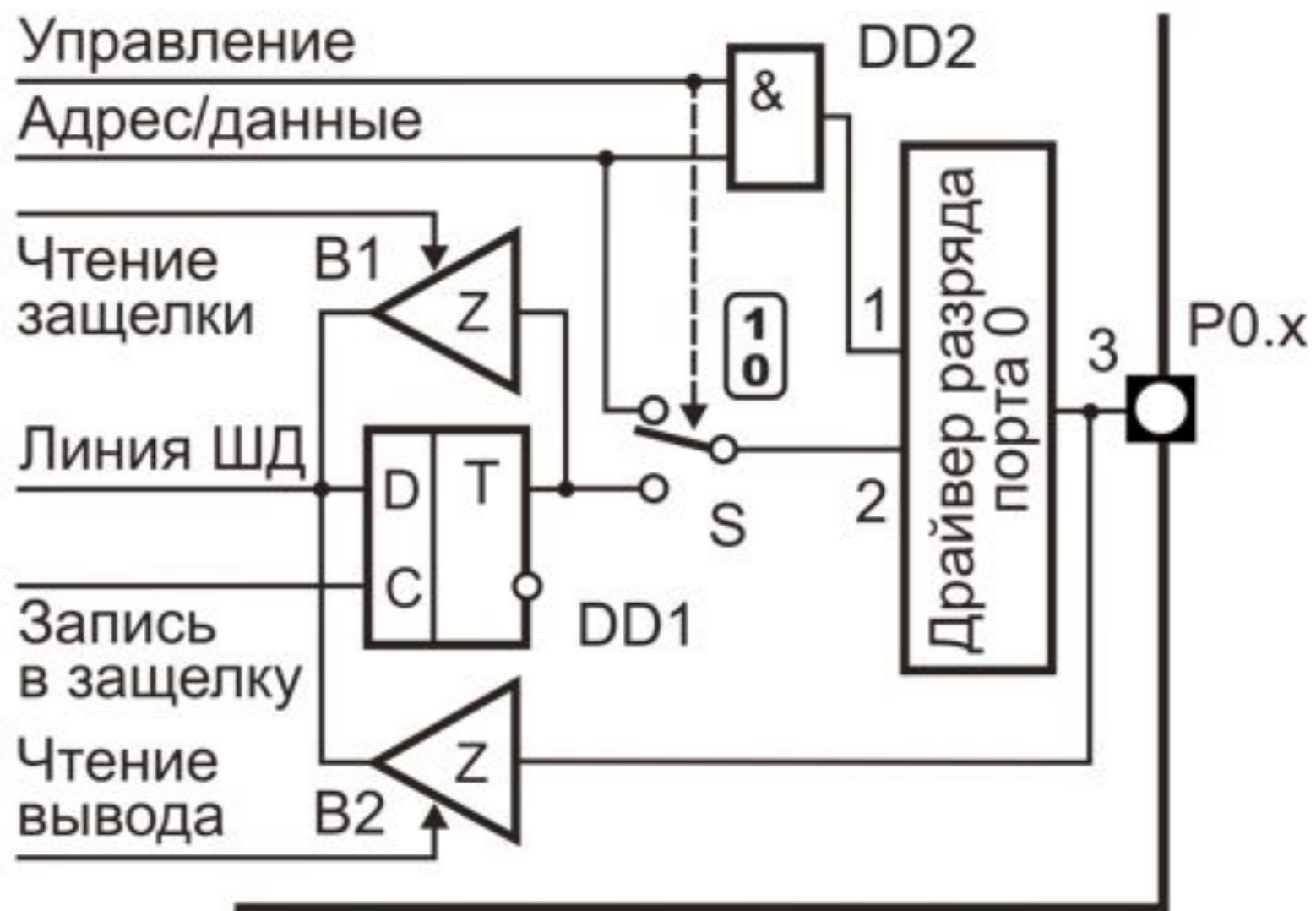


Рис. 2.16. Структура порта P0

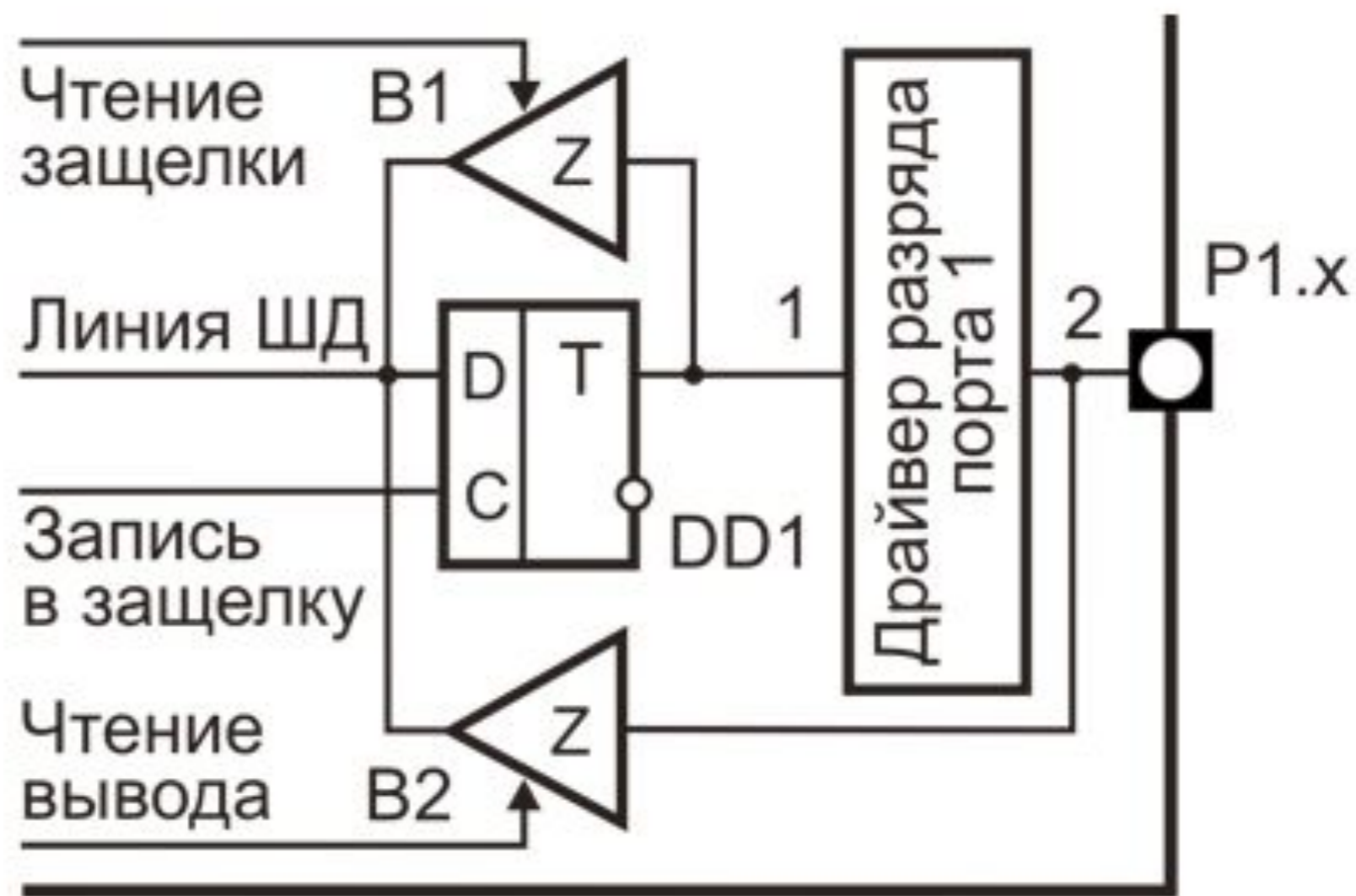


Рис. 2.17. Структура порта P1

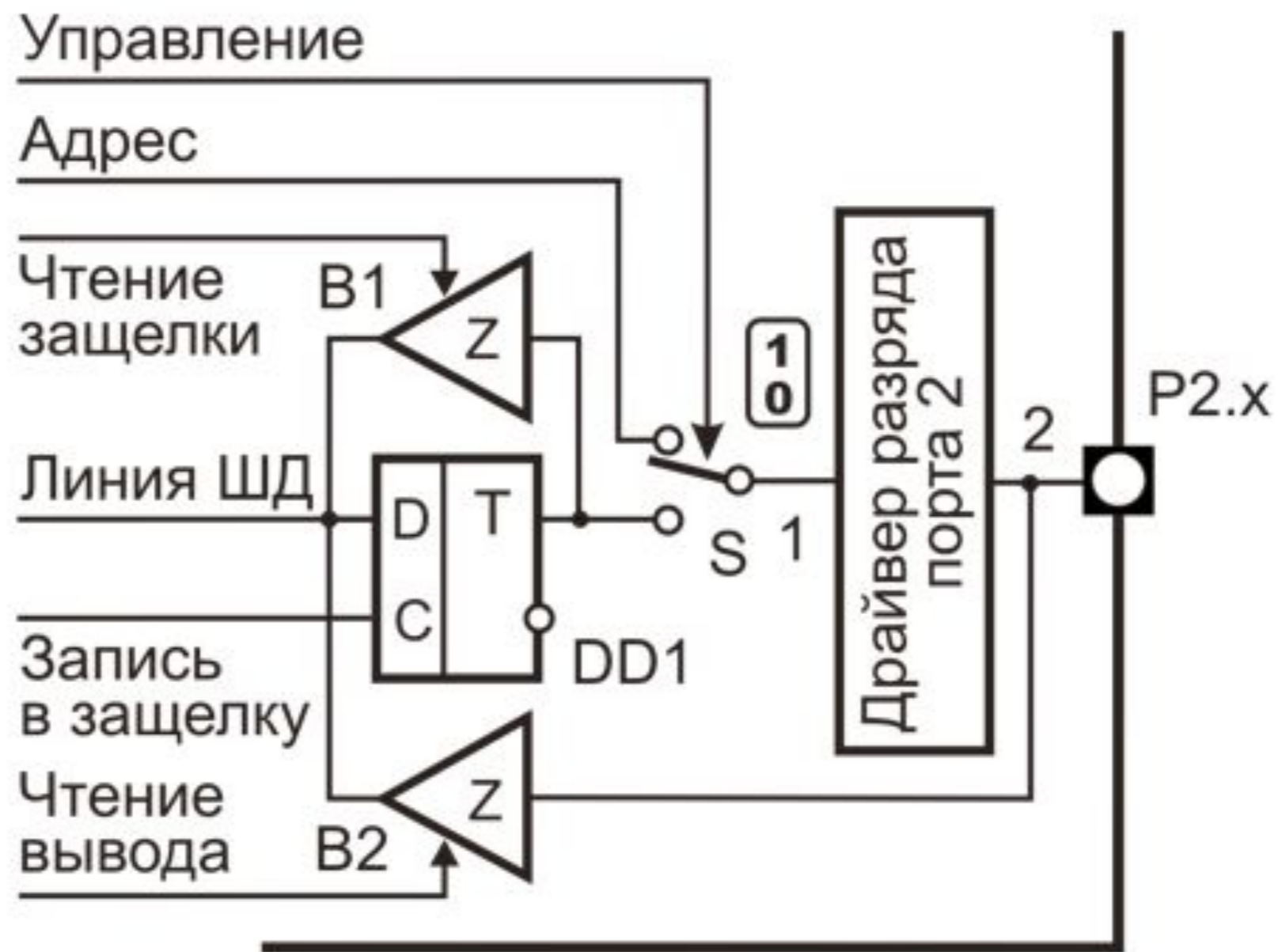


Рис. 2.18. Структура порта P2

Таблица 2.10

		7	6	5	4	3	2	1	0
		RD	WR	T1	T0	INT1	INT0	TxD	RxD
Вывод	Назначение								
RD	Строб чтения. Активный сигнал низкого уровня формируется аппаратно при чтении из внешней памяти данных								
WR	Строб записи. Активный сигнал низкого уровня формируется аппаратно при записи во внешнюю память данных								
T1	Вход таймера/счетчика 1 для подсчета внешних событий								
T0	Вход таймера/счетчика 0 для подсчета внешних событий								
INT1	Вход внешнего запроса прерывания 1 по сигналу низкого уровня или срезу								
INT0	Вход внешнего запроса прерывания 0 по сигналу низкого уровня или срезу								
TxD	Выход передатчика последовательного порта в режиме UART. Выход синхронизирующих импульсов в режиме сдвигающего регистра								
RxD	Вход приемника последовательного порта в режиме UART. Ввод-вывод данных в режиме сдвигающего регистра								

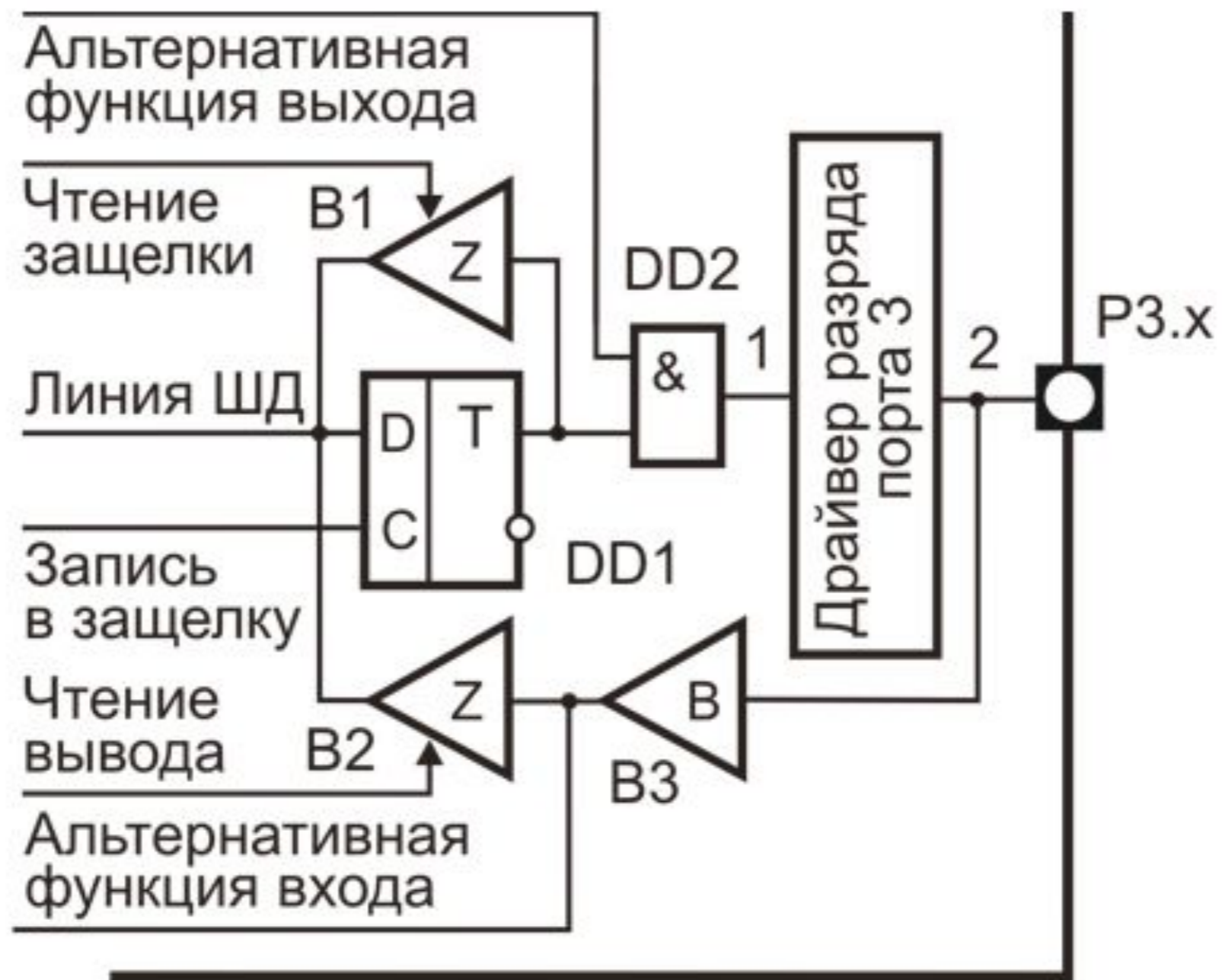


Рис. 2.19. Структура порта P3

Таблица 2.11

<div style="display: flex; justify-content: space-around; align-items: center;"> ⊕ <div style="display: flex; justify-content: space-between; width: 100%;"> 76543210 </div> <div style="display: flex; justify-content: space-around; align-items: center; border: 1px solid black; padding: 2px;"> GATE1C/T1M1.1M1.0GATE0C/T0M0.1M0.0 □ </div> </div>							
Флаг	Назначение						
GATE1	Если GATE1=1 и TR1=1, то включение-выключение таймера/счетчика осуществляется внешним сигналом высокого-низкого уровня на входе INT1. Когда GATE1=0, включение и выключение таймера/счетчика осуществляет бит запуска TR1						
C/T1	Бит выбора режима таймера или счетчика событий. Если бит сброшен, то работает таймер TC1. Если бит установлен, то работает счетчик внешних сигналов на входе T1						
M1.1 M1.0	Задание режима работы TC1 в соответствии с таблицей:						
		M1.1	M1.0	Режим работы			
		0	0	0			
		0	1	1			
		1	0	2			
		1	1	3			
GATE0	Назначение аналогично GATE1, но для таймера/счетчика TC0						
C/T0	Назначение аналогично C/T1, но для таймера/счетчика TC0						
M0.1, M0.0	Назначение аналогично M1.1, M1.0, но для таймера/счетчика TC0						

Таблица 2.12

<table border="1" style="width: 100%; text-align: center;"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>TF1</td><td>TR1</td><td>TF0</td><td>TR0</td><td>IE1</td><td>IT1</td><td>IE0</td><td>IT0</td> </tr> </table>								7	6	5	4	3	2	1	0	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
7	6	5	4	3	2	1	0																
TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0																
Флаг	Назначение																						
TF1	Флаг переполнения таймера/счетчика TC1. Устанавливается аппаратно при переполнении TC1. Сбрасывается аппаратно при входе в подпрограмму обслуживания прерывания																						
TR1	Бит управления таймера/счетчика TC1. Устанавливается-сбрасывается программой для пуска-останова TC1																						
TF0	Назначение аналогично TF1, но для таймера/счетчика TC0																						
TR0	Назначение аналогично TR1, но для таймера/счетчика TC0																						
IE1	Флаг запроса внешнего прерывания INT1. Устанавливается аппаратно по срезу или уровню внешнего сигнала на входе INT1. Сбрасывается при обслуживании прерывания																						
IT1	Бит задания типа прерывания INT1. <u>Устанавливается-сбрасывается программно для задания запроса по срезу-низкому уровню</u>																						
IE0	Назначение аналогично IE1, но для внешнего прерывания INT0																						
IT0	Назначение аналогично IT1, но для внешнего прерывания INT0																						

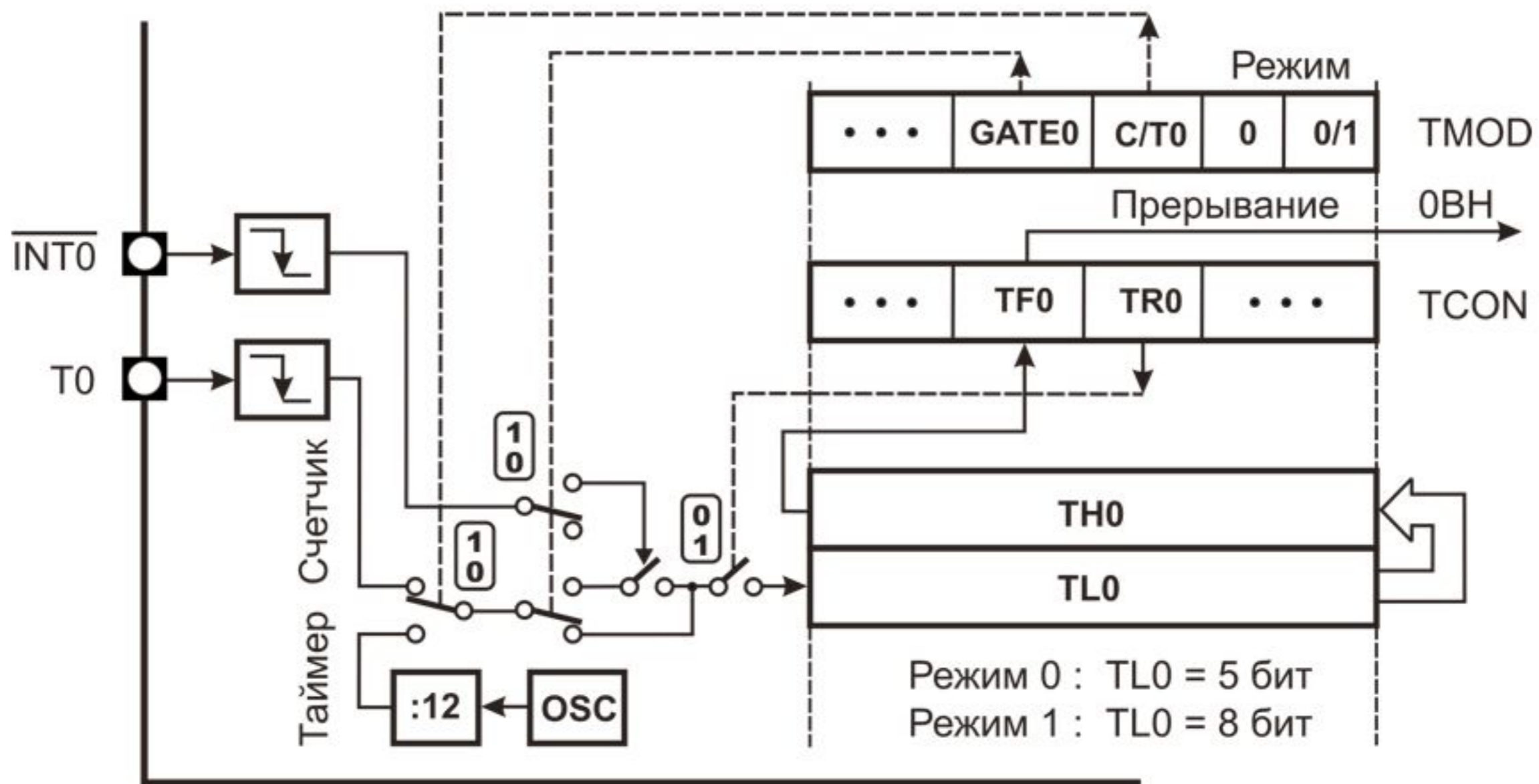


Рис. 2.20. Логика работы таймера/счетчика в режимах 0 и 1

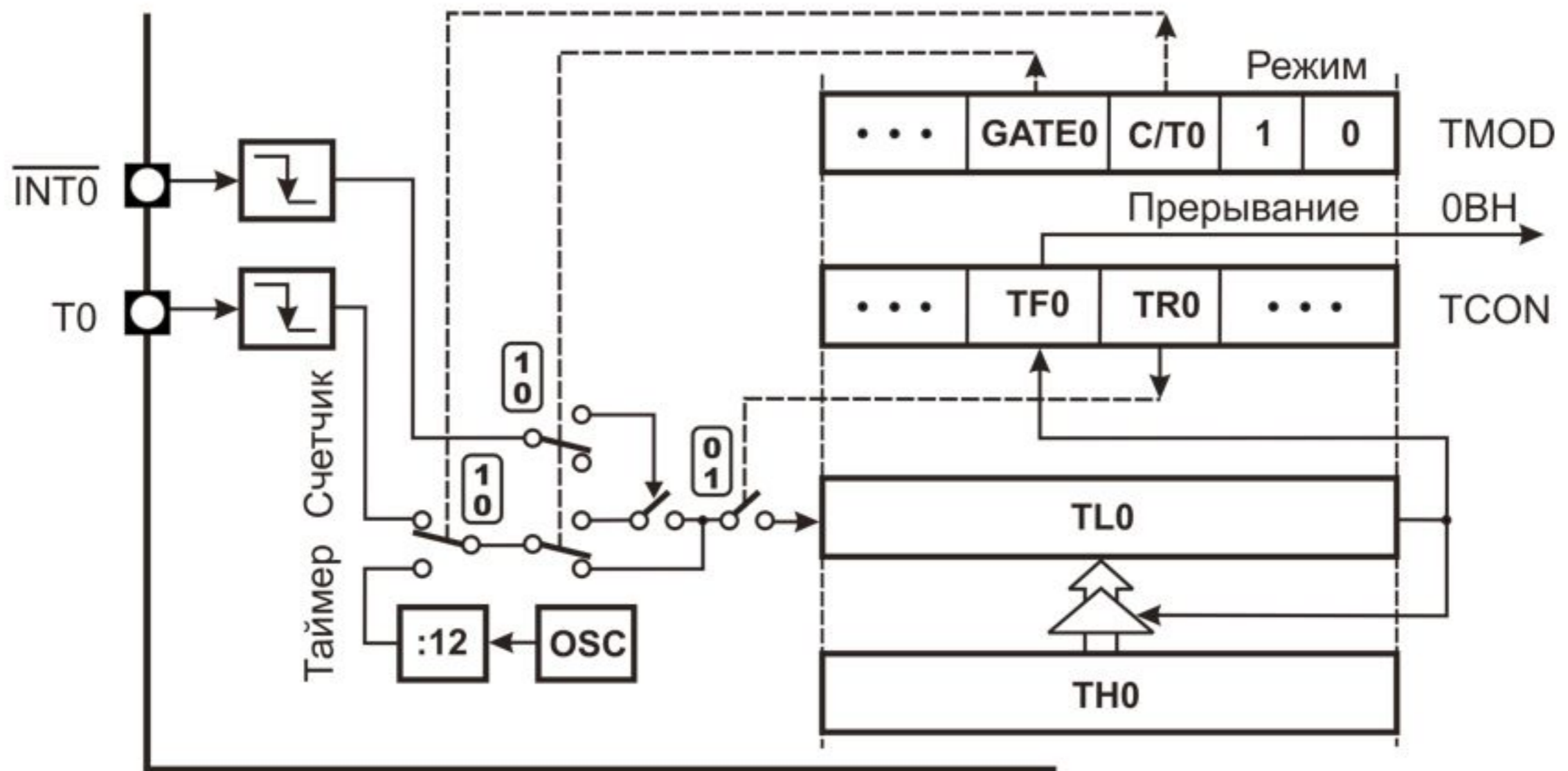


Рис. 2.21. Логика работы таймера/счетчика в режиме 2

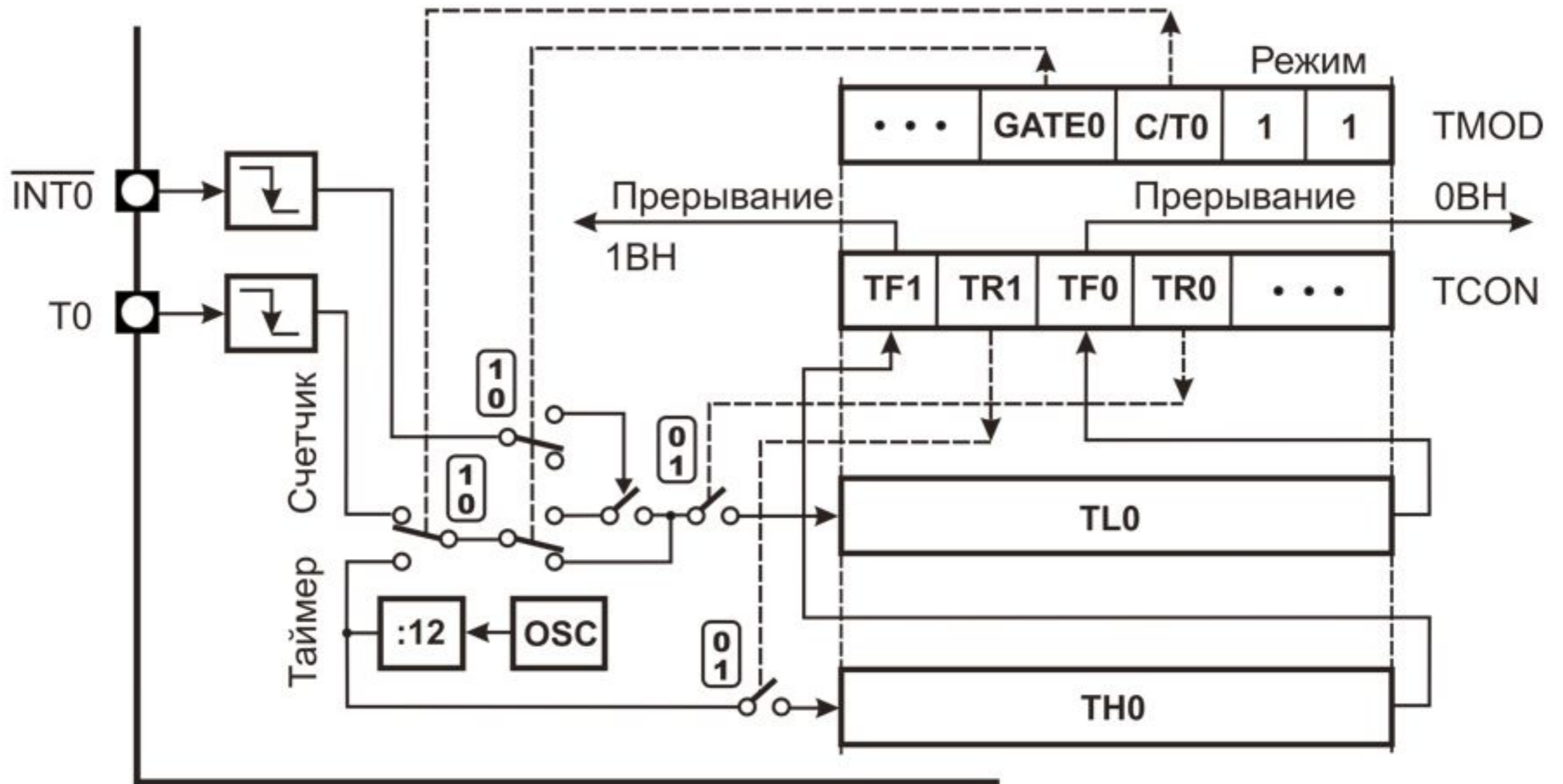


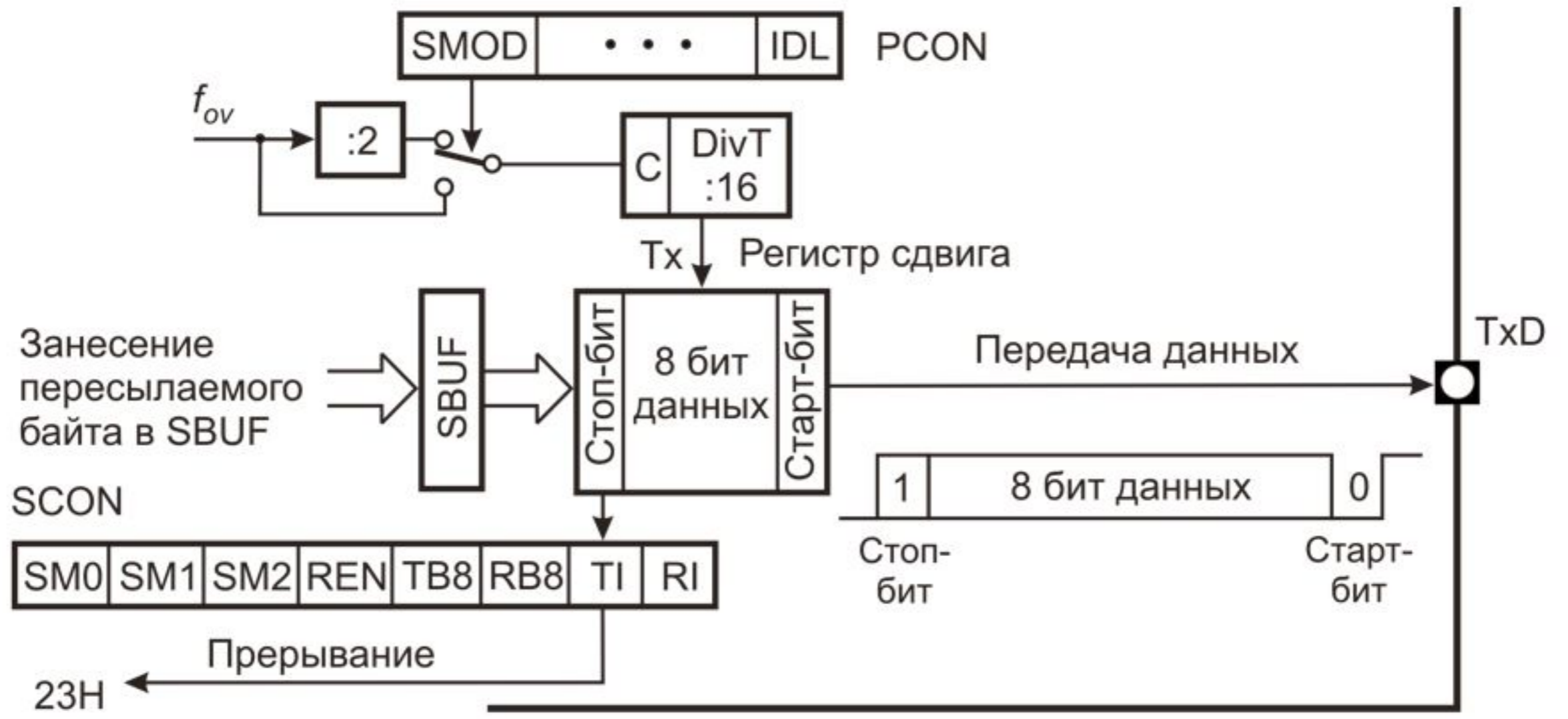
Рис. 2.22. Логика работы таймера/счетчика 0 в режиме 3

Таблица 2.13

		7	6	5	4	3	2	1	0															
		SM0	SM1	SM2	REN	TB8	RB8	TI	RI															
Флаг	Назначение																							
SM0 SM1	Поле задания режима работы UART. Биты устанавливаются-сбрасываются программно <table border="1" data-bbox="1018 666 1896 1028" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>SM0</th> <th>SM1</th> <th>Режим работы</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>2</td> </tr> <tr> <td>1</td> <td>1</td> <td>3</td> </tr> </tbody> </table>									SM0	SM1	Режим работы	0	0	0	0	1	1	1	0	2	1	1	3
SM0	SM1	Режим работы																						
0	0	0																						
0	1	1																						
1	0	2																						
1	1	3																						
SM2	Бит управления режимом UART. Устанавливается программно для запрета приема сообщения, в котором 9-й бит имеет значение 0																							
REN	Бит разрешения приема. Устанавливается-сбрасывается программно для разрешения-запрета приема последовательных данных																							
TB8	Передача дополнительного бита. Устанавливается-сбрасывается программно для задания 9-го бита при передаче в режимах 2 и 3 UART																							
RB8	Прием дополнительного бита. Устанавливается-сбрасывается аппаратно для фиксации 9-го принимаемого бита при приеме в режимах 2 и 3 UART																							
TI	Флаг прерывания передатчика. Устанавливается аппаратно при окончании передачи байта. Сбрасывается программно при обслуживании прерывания																							
RI	Флаг прерывания приемника. Устанавливается аппаратно при приеме байта. Сбрасывается программно при обслуживании прерывания																							



Рис. 2.23. Формат кадра



a

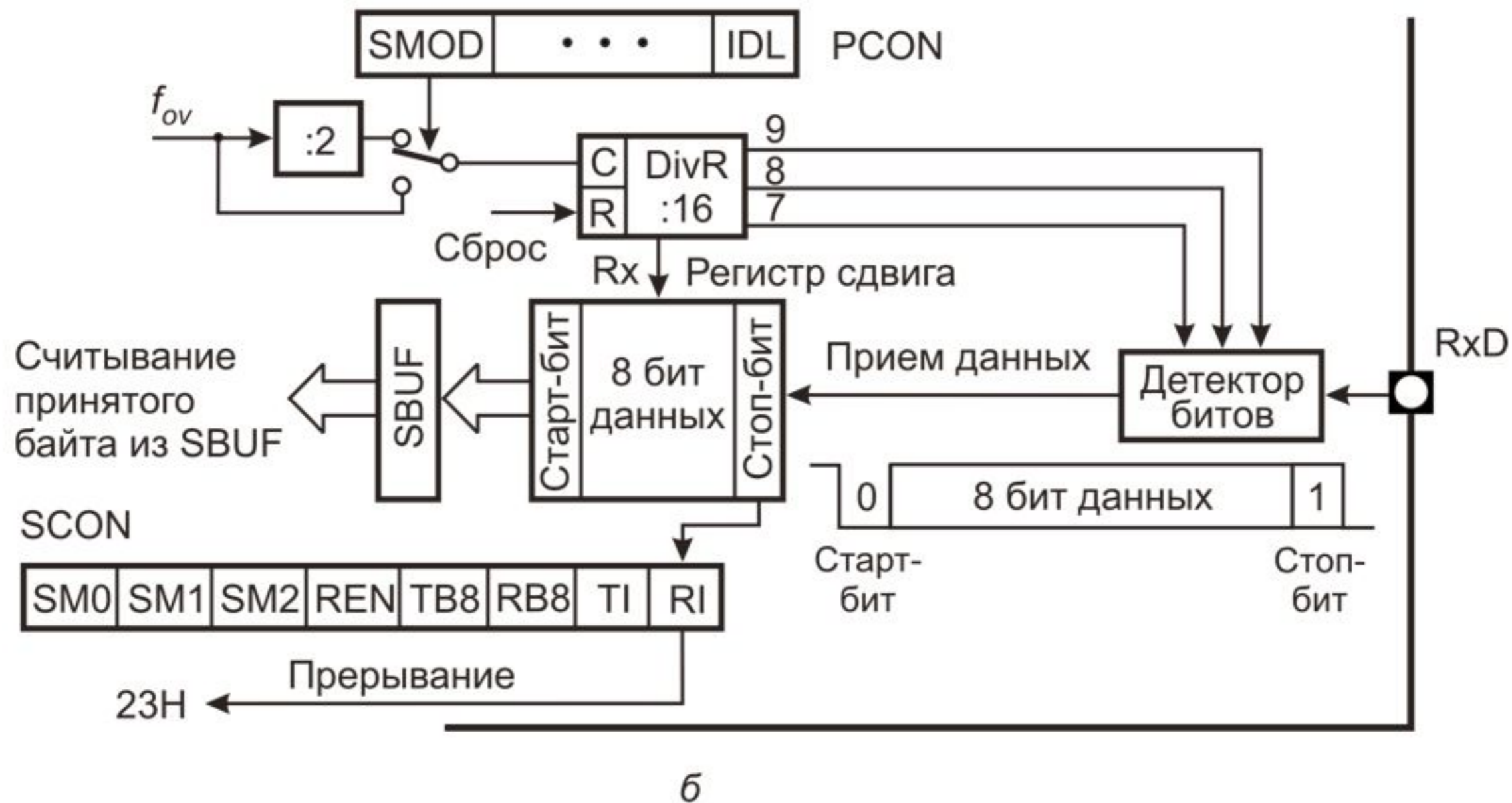
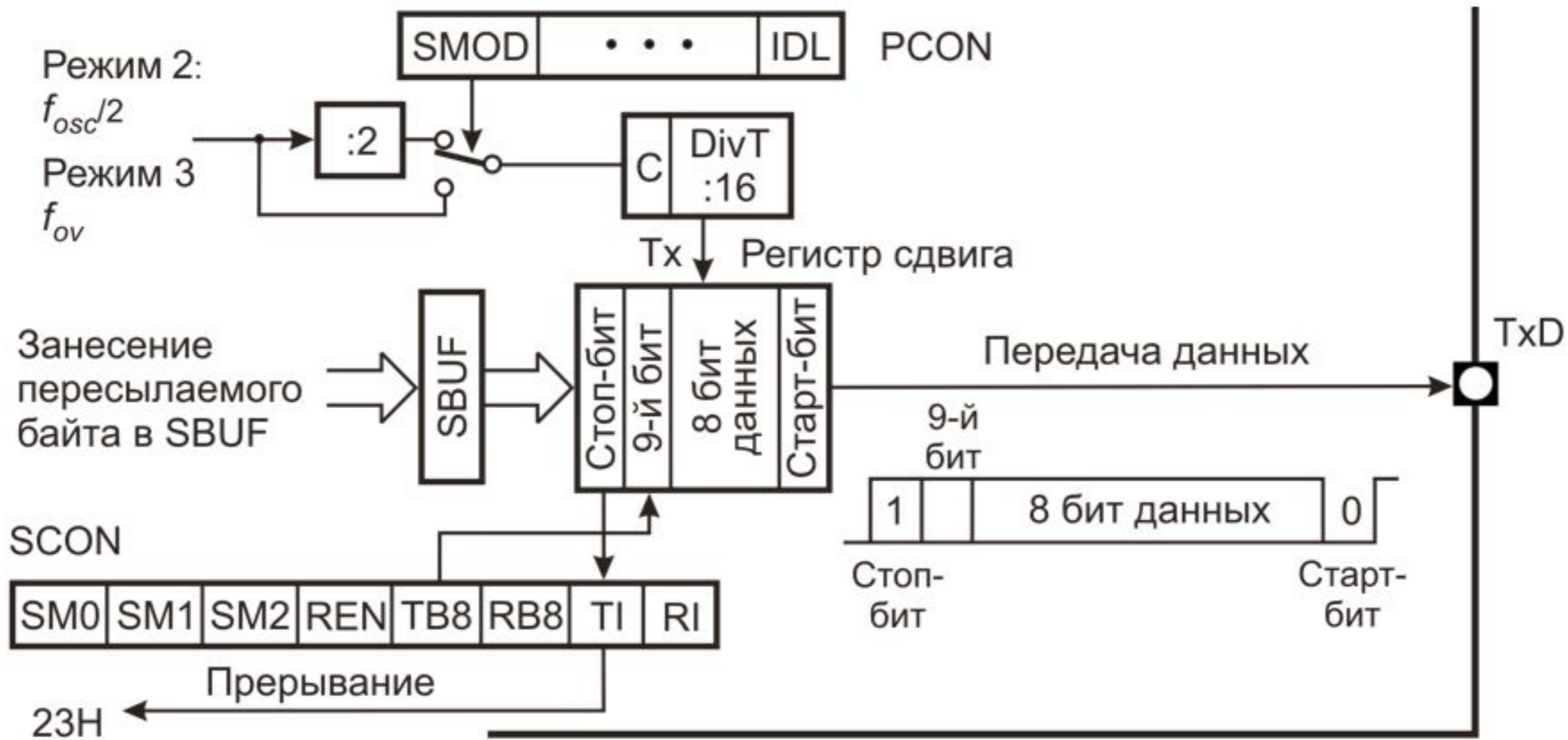


Рис. 2.24. Работа UART с 10-битовым кадром: а – при передаче; б – при приеме



a

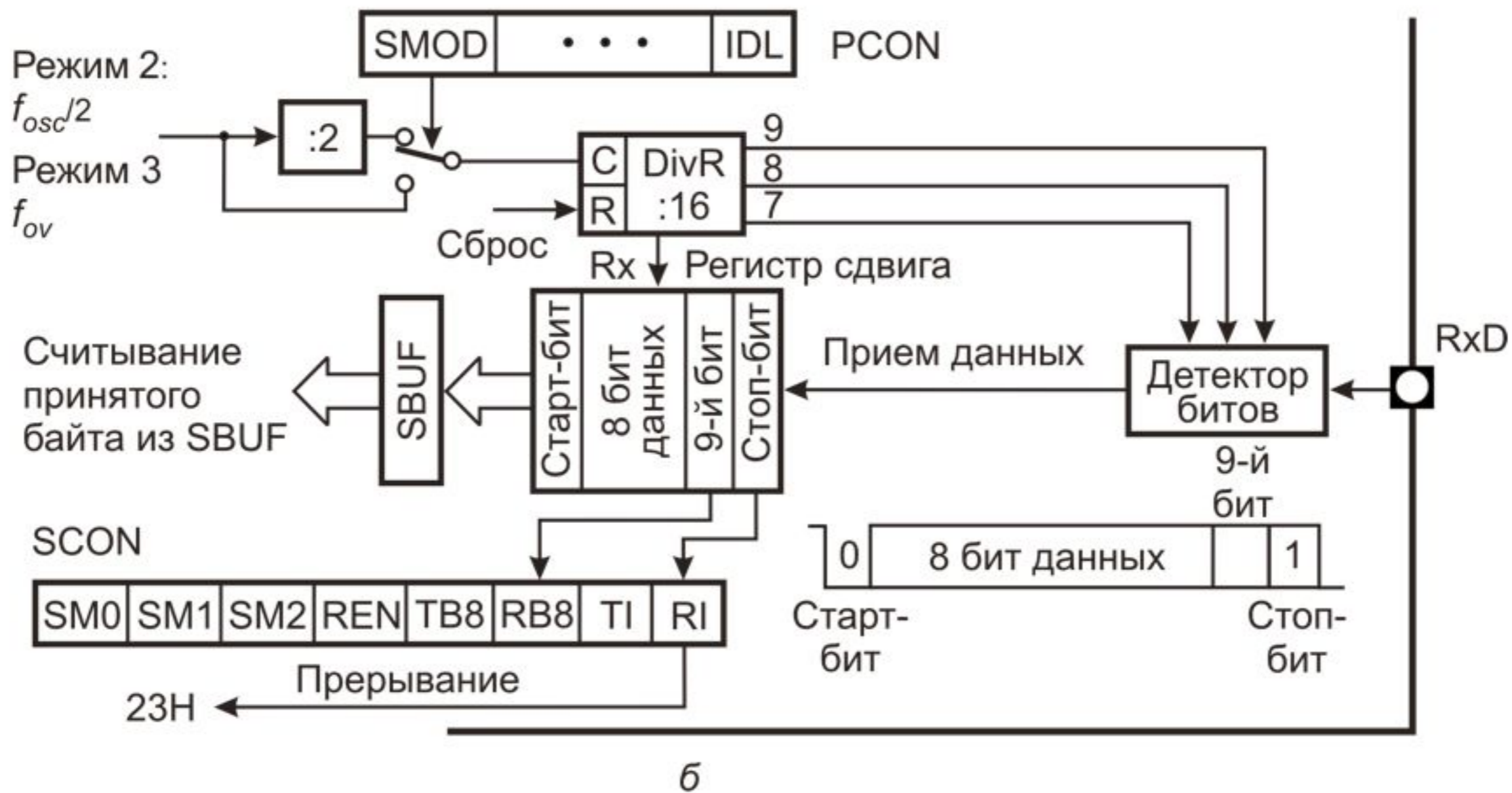


Рис. 2.25. Работа UART с 11-битовым кадром: а – при передаче; б – при приеме

Таблица 2.14

Частота приема/передачи (Baud Rate), бод	Частота резонатора, МГц	Таймер/счетчик 1, режим 2	
		SMOD	Перезагружаемое число в TH1
57600	11,0592	1	0FFH
28800	11,0592	1	0FEH
19200	11,0592	1	0FDH
14400	11,0592	0	0FEH
9600	11,0592	0	0FDH
4800	11,0592	0	0FAH
2400	11,0592	0	0F4H
1200	11,0592	0	0E8H

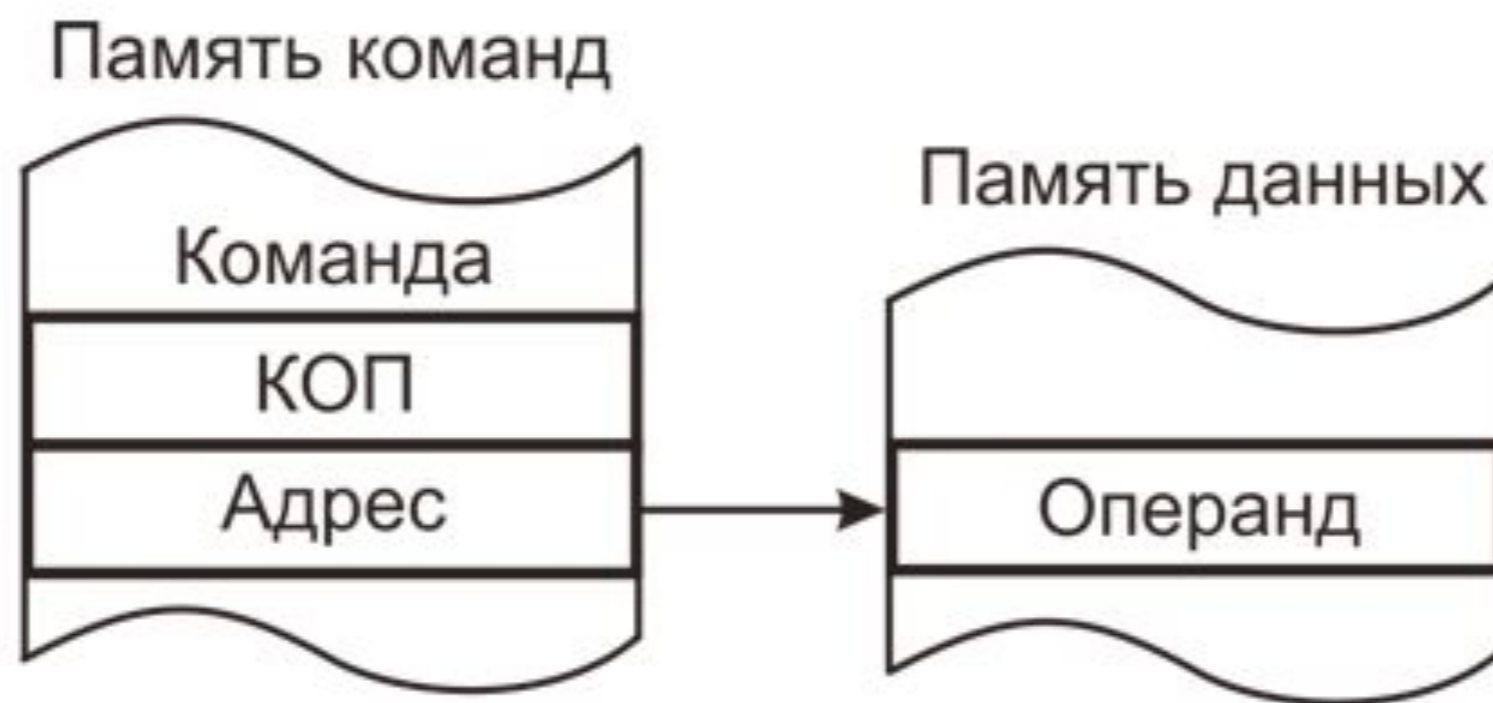


Рис. 2.26. Прямая адресация

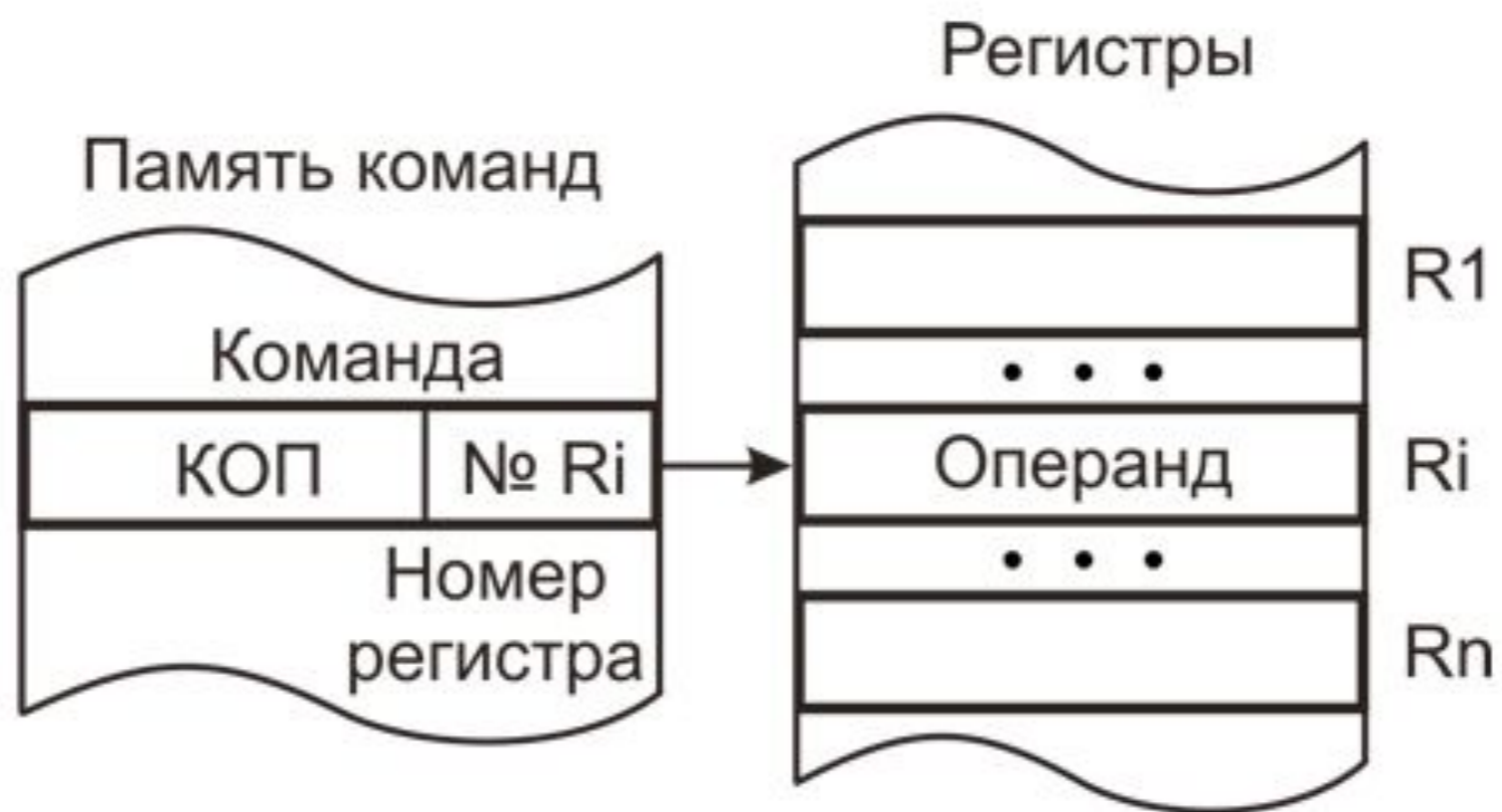


Рис. 2.27. Регистровая адресация

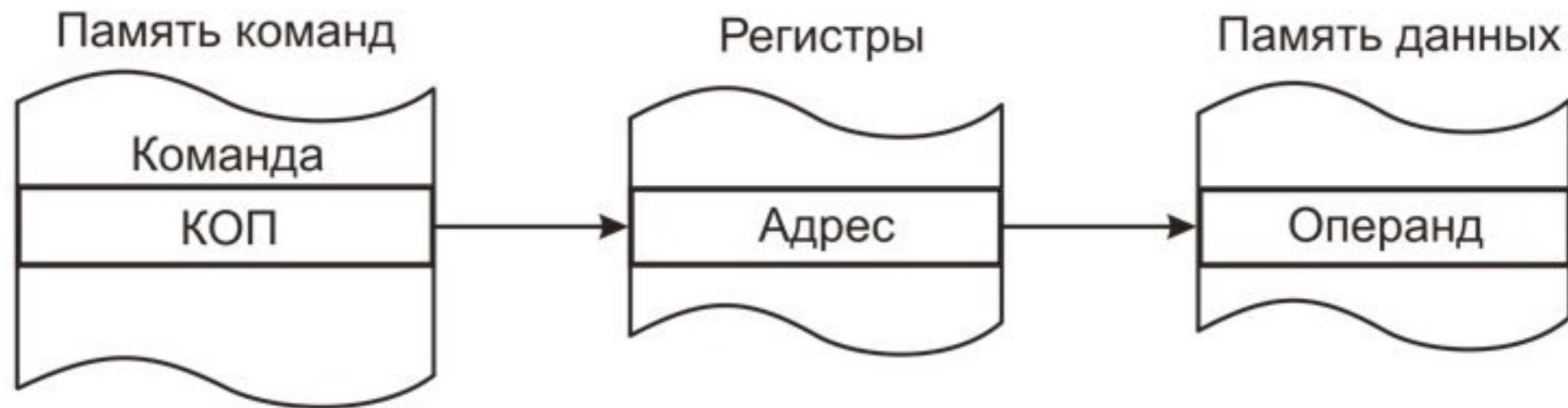


Рис. 2.28. Косвенно-регистровая адресация



Рис. 2.29. Непосредственная адресация

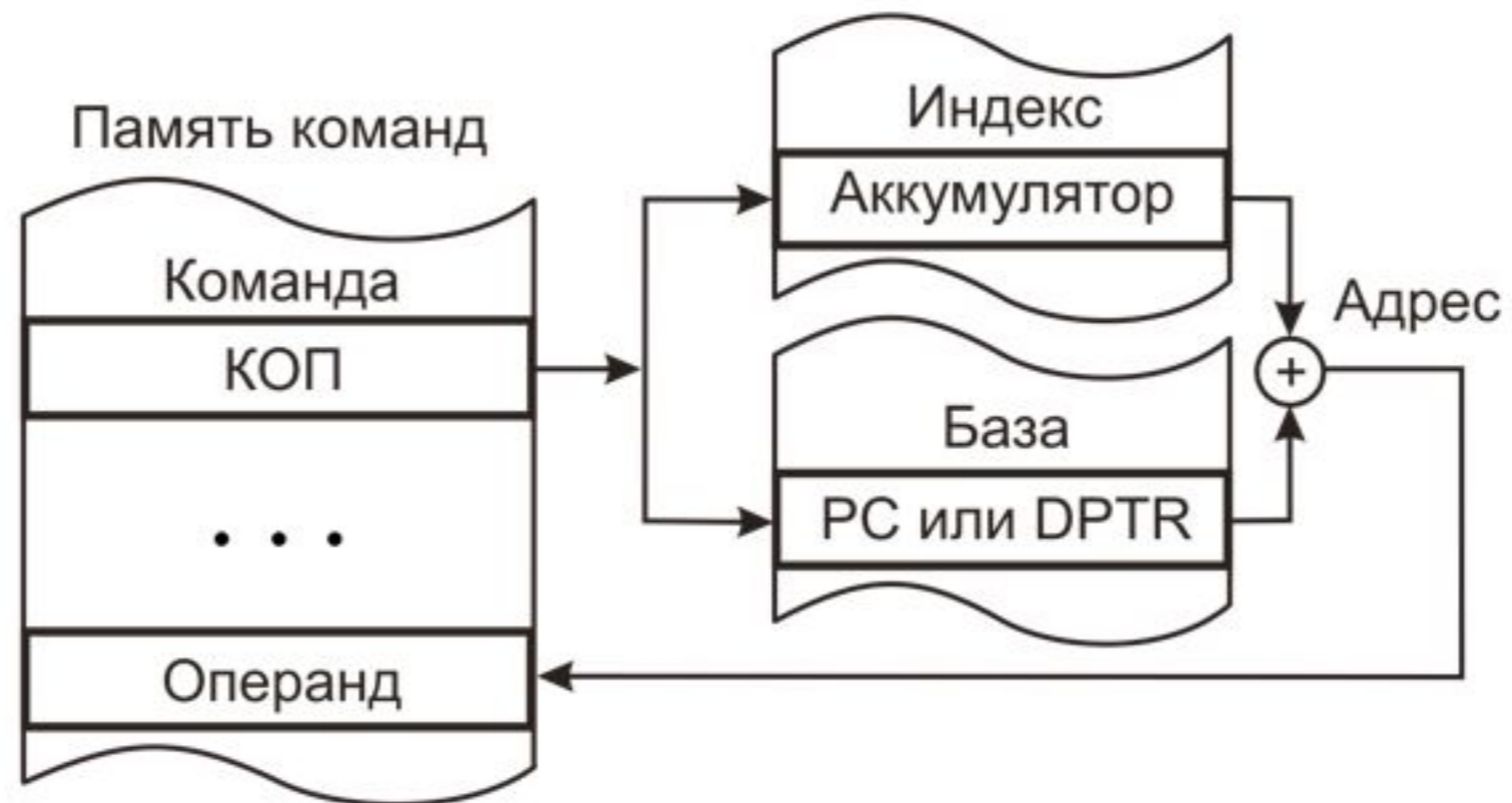


Рис. 2.30. Индексная адресация