

Память

Энергонезависимая память

- ПЗУ — постоянное запоминающее устройство, ROM (Read Only Memory).
- ППЗУ — программируемое ПЗУ, PROM (Programmable ROM).

Оперативная память

- ОЗУ — оперативное запоминающее устройство, RAM — Random Access Memory — память с произвольным доступом).

Обозначения и единицы измерения

1К — это 1024, то есть 2^{10} ;

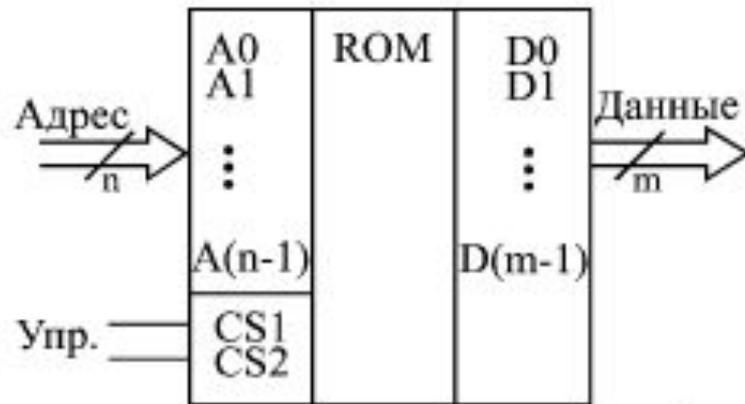
1М — это 1048576, то есть 2^{20} ;

1Г — это 1073741824, то есть 2^{30} .

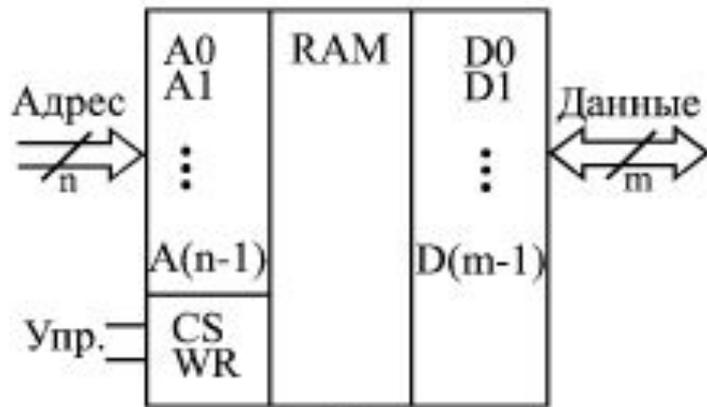
1 Кбайт = 1024 байт, 1 Мбайт = 1024 Кбайт,
1 Гбайт = 1024 Мбайт и т.д.

64К x 8 означает, что память имеет 64К (65 536)
восьмиразрядных ячеек.

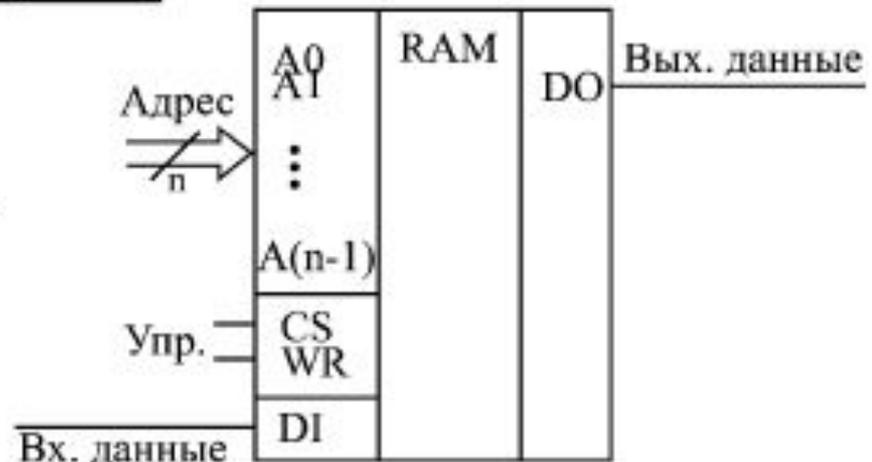
4М x 1 означает, что память имеет 4М (4 194
304) одноразрядных ячеек.



a

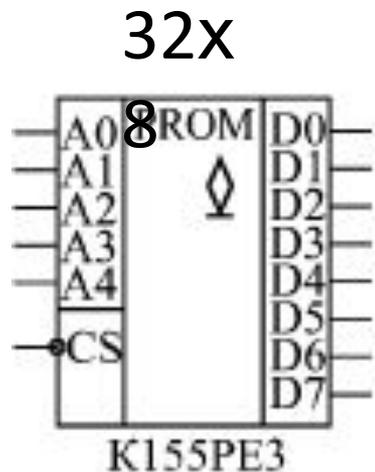


б

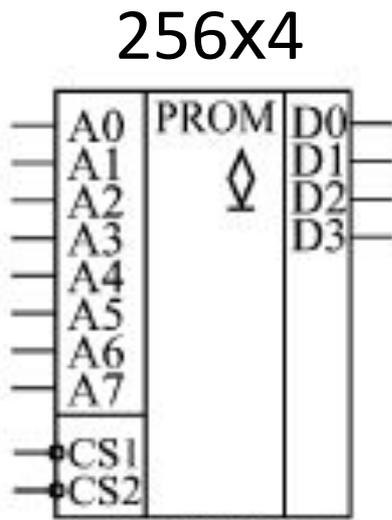


в

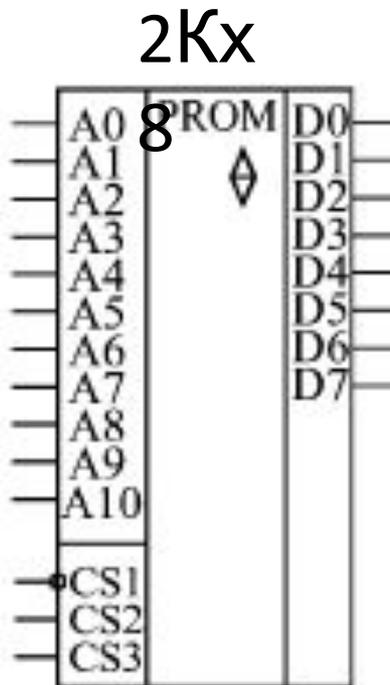
Информационные выводы микросхем памяти:
 ПЗУ (а), ОЗУ с двунаправленной шиной данных
 (б), ОЗУ с отдельными шинами входных и
 выходных данных (в)



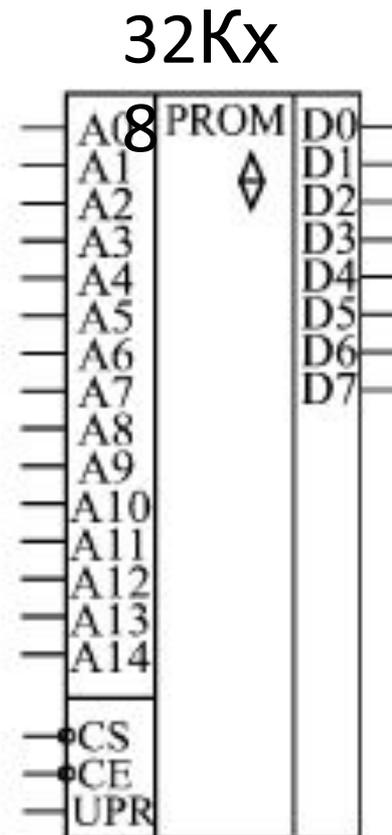
K155PE3



KP556PT4



KP556PT18

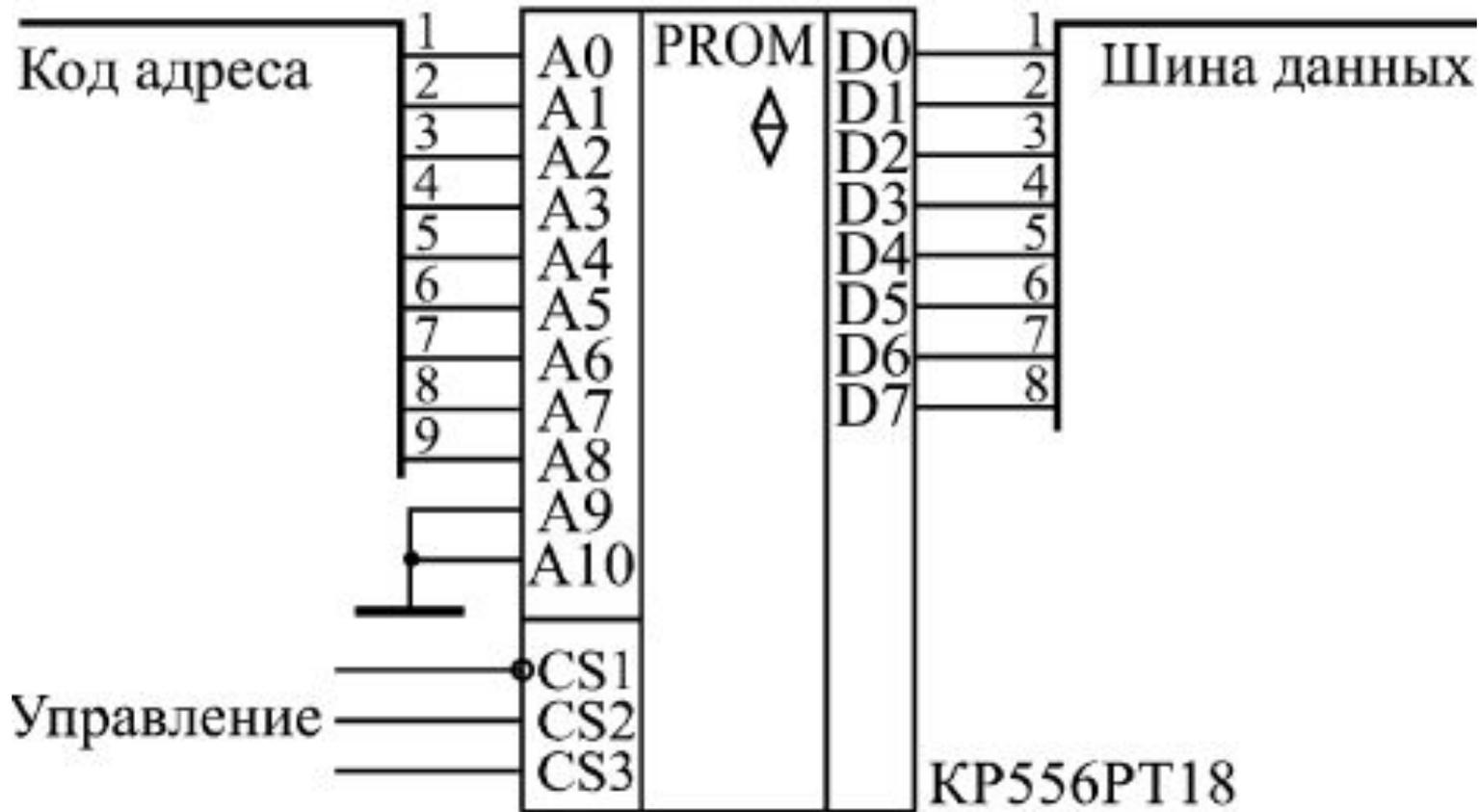


K573PΦ8

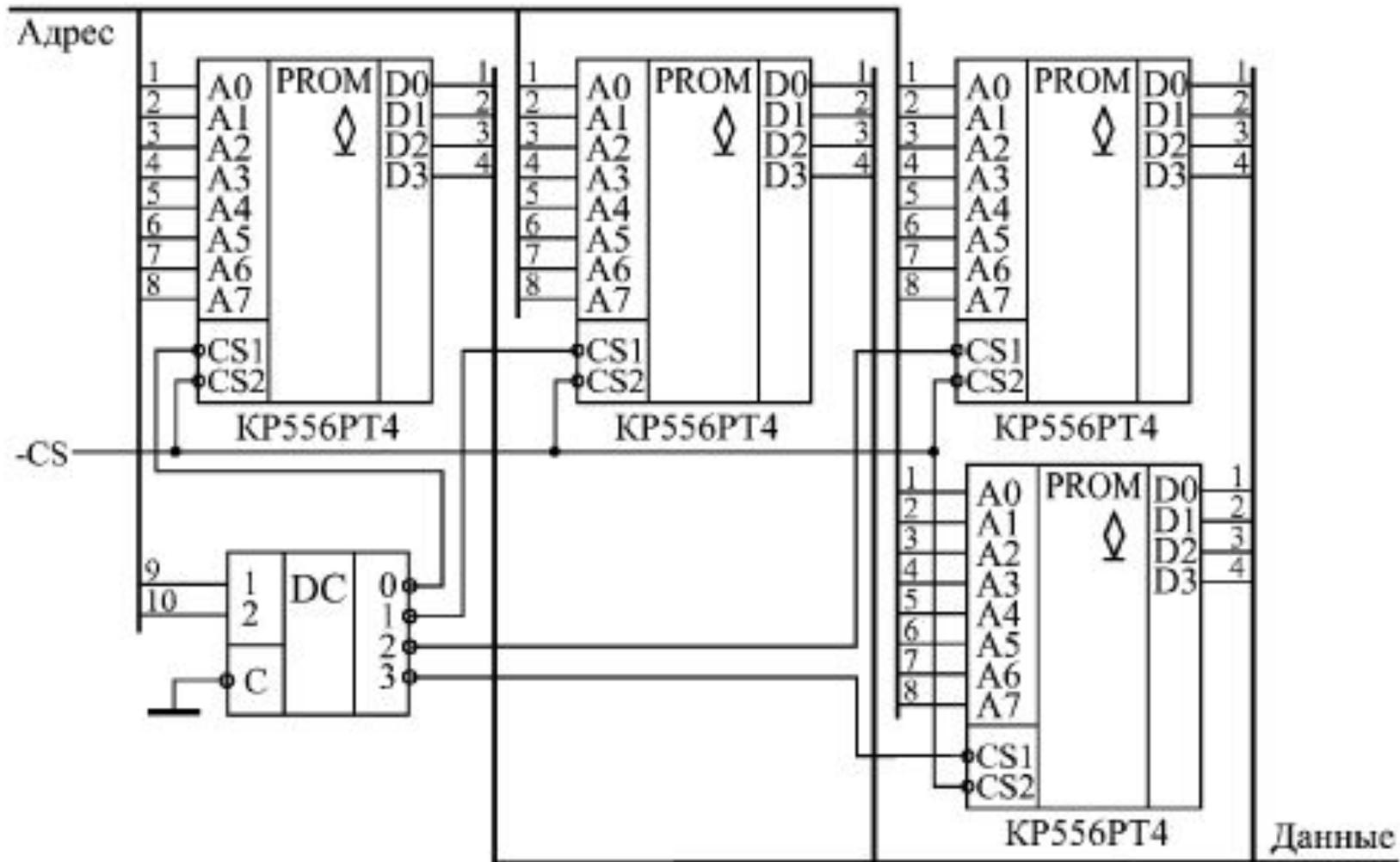
Примеры микросхем ППЗУ
отечественного производства

Основные временные характеристики микросхем ПЗУ

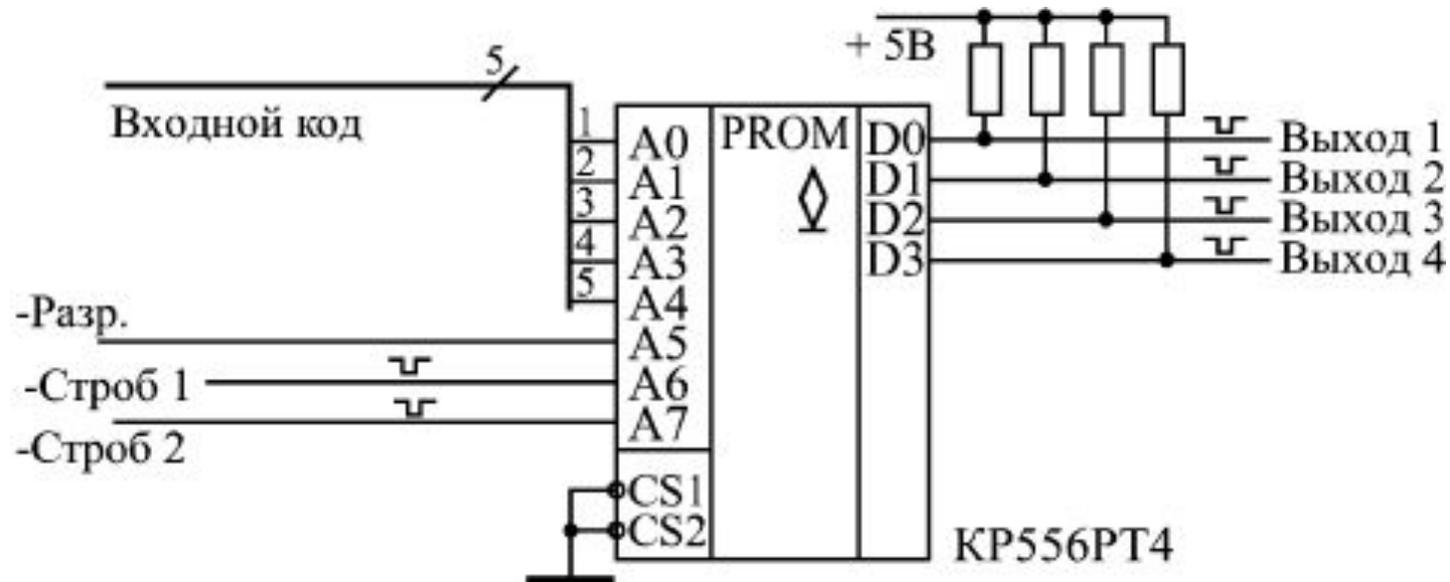
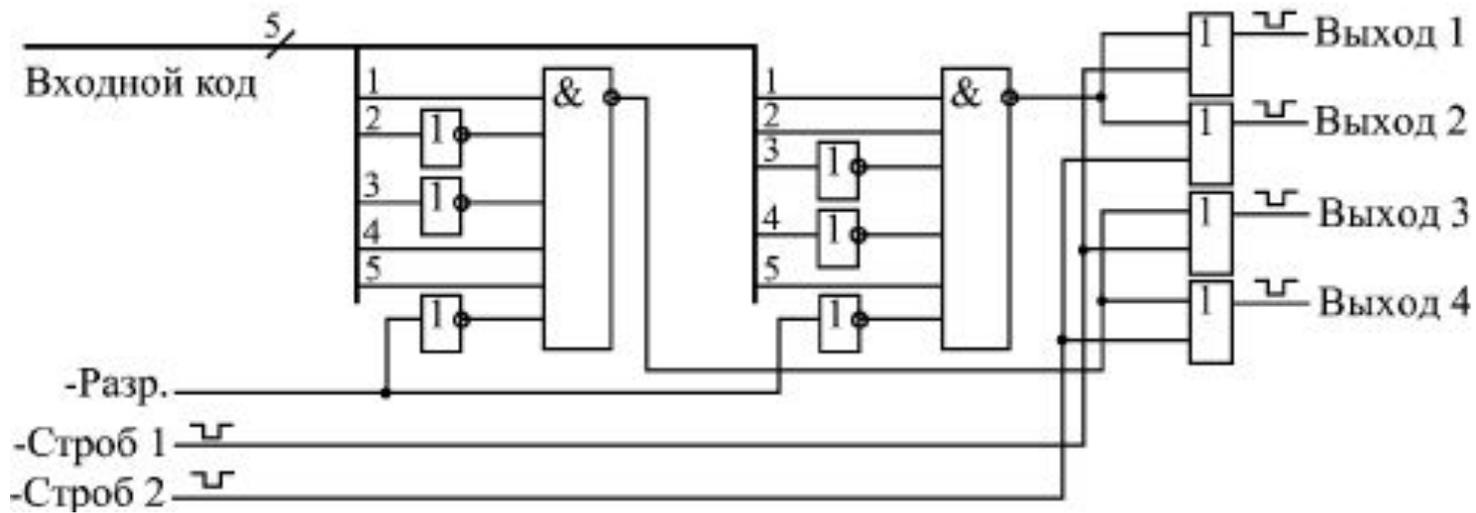
- Задержка выборки адреса памяти — время от установки входного кода адреса до установки выходного кода данных.
- Задержка выборки микросхемы — время от установки активного разрешающего управляющего сигнала CS до установки выходного кода данных памяти. Задержка выборки микросхемы обычно в несколько раз меньше задержки выборки адреса.



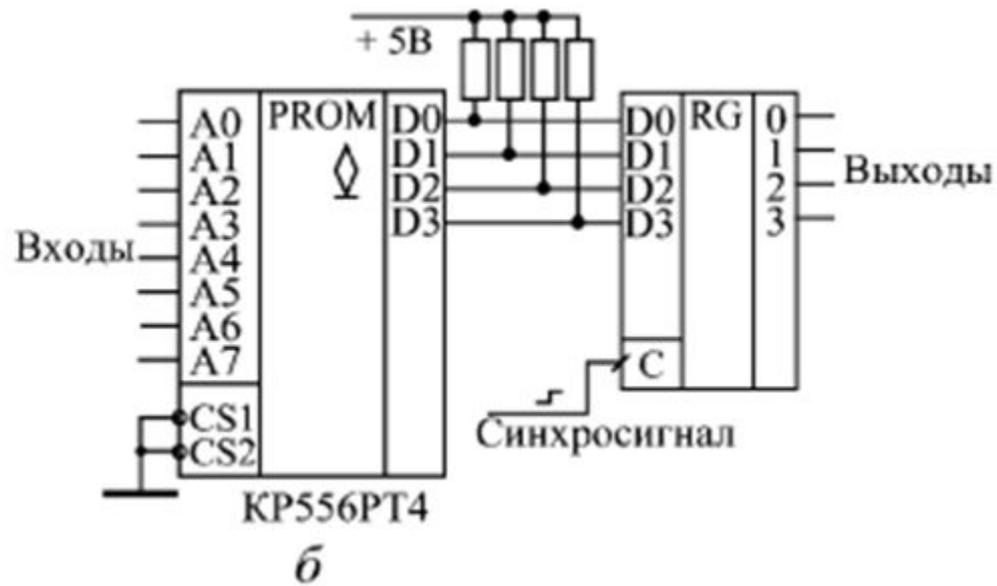
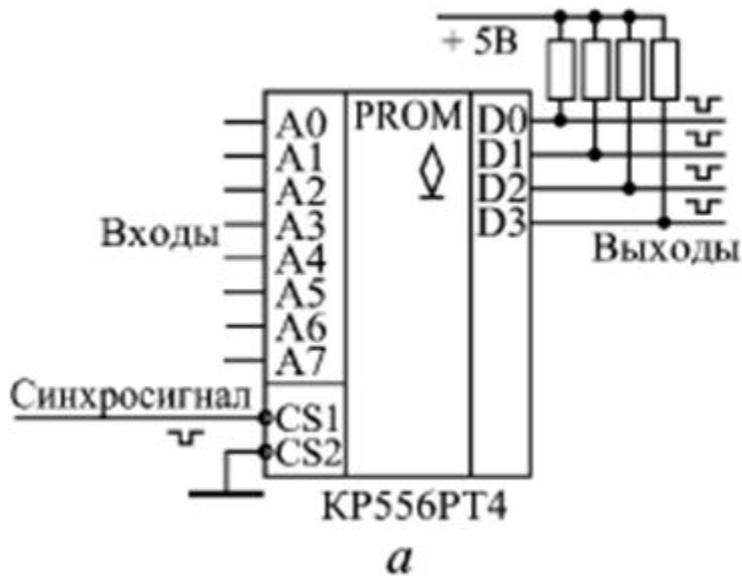
Уменьшение количества адресных разрядов ПЗУ (из 2Кх8 делаем 512х8)



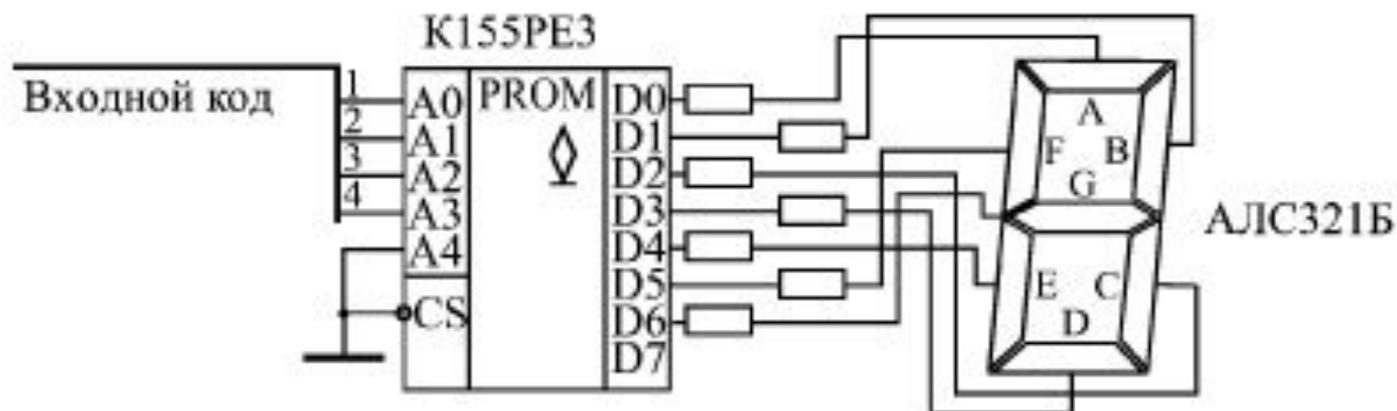
Увеличение количества адресных разрядов
ПЗУ с помощью дешифратора



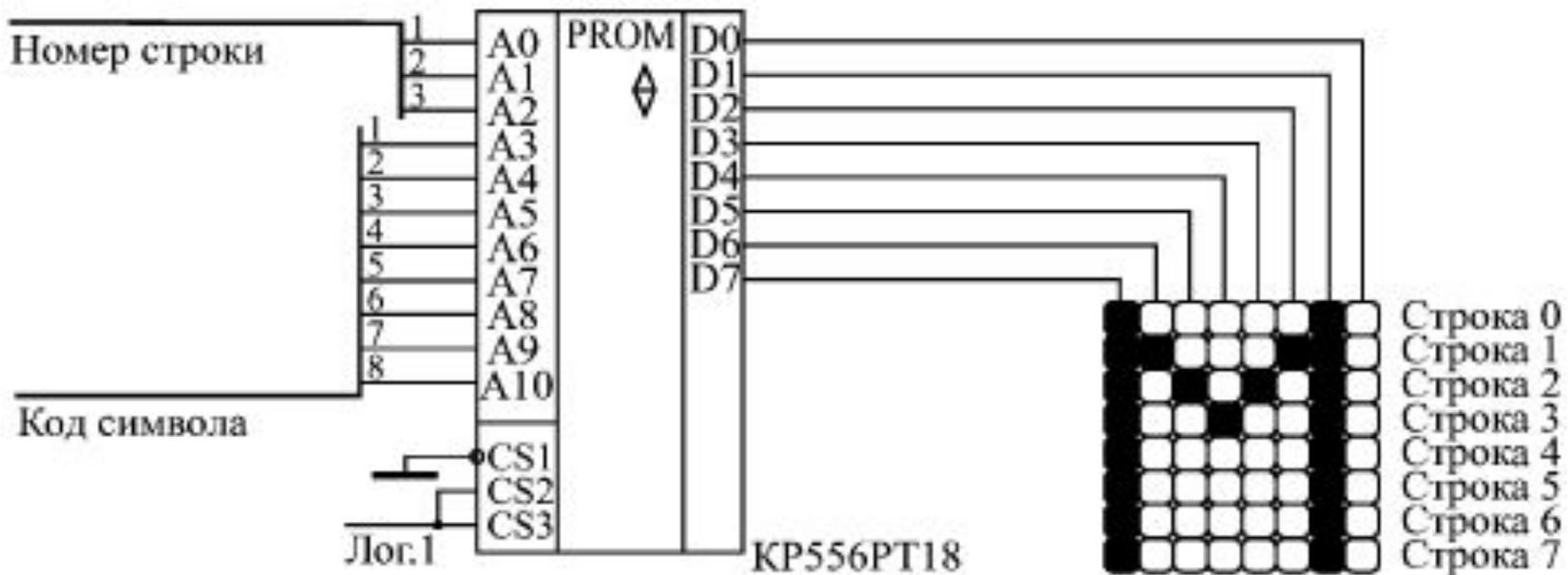
Пример комбинационной схемы, заменяемой ПЗУ



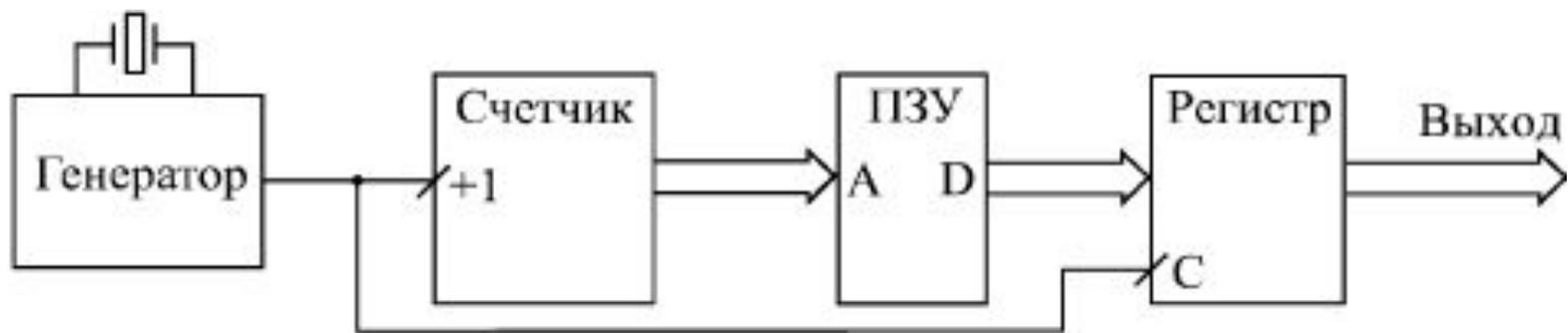
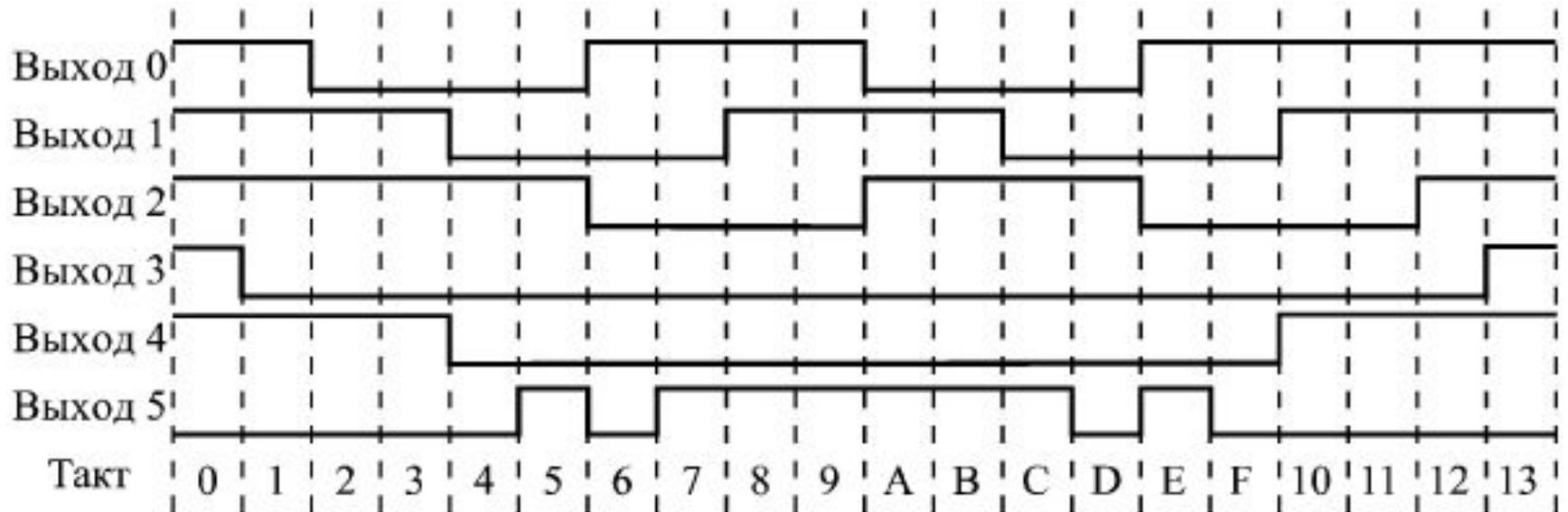
Методы синхронизации выходных сигналов ПЗУ с помощью сигнала CS (а) и выходного регистра (б)



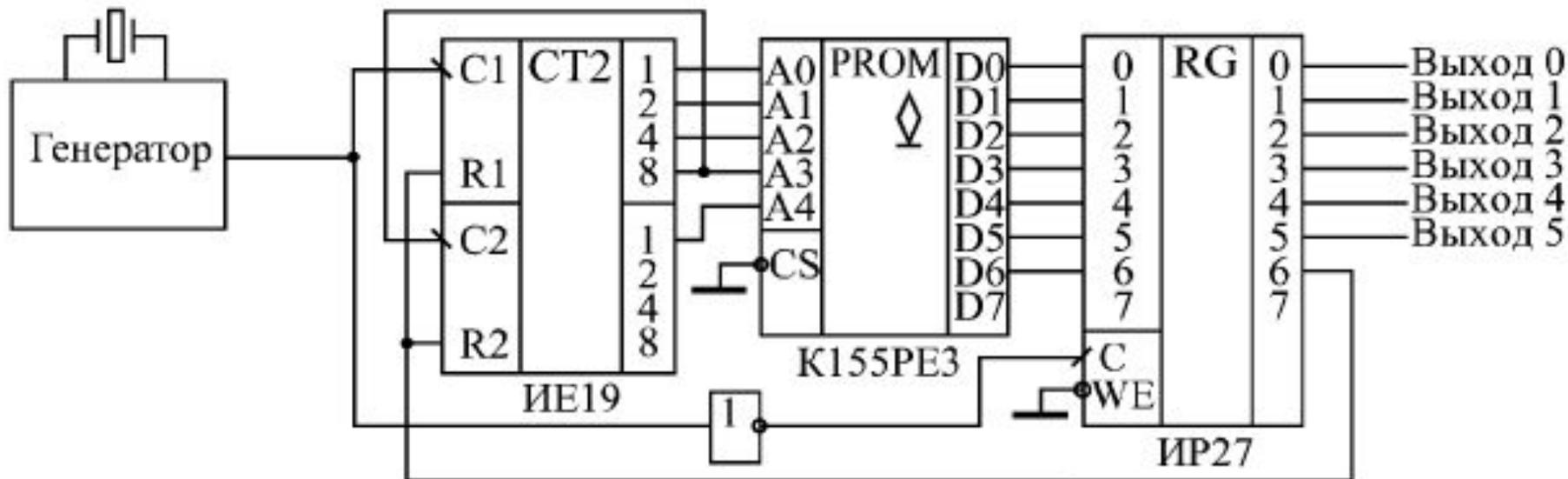
Дешифратор знакового семисегментного индикатора на ПЗУ



Матричный знакогенератор на ПЗУ



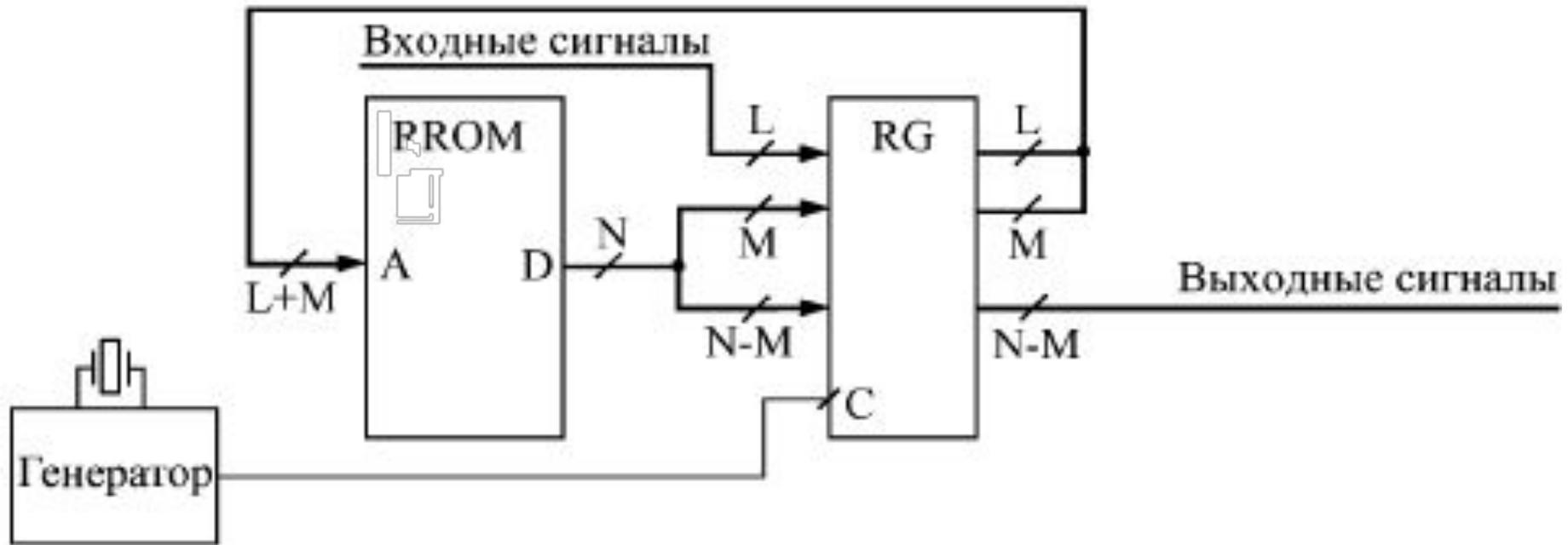
Генератор последовательностей сигналов на ПЗУ



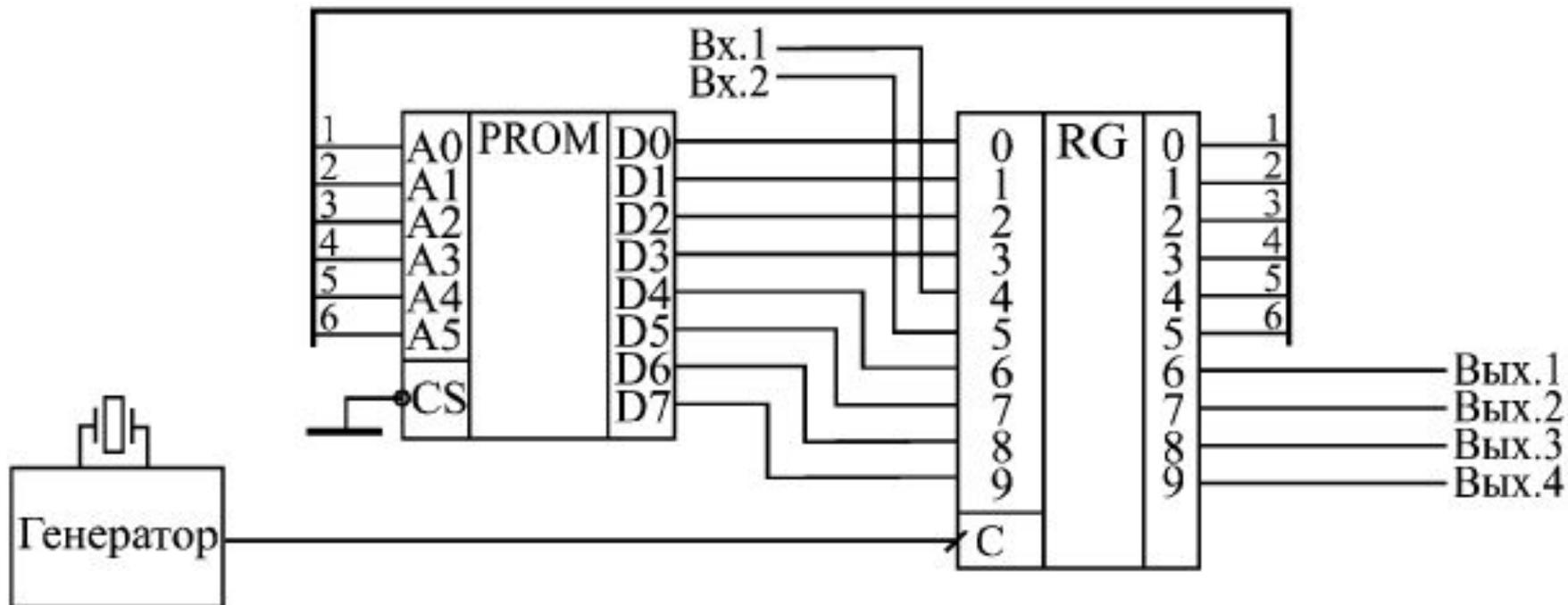
Вариант схемы генератора последовательности сигналов на ПЗУ

Прошивка ПЗУ генератора последовательности сигналов

Такт (адрес)	Вых. 6	Вых. 5	Вых. 4	Вых. 3	Вых. 2	Вых. 1	Вых. 0	Код (данные)
0	0	0	1	1	1	1	1	1F
1	0	0	1	0	1	1	1	17
2	0	0	1	0	1	1	0	16
3	0	0	1	0	1	1	0	16
4	0	0	0	0	1	0	0	4
5	0	1	0	0	1	0	0	24
6	0	0	0	0	0	0	1	1
7	0	1	0	0	0	0	1	21
8	0	1	0	0	0	1	1	23
9	0	1	0	0	0	1	1	23
A	0	1	0	0	1	1	0	26
B	0	1	0	0	1	1	0	26
C	0	1	0	0	1	0	0	24
D	0	0	0	0	1	0	0	4
E	0	1	0	0	0	0	1	21
F	0	0	0	0	0	0	1	1
10	0	0	1	0	0	1	1	13
11	0	0	1	0	0	1	1	13
12	0	0	1	0	1	1	1	17
13	1	0	1	1	1	1	1	5F



Структура микропрограммного автомата.
 Адреса перебираются в порядке, который
 определяется прошивкой ПЗУ
 (микропрограммой)



Пример схемы
микропрограммного автомата на ПЗУ

Пример микропрограммы для схемы микропрограммного автомата на ПЗУ. Любое изменение входных сигналов приводит к переходу в карте прошивки на другую строку.

Адрес	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	11	22	33	44	55	66	77	88	99	AA	BB	CC	DD	EE	FF	00
10	11	22	33	44	55	66	77	88	99	55	BB	CC	DD	EE	FF	00
20	10	21	32	43	54	65	76	87	98	A9	BA	CB	DC	ED	FE	0F
30	10	20	30	40	50	60	70	80	90	A0	B0	C0	D0	E0	F0	00

Оперативная память (RAM)

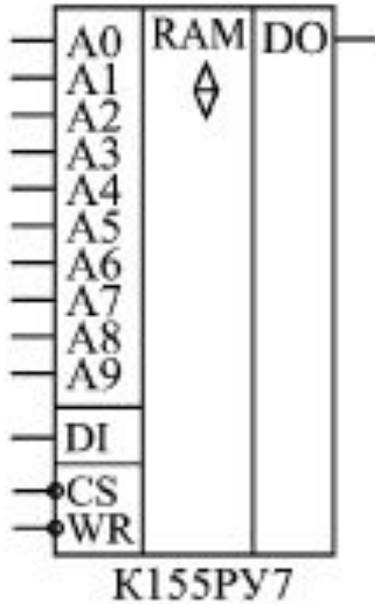
Статическая память:

Ячейка представляет собой регистр из триггерных ячеек.

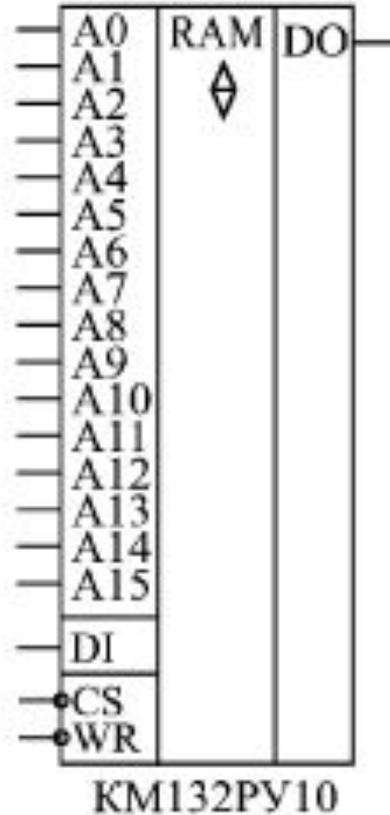
Динамическая память:

Информация хранится в виде заряда на конденсаторах. Необходимость регулярной регенерации ("Refresh") информации (конденсаторы со временем разряжаются).

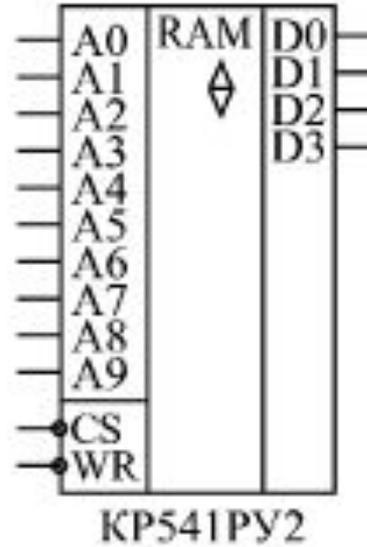
1K x 1
8



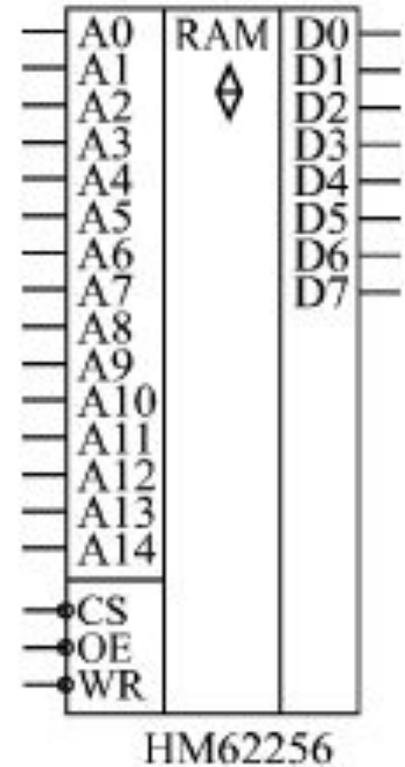
64K x 1



1K x 4



32K x



Примеры микросхем статических
ОЗУ

Режимы работы оперативной памяти K155PY7

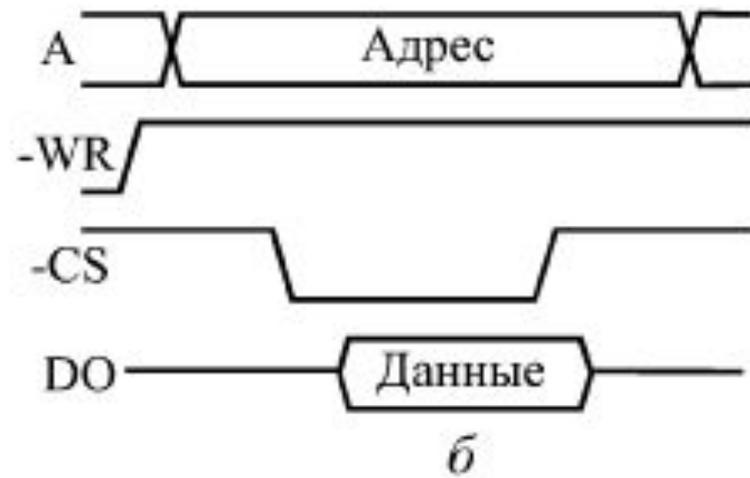
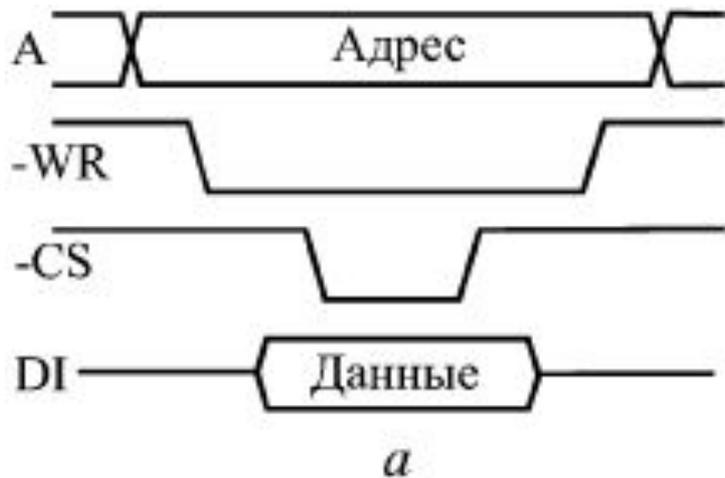
Входы и выходы					Режим работы
-CS	-WR	A0...A9	DI	DO	
1	X	X	X	ЗС	Хранение
0	0	Адрес	0	ЗС	Запись 0
0	0	Адрес	1	ЗС	Запись 1
0	1	Адрес	X	Данные	Чтение

Режимы работы оперативной памяти K541PY2

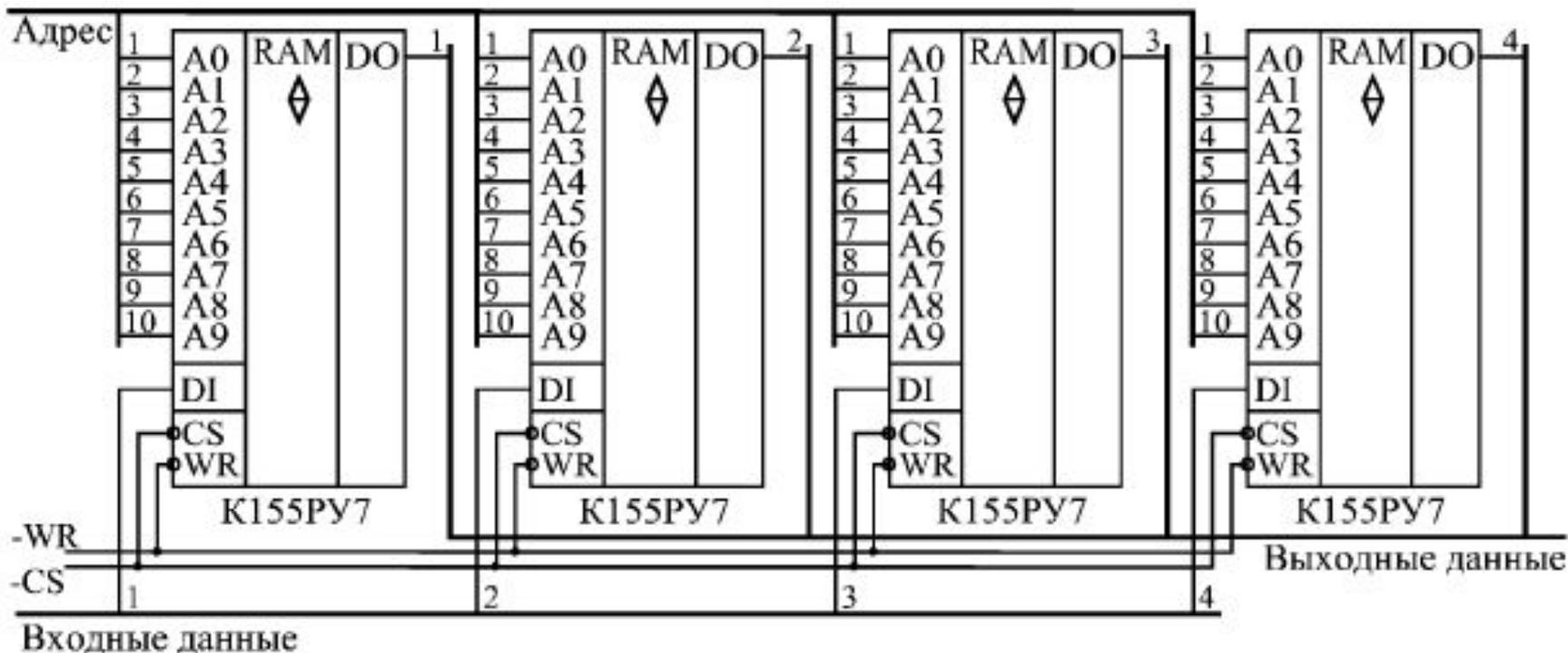
Входы и выходы				Режим работы
-CS	-WR	A0...A9	D1 ... D4	
1	x	x	3C	Хранение
0	0	Адрес	Входные данные	Запись
0	1	Адрес	Выходные данные	Чтение

Основные временные параметры оперативной памяти:

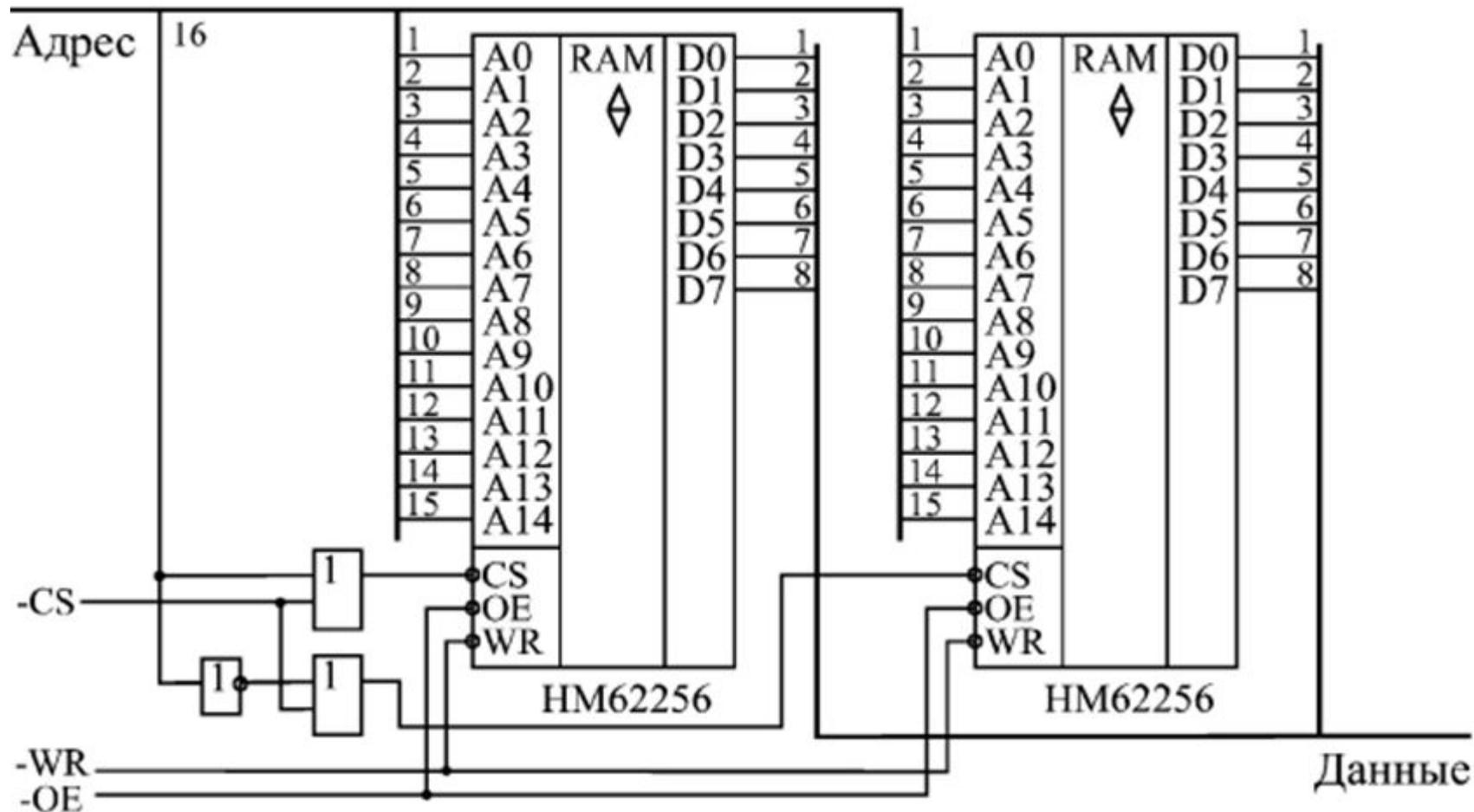
- время выборки адреса (задержка между изменением адреса и выдачей данных);
- время выборки микросхемы (задержка выдачи данных по выставлению сигнала -CS);
- минимальная длительность сигнала записи -WR;
- минимальная длительность сигнала -CS.



Типичные временные диаграммы
записи в память (а)
и чтения из памяти (б)

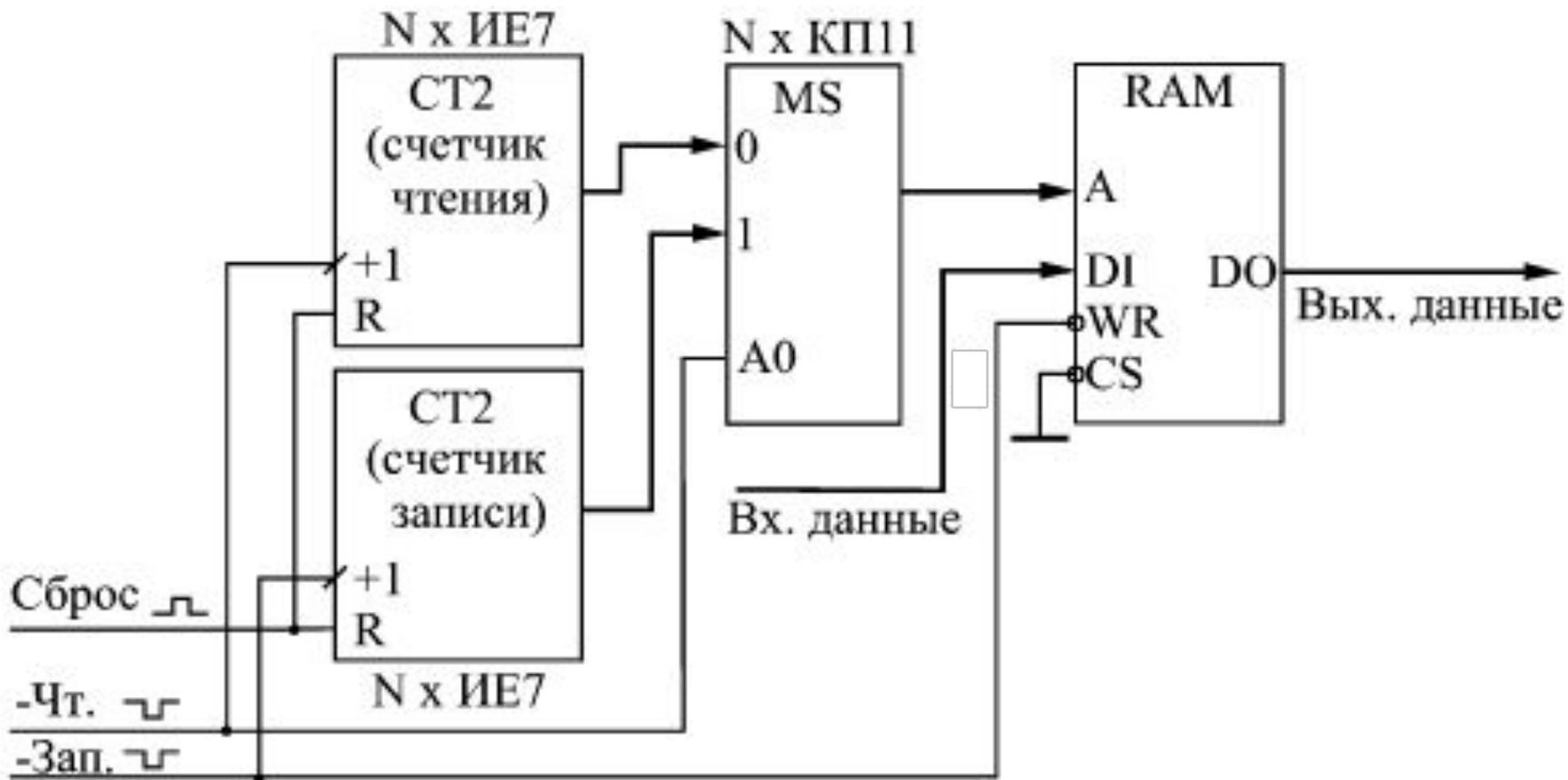


Объединение микросхем памяти
для увеличения разрядности шины
данных

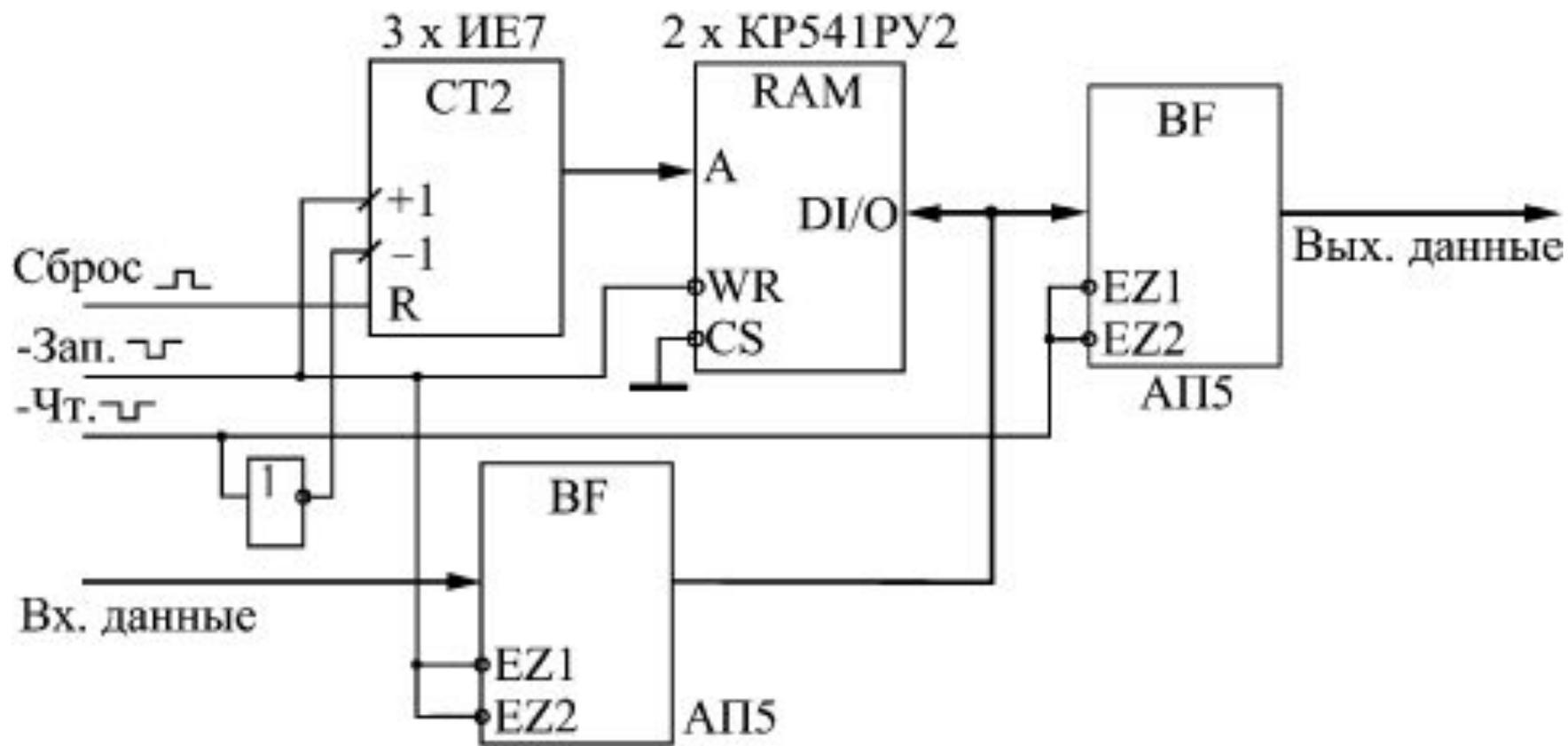


Объединение микросхем памяти
для увеличения разрядности шины адреса

1. ОЗУ с параллельным (произвольным) доступом
2. ОЗУ с последовательным доступом
 - память типа "первым вошел - первым вышел" (FIFO, First In - First Out);
 - память магазинного, стекового типа, работающая по принципу "последним вошел - первым вышел" (LIFO, Last In - First Out).
 - память для хранения массивов данных.



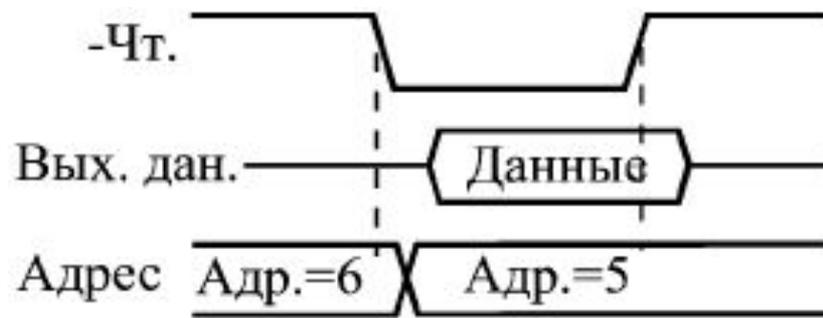
Функциональная схема памяти типа
 FIFO



Функциональная схема памяти типа LIFO

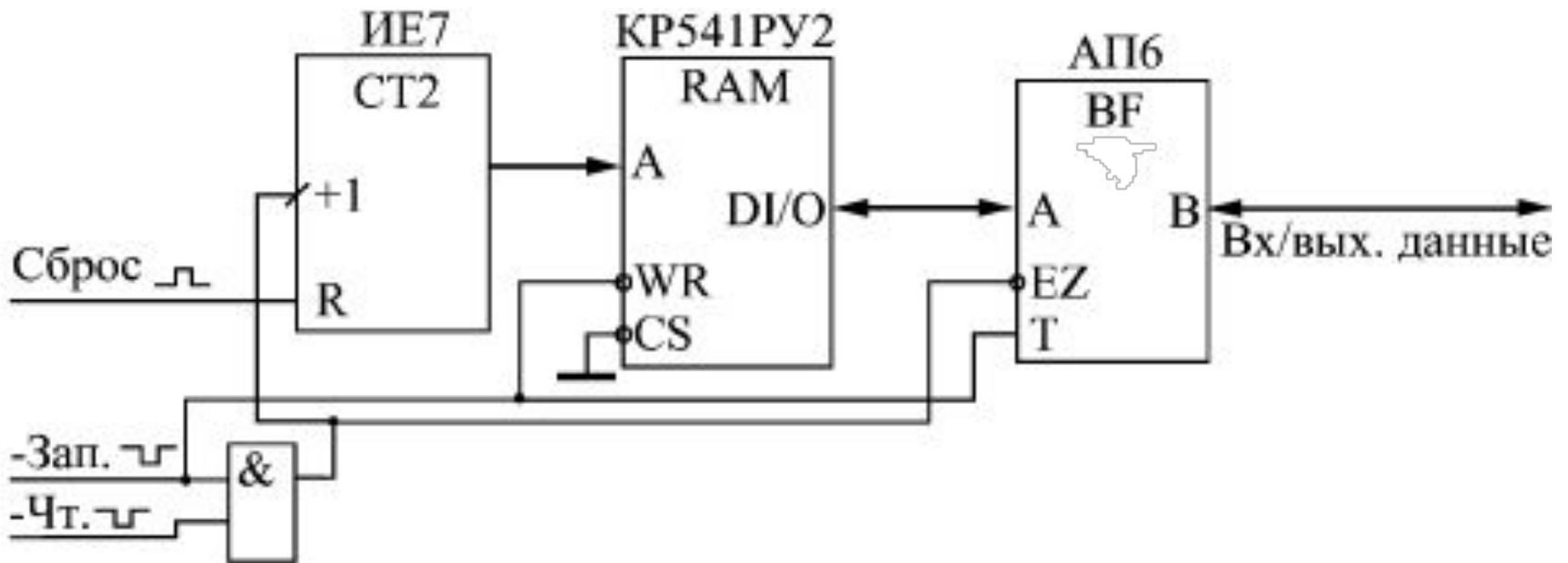


a



б

Временные диаграммы
циклов записи (а)
и чтения (б)
для памяти типа LIFO



Функциональная схема памяти для хранения массивов данных (FIFO)



Двунаправленный информационный
буфер