

Блок формирования тестовых сигналов для ИМС

Студент Кичко Д.А.
Руководитель Ассанович Б.А.

Цель и задачи

- **Цель** – разработка и создание формирователя тестовых сигналов для ИМС с подключением к нему персонального компьютера (ПК) через его параллельный порт.
- **Задачи:**
- Изучить технические характеристики параллельного порта ПК (LPT), а так же организацию обработки данных в протоколе EPP.
- Разработать структурную и функциональную схемы блока формирования тестовых сигналов для ИМС с управлением его через параллельный порт ПК.
- Разработать программное обеспечение для блока формирования тестовых сигналов.
- Провести моделирование работы блока формирования тестовых сигналов в среде Proteus.

Сигналы LPT-порта в режиме ввода/вывода EPP

Контакт т	Сигнал SPP	Имя в EPP	I/O	Описание
1	STROBE»	WRITE»	0	Низкий уровень — признак цикла записи, высокий — чтения.
14	AUTOFEEDff	DATASTB#	0	Строб данных. Низкий уровень устанавливается в циклах передачи данных.
17	SELECTING	ADDRSTB#	0	Строб адреса. Низкий уровень устанавливается в адресных циклах.
16	INIT#	RESET	0	Сброс ПУ (низким уровнем).
10	ACK#	INTR#	I	Прерывание от ПУ.
11	BUSY	WAIT»	I	Сигнал квитирования. Низкий уровень разрешает начало цикла (установку stroba в низкий уровень), переход в высокий — разрешает завершение цикла (снятие stroba).
2-9	D[8:0]	AD[8:0]	I/O	Двухнаправленная шина адреса/данных.
12	PE	AckDataReq*	I	Используется по усмотрению разработчика периферии.
13	SELECT	Xflag*	I	Используется по усмотрению разработчика периферии.
15	ERROR	DataAvailW*	I	Используется по усмотрению разработчика периферии.

Цикл записи данных

Программа пишет данные в регистр EPP Data.

Сигнал на выходе Write устанавливается в ноль.

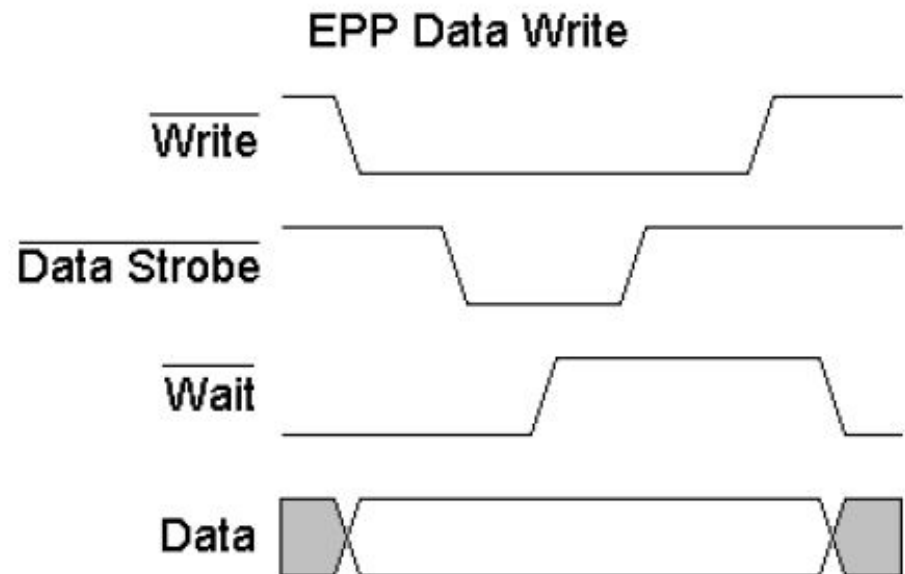
Данные помещаются на выходную шину LPT-порта.

При низком уровне Wait устанавливается строб данных (nData Strobe).

Порт ждет подтверждения от подключаемого устройства (перевод nWait в высокий уровень).

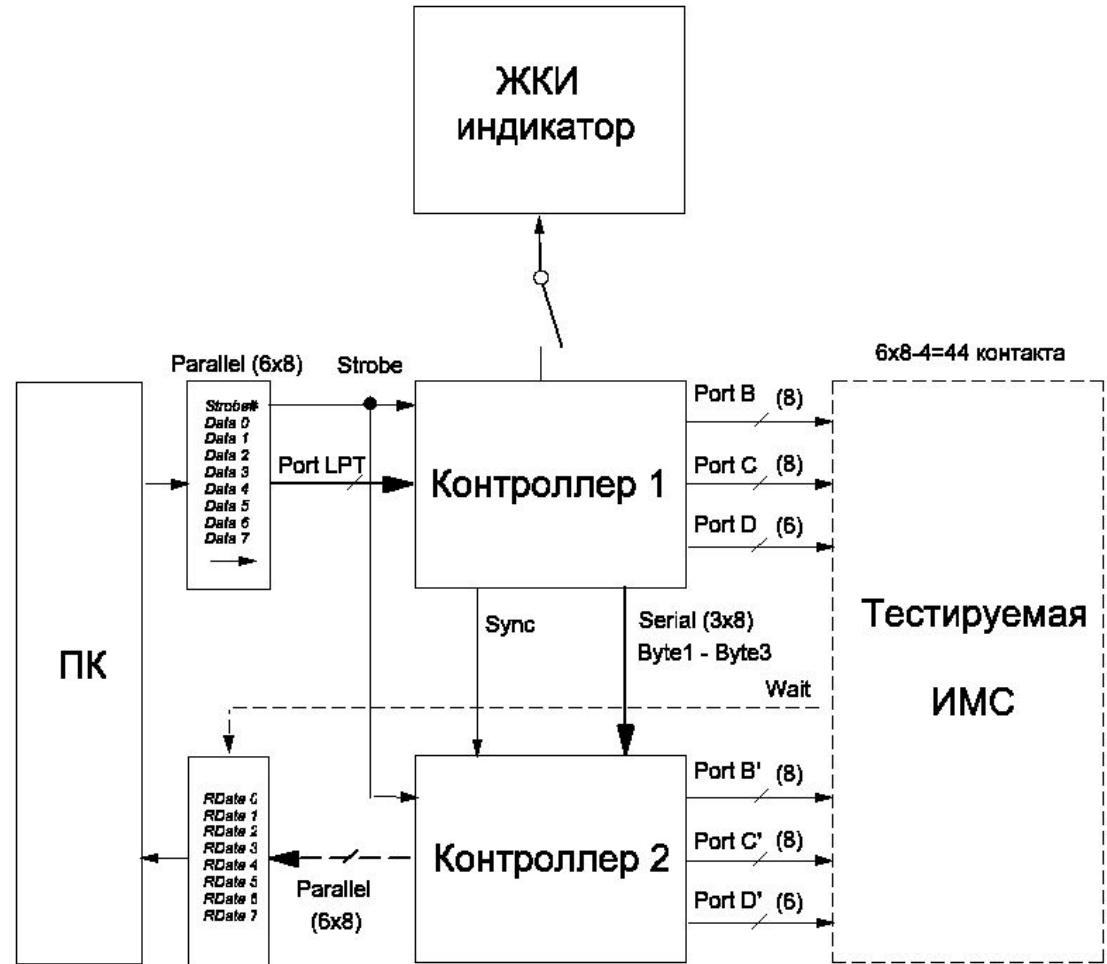
Снимается строб данных (Data Strobe).

Цикл записи данных завершается.



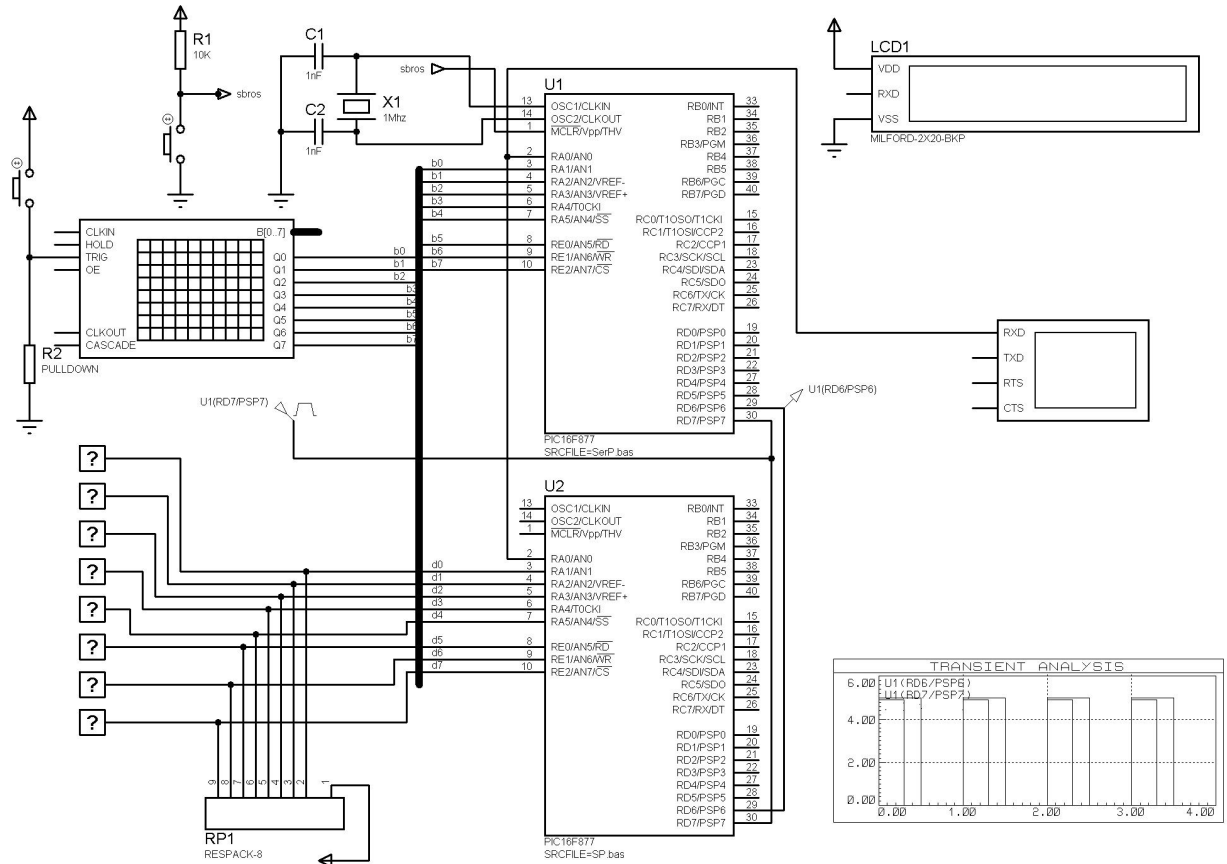
Структурная схема блока тестовых сигналов для ИМС

В схеме используется стробирующий сигнал Strobe, поступающий одновременно на 2 контроллера. Вывод тестовых сигналов осуществляется побайтно в течении 6 тактов. Тактирование производится сигналом Strobe.

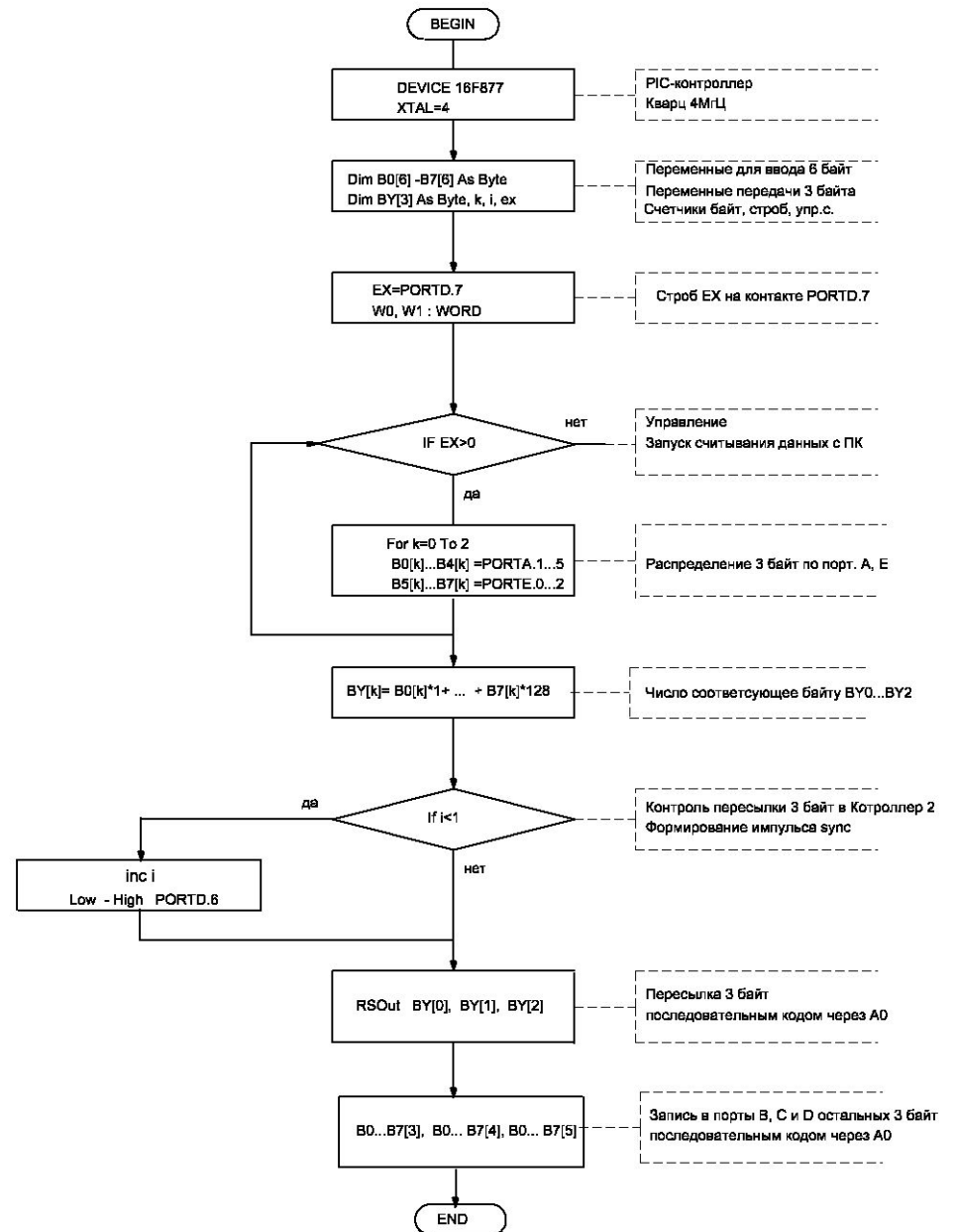


Модель блока

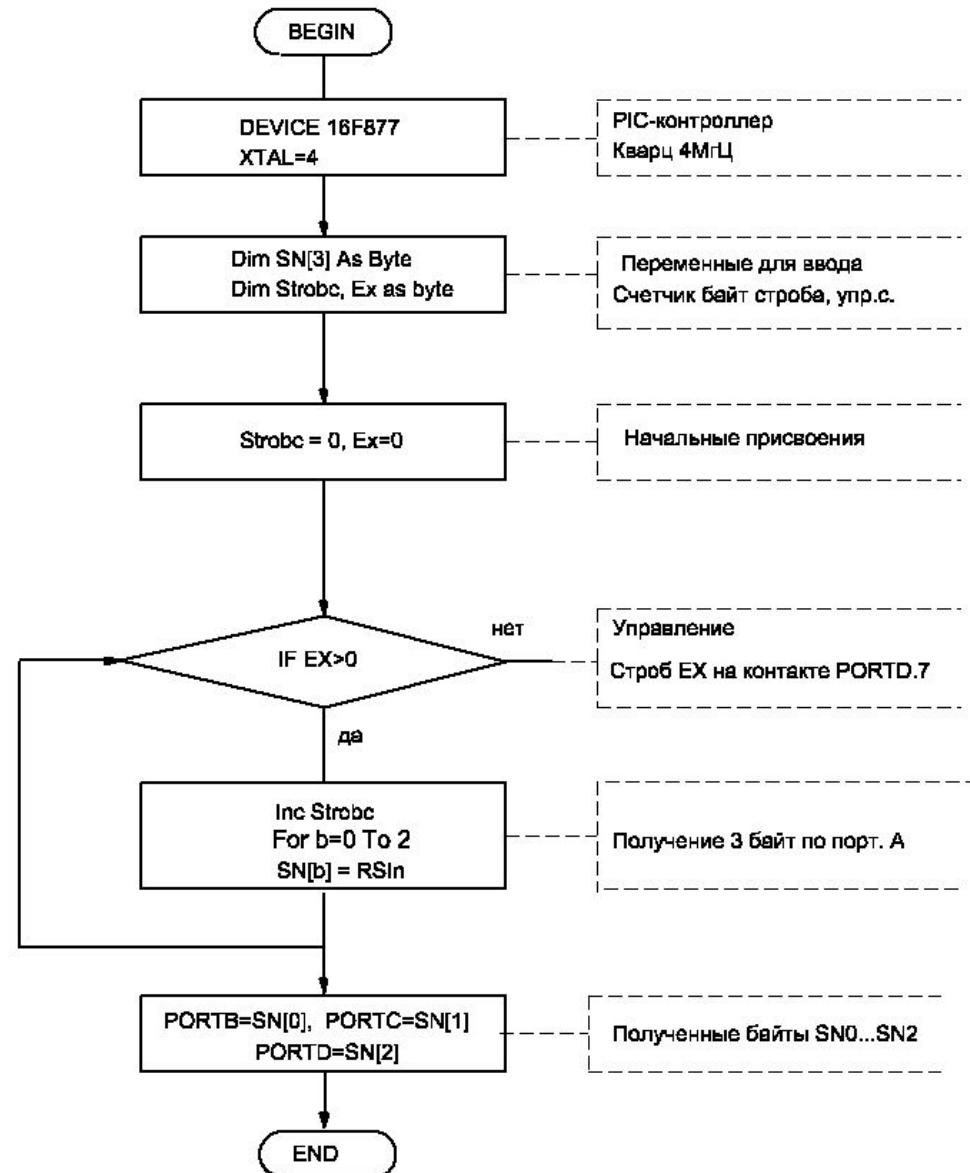
В качестве источника сигналов от ПК в модели используется генератор слов, Входные сигналы b0-b7 поступают на порт А контроллера 1 в параллельном коде. Передача 6 байт происходит в течении первых и вторых тактов строба



Блок-схемы программа 1-го контроллера



Блок-схема 2-го контроллера



Скрин работы программ блока

Отправленные данные от U1 ВУ1-ВУ3 получены U2 и записаны в переменную SN. Значение данных 0x20, 0x20, 0x20 переданы на выход контроллера U2

The screenshot displays the MPLAB IDE interface for a PIC16F827 microcontroller. It shows the assembly code for two modules, U1 and U2, and their respective CPU variables and source code.

U1 Module:

- 13 OSC1/LCKM RB0/INT
- 14 OSC2/CLKOUT RB1
- 1 MCLR/Vpp/TVU RB2
- 2 RA0/AN0 RB3/PGM
- 3 RA1/AN1 RB4
- 4 RA2/AN2/VREF RB5
- 5 RA3/AN3/VREF+ RB6/PGC
- 6 RA4/TD0 RB7/PGD
- 7 RA5/AN5 RC0/T10S0/T10K
- 8 RA5/AN5 RC1/T10S0CCP2
- 9 RE1/AN6/R RC2/CCP1
- 10 RE2/AN7/CS RC3/SC/KSCL
- RC4/S0/MS0A
- RC5/S00
- RC6/TX0/K
- RC7/RX0/T
- RD0/PS0
- RD1/PS1
- RD2/PS2
- RD3/PS3
- RD4/PS4
- RD5/PS5
- RD6/PS6
- RD7/PS7

U2 Module:

- 13 OSC1/LCKM RB0/INT
- 14 OSC2/CLKOUT RB1
- 1 MCLR/Vpp/TVU RB2
- 2 RA0/AN0 RB3/PGM
- 3 RA1/AN1 RB4
- 4 RA2/AN2/VREF RB5
- 5 RA3/AN3/VREF+ RB6/PGC
- 6 RA4/TD0 RB7/PGD
- 7 RA5/AN5 RC0/T10S0/T10K
- 8 RA5/AN5 RC1/T10S0CCP2
- 9 RE1/AN6/R RC2/CCP1
- 10 RE2/AN7/CS RC3/SC/KSCL
- RC4/S0/MS0A
- RC5/S00
- RC6/TX0/K
- RC7/RX0/T
- RD0/PS0
- RD1/PS1
- RD2/PS2
- RD3/PS3
- RD4/PS4
- RD5/PS5
- RD6/PS6
- RD7/PS7

PIC CPU Variables - U2:

Name	Address	Value
B	0x002C	0x03
SN	0x002D	0x20 0x20 0x20
EX	0x0030	0xEF

PIC CPU Source Code - U2:

```
SP.BAS
----
----
---- ' Retrieves the ROM code of the
----
007C For b=0 To 2
0083 SN[b] = RSin
---- ' DelayMS 50
----
0088 Next
0090 PORTB=SN[0]
0092 PORTC=SN[1]
0094 PORTD=SN[2]
----
---- endif
----
0096 DelayMS 100 ' wait
0099 GoTo Do_again
009B End
```

Заключение

- Осуществлен анализ интерфейсов и портов ПК, позволивший выбрать для реализации блока формирования тестовых сигналов параллельный порт, обладающий возможностью побайтного быстрого ввода-вывода данных.
- Проведена разработка структурной схемы блока формирования сигналов и модели в среде Протеус, позволившие выполнить программирование контроллеров 16F877 для решения поставленных задач.
- Разработано программное обеспечение для контроллеров 16F877, позволившие убедиться в работоспособности структурной схемы и выполнить проверку функционала схемы, поддерживающей подключения испытуемых ИМС с предельным значением 44 контакта.