



## **Лекция 4. Операционные блоки цифровых устройств. Принципы работы и основные характеристики.**

**Преподаватель: Джунусов Нуридин Ауелович, лектор. Кафедры «Электроники, телекоммуникаций и космических технологий»**

**[n.aueluly@gmail.com](mailto:n.aueluly@gmail.com)**

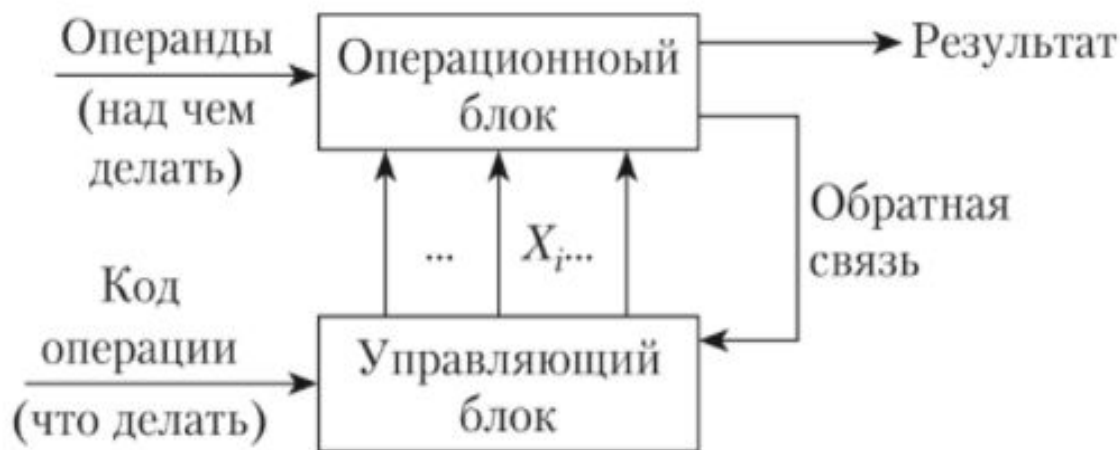
# Содержание

1. Операционные блоки цифровых устройств.
2. Принципы работы и основные характеристики.

## Структура цифрового устройства

Операционный блок состоит из операционных элементов, набор которых может быть одним и тем же для выполнения разных алгоритмов обработки.

Под действием кода операции управляющий блок вырабатывает последовательность управляющих сигналов  $X_i$  в течение необходимого числа тактов, порождающих в операционном блоке нужную последовательность микроопераций.

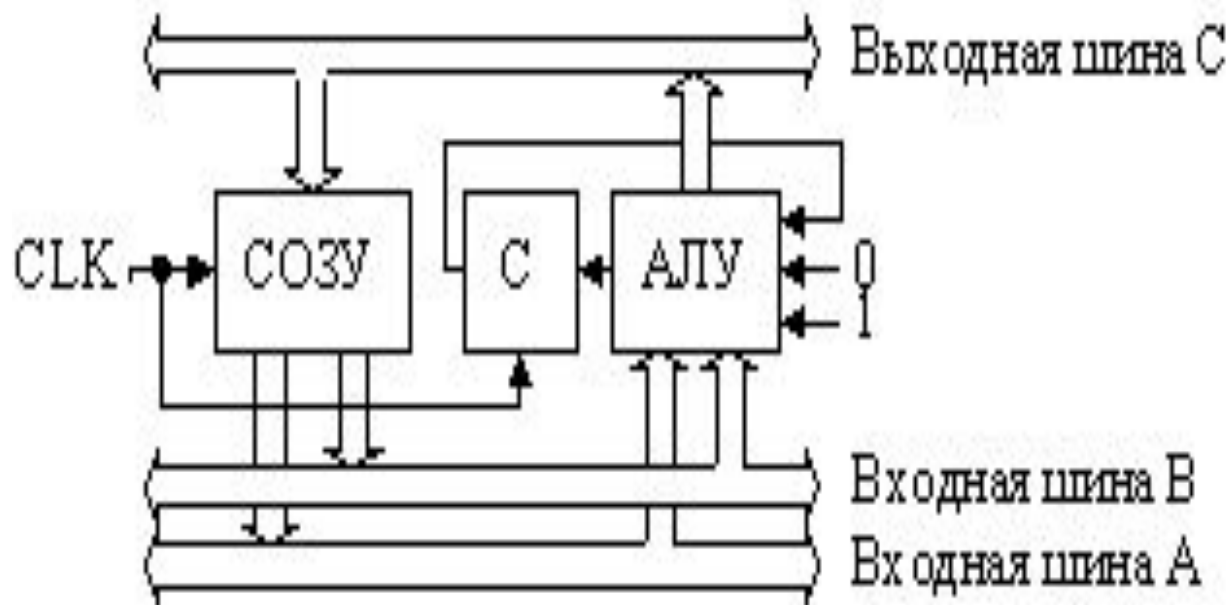


Набор микроопераций в каждом вычислителе свой и колеблется от нескольких единиц до нескольких десятков. Наиболее часто используются такие микрооперации:

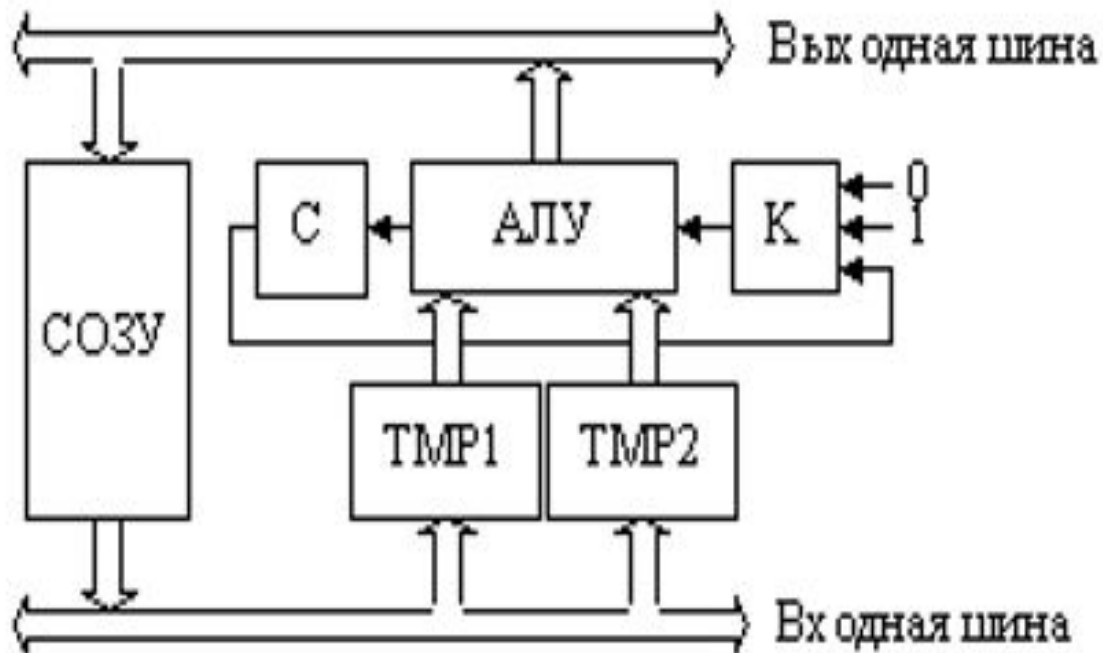
- 1) установка  $\langle \text{слово} \rangle := \langle \text{число} \rangle$ ;
- 2) передача  $\langle \text{слово} \rangle := \langle \text{слово1} \rangle$ ;
- 3) счет  $\langle \text{слово} \rangle := \langle \text{слово} \rangle \pm 1$ ;
- 4) сложение  $\langle \text{слово} \rangle := \langle \text{слово1} \rangle + \langle \text{слово2} \rangle$ ;
- 5) дизъюнкция  $\langle \text{слово} \rangle := \langle \text{слово1} \rangle \vee \langle \text{слово2} \rangle$ ;
- 6) конъюнкция  $\langle \text{слово} \rangle := \langle \text{слово1} \rangle \wedge \langle \text{слово2} \rangle$ ;
- 7) инверсия  $\langle \text{слово} \rangle := \langle \text{слово1} \rangle$  (поразрядная инверсия двоичных разрядов);
- 8) логическая неравнозначность (или сумма по модулю два)  $\langle \text{слово} \rangle := \langle \text{слово1} \rangle \oplus \langle \text{слово2} \rangle$ ;
- 9) логическая равнозначность  $\langle \text{слово} \rangle := \langle \text{слово1} \rangle \infty \langle \text{слово2} \rangle$ , где  $\infty$  — подобие;
- 10) сдвиг  $\langle \text{слово} \rangle := R_m \langle \text{слово1} \rangle$  ( $R$  — сдвиг вправо на  $m$  бит);  
 $L_m \langle \text{слово1} \rangle$  ( $L$  — сдвиг влево на  $m$  бит).

Эти и другие микрооперации выполняются операционными элементами.

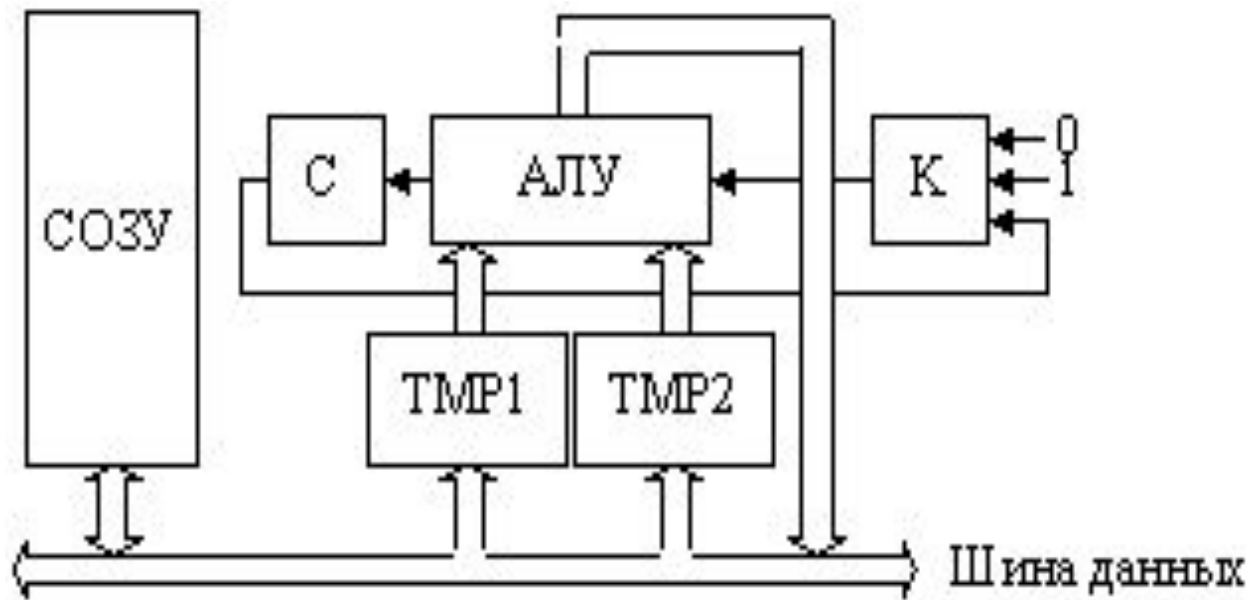
## Трёхшинная структура операционного блока микропроцессора



## Двухшинная структура операционного блока микропроцессора



# Одношинная структура операционного блока микропроцессора



## Шина

В настоящее время схемы с тремя состояниями широко используются для построения шин. Шина представляет собой проводник к которому могут подключаться несколько микросхем. При этом часть из них используют этот проводник для передачи по нему цифрового сигнала, а часть используют его для получения информации. То есть этот проводник может быть использован в качестве элемента коммутации.

При этом особенно важно, что в отличие от коммутаторов (мультиплексов и демультиплексов) количество входов и выходов в шине заранее не определено. Поэтому к шине можно подключать (и отключать) устройства без перенастройки принципиальной схемы.

Часто в микросхеме, содержащей элементы с тремя состояниями выходного каскада объединяют управляющие сигналы всех элементов в один провод. (точно так же как это делалось в параллельных регистрах) Такие микросхемы называют шинными формирователями и изображают на схемах как показано на рисунке 7.

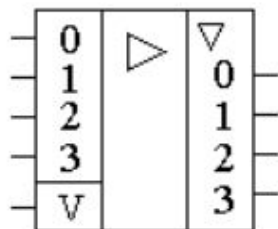


Рисунок 7. Условно-графическое обозначение шинного формирователя

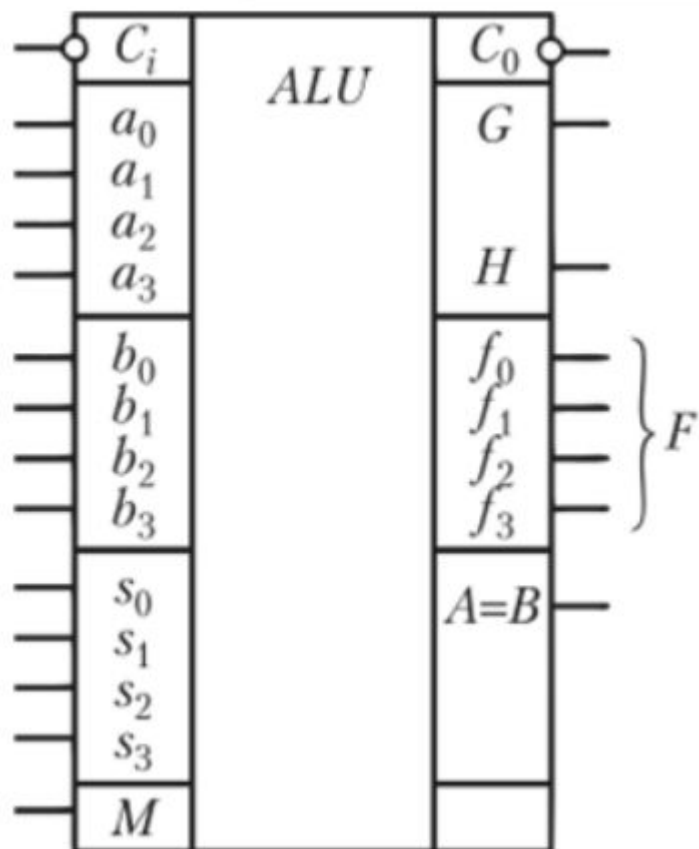


## Функциональное назначение АЛУ




**АЛУ** – узел электронно-вычислительных устройств, предназначенный для выполнения логических, арифметических операций и операций сравнения.

## Условное обозначение АЛУ



Рассмотрим типовое АЛУ . ВИС имеются входы чисел  $A$  и  $B$ , входы выбора операций  $S$ , вход переноса  $C_x$  из младшего разряда и вход  $M$ , сигнал которого задает тип выполняемых операций: логические ( $M=1$ ) или арифметико-логические ( $M=0$ ). Результат операции вырабатывается на выходах  $F$ . Выходы  $G$  и  $H$  используются для организации параллельных переносов при наращивании разрядности обрабатываемых слов. Сигнал  $C_0$  — выходной перенос в старший разряд, а выход « $A=B$ » — выход, равный «1» при условии  $A=B$ .

## АЛУ как отдельная микросхема

 АЛУ имеет входы операндов  $A$  и  $B$ , входы выбора операций  $S$ , вход переноса  $C_i$  и вход  $M$  (Mode), сигнал которого задает тип выполняемых операций: логические ( $M = 1$ ) или арифметико-логические ( $M = 0$ ). Результат операции вырабатывается на выходах  $F$ , выходы  $G$  и  $H$  дают функции генерации и прозрачности, используемые для организаций параллельных переносов при наращивании размерности АЛУ. Сигнал  $C_0$  — выходной перенос, а выход  $A = B$  есть выход сравнения на равенство с открытым коллектором.

# Обобщённая блок-схема арифметико-логического устройства (АЛУ).

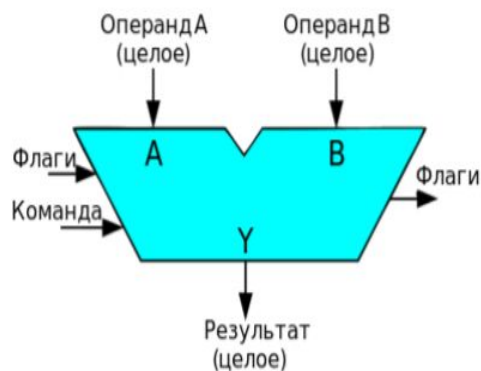
## Арифметико – логическое устройство

**АЛУ** – устройство, предназначенное для выполнения логических и математических операций над двоичными числами. АЛУ входит в состав любого микропроцессора.

*ALU - Arithmetic Logic Unit*

По способу действия над операндами АЛУ делят на:

1. **Параллельные** – Операнды представляются параллельным кодом и операции совершаются одновременно над всеми разрядами операндов.
2. **Последовательные** – Операции над операндами производятся последовательно во времени над их отдельными разрядами.

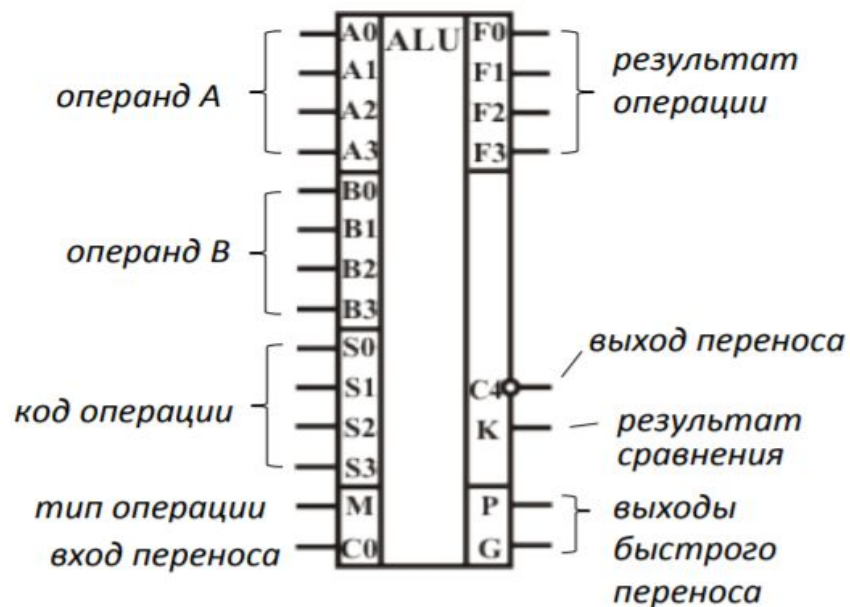


Стрелками указаны входные и выходные слова. Флаги — признаки (например, результата сравнения операндов) выполнения предыдущей операции (вход) и результата выполнения текущей операции (выход). В одноместных операциях таких, например, как инверсия битов слова или битовый сдвиг второй операнд (В) не участвует в операции. Слово команды указывает необходимую операцию.



## Принцип работы

Состояние входов S				Состояние входа M	
S3	S2	S1	S0	M=1	M=0 (C=0)
0	0	0	0	A	$A \setminus 1$
0	0	0	1	A+B	$(A+B) \setminus 1$
0	0	1	0	A+B	$(A+B) \setminus 1$
0	0	1	1	0	0
0	1	0	0	A+B	$(A \setminus A) \times (B \setminus 1)$
0	1	0	1	B	$(A+B) \setminus A(B \setminus 1)$
0	1	1	0	$A \times B \setminus A \times B$	A-B
0	1	1	1	$A \times B$	$A \times B$
1	0	0	0	A+B	$A \setminus A \times B \setminus 1$
1	0	0	1	$A \times B + A \times B$	$A \setminus B \setminus 1$
1	0	1	0	B	$(A+B) \setminus A \times B \setminus 1$
1	0	1	1	$A \times B$	$A \times B$
1	1	0	0	1	$A \setminus A \setminus 1$
1	1	0	1	A+B	$(A+B) \setminus A1 \setminus 1$
1	1	1	0	A+B	$(A+B) \setminus A \setminus 1$
1	1	1	1	A	A



УГО четырехразрядного АЛУ



В зависимости от значений, поступающих на входы S и M, выполняется одна из 32 возможных операций. Разные операции требуют различного количества времени на свое выполнение.

# АЛУ

- ❏ **Арифметико-логические устройства АЛУ (ALU, Arithmetic-Logic Unit)** выполняют над словами ряд действий.
- ❏ Основой АЛУ служит сумматор, схема которого дополнена логикой, расширяющей функциональные возможности АЛУ и обеспечивающей его перестройку с одной операции на другую.



## АЛУ как отдельная микросхема

-  Обычно АЛУ четырехразрядные и для наращивания разрядности объединяются с формированием последовательных или параллельных переносов.
-  В силу самодвойственности выполняемых операций условное обозначение и таблица истинности АЛУ встречаются в двух вариантах, отличающихся взаимно инверсными значениями переменных.



## Увеличение разрядности АЛУ

**Последовательное** - выход переноса предыдущей ИС соединяется со входом переноса последующей, пока не будет получена требуемая разрядность. При этом во всех АЛУ входы выбора операции и ее типа соединяются общей шиной.

При последовательном соединении АЛУ увеличивается время выполнения операции, что уменьшает быстродействие конечного устройства. Для устранения этого недостатка в АЛУ предусмотрены выходы **быстрого переноса**, используемые при параллельном соединении.

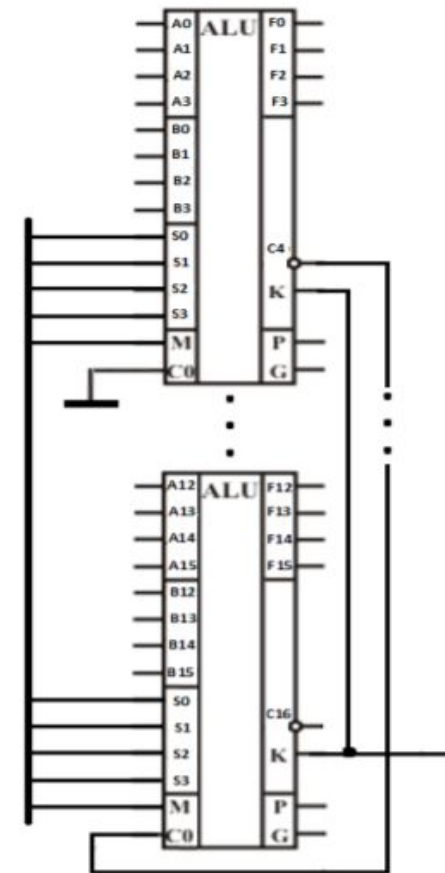


Схема последовательного подключения АЛУ



## Увеличение разрядности АЛУ

**Параллельное** – для этого типа подключения используются специальные микросхемы, называемые схемами **ускоренного переноса**. Выходы G и P АЛУ подключаем к аналогичным входам G и P схемы УП, а выходы переноса последней ко входам переноса АЛУ. При этом входы M всех микросхем должны быть объединены

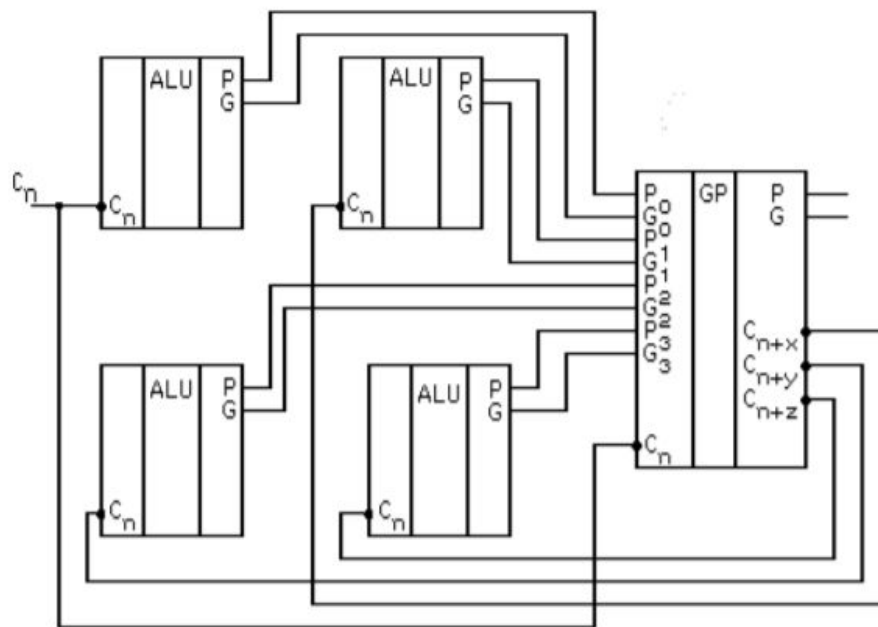


Схема параллельного  
подключения АЛУ