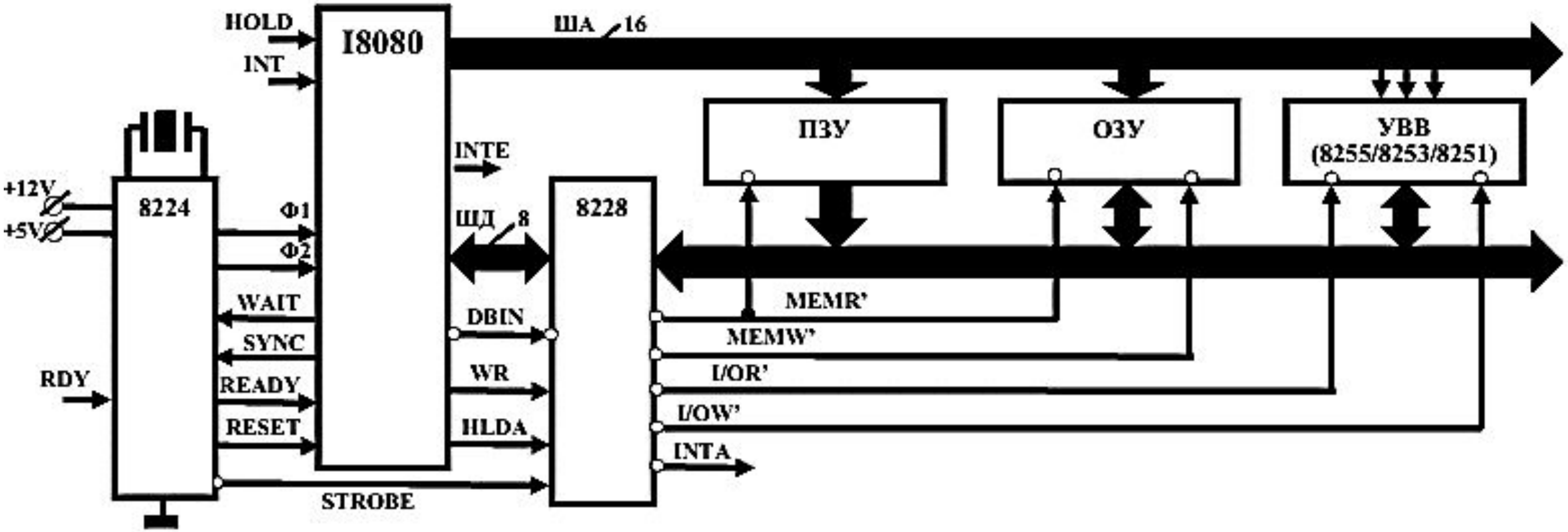
Универсальные микропроцессоры

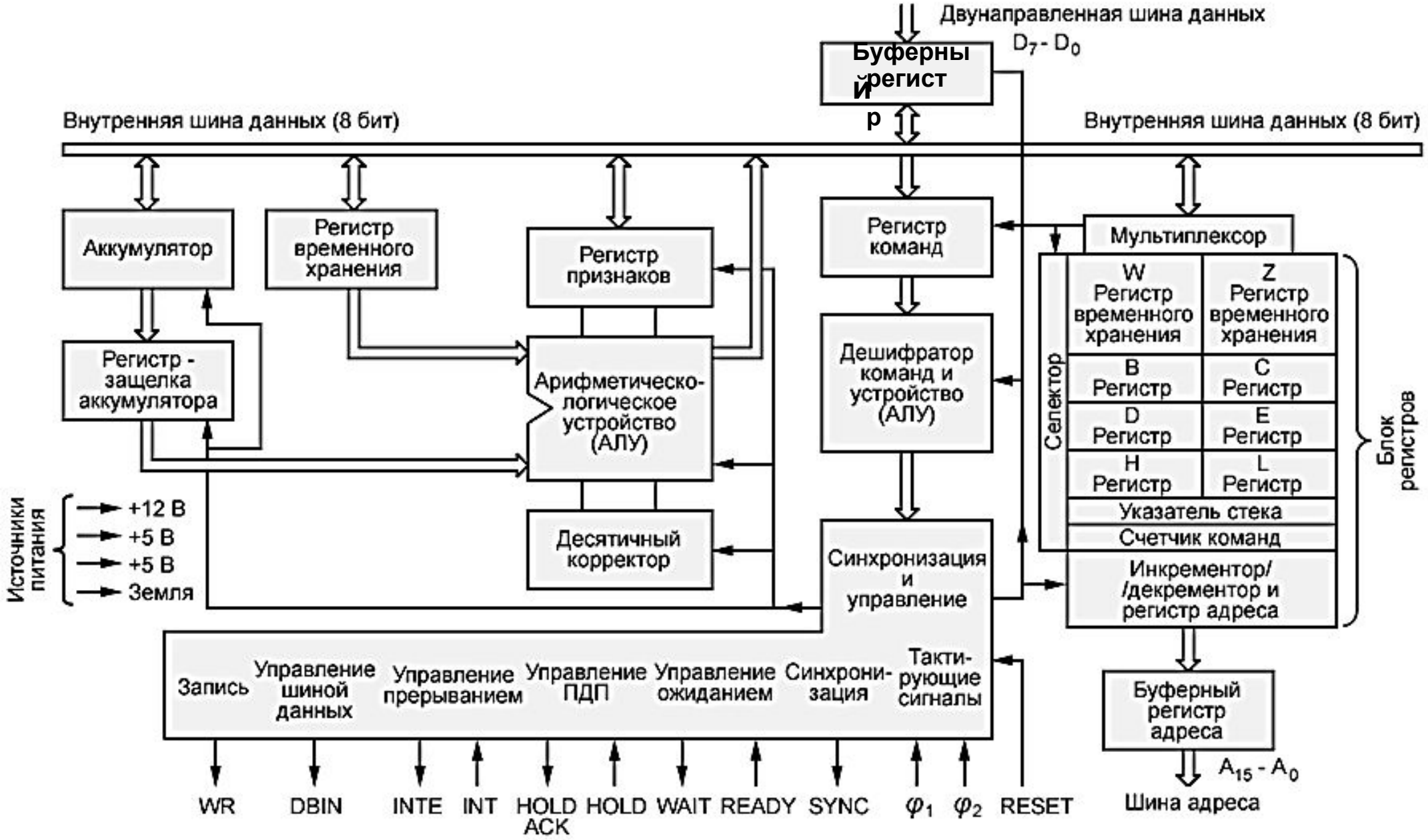
МПС на базе I8080



I8080 – микропроцессор
8224 – генератор тактовых импульсов
8228 – системный контроллер

ПЗУ (ROM) – память программ
ОЗУ (RAM) – память данных
ВВ (IO) – микросхемы ввода-вывода

Архитектура I8080



Назначение выводов

A0 - A15: выводы шины адреса с тремя состояниями;

D0 - D7: двунаправленная шина данных с тремя состояниями;

F1(22) и F2(15): входы для подачи тактовых сигналов;

RESET (12): сигнал на начальную установку микропроцессора;

READY (23): сигнал готовности данных на шине к вводу в микропроцессор;

DBIN (17): сигнал приема (чтения) данных;

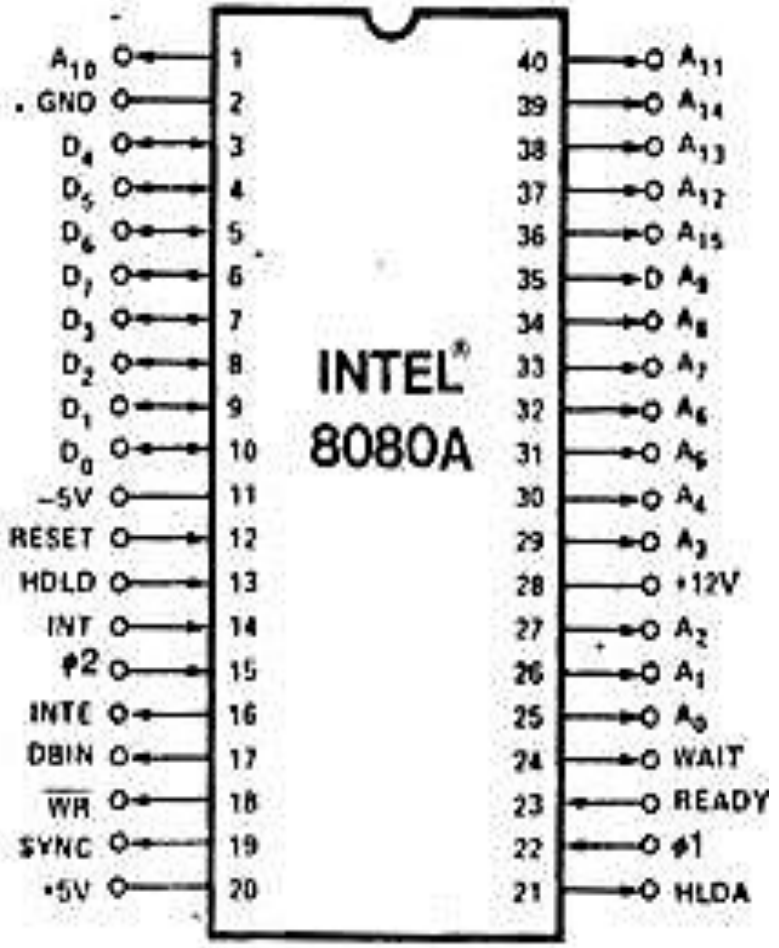
WR (18): сигнал выдачи (записи) данных:

SYNC (19): сигнал синхронизации в начале каждого машинного цикла выполнения команды.

HOLD (13): захват шин, сигнал запроса на прямой доступ к памяти.

HLDA (21): подтверждение захвата шин, (шины адреса и шины данных микропроцессора перешли в высокоомное состояние).

WAIT (24): выход сигнала, указывающего на то, что МП находится в состоянии "Ожидание" (ожидание готовности внешнего устройства или памяти, к обмену данных).



INT (14): вход, используемый для аппаратного запроса прерывания;

INTA (16): выход сигнала, указывающего состояние внутреннего триггера разрешения прерывания. Если INTA=0, прерывания запрещены. INTA=1 указывает на разрешение прерываний.

Формат регистра признаков (F)

D7	D5	D6	D4	D3	D2	D1	D0
S	Z	0	AC	0	P	1	C

Регистр команд принимает первый байт – код операции (КОП) любой команды

Регистр команд

Счётчик команд (PC) содержит адрес команды следующей за выполняемой

Счетчик команд

Указатель стека (SP) содержит адрес последнего обращения в стек – вершину стека

Указатель стека

Универсальный регистр (A) участвует в большинстве операций, накапливает результат операции в АЛУ

Аккумулятор

Регистры общего назначения (РОН)

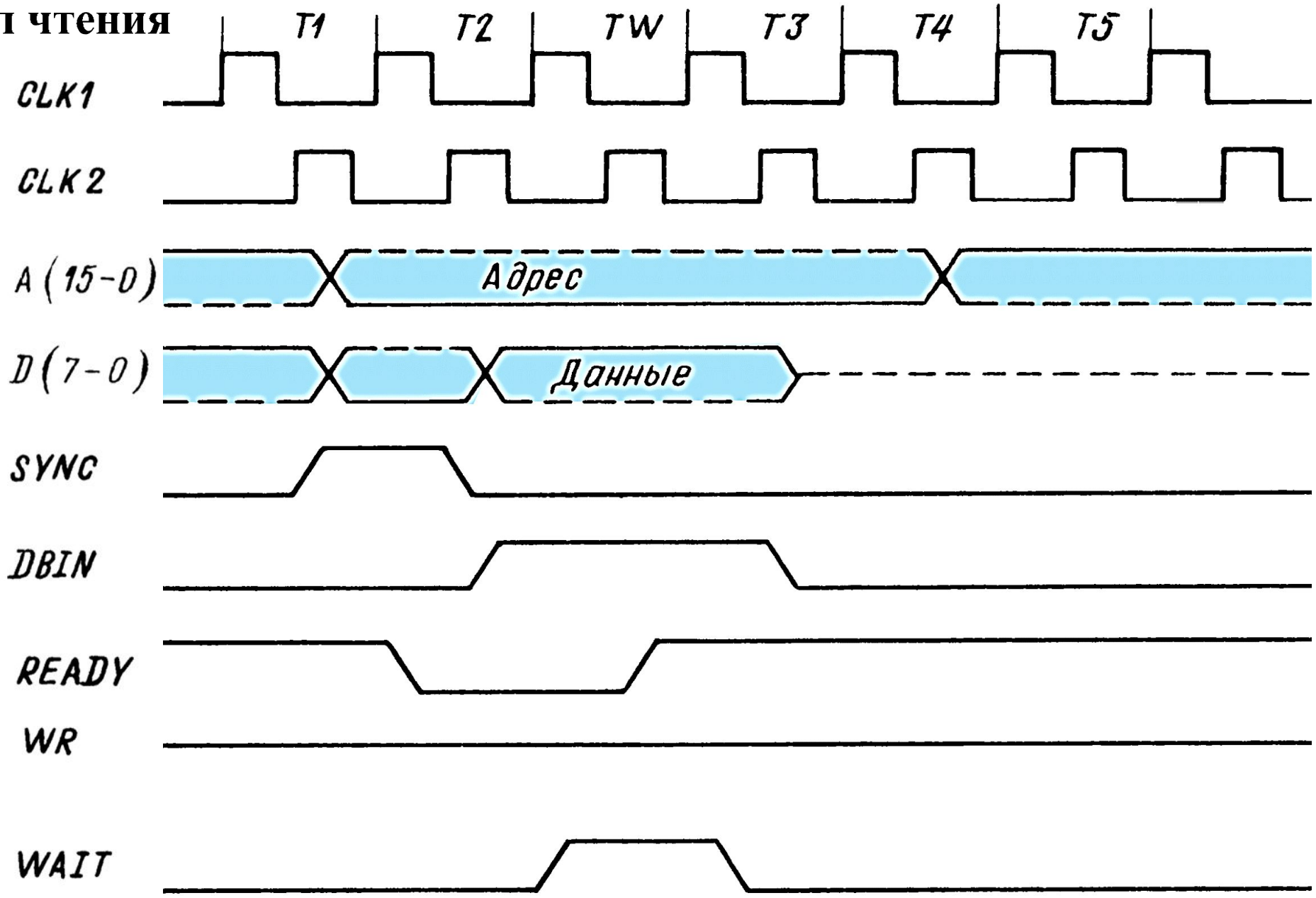
B Регистр	C Регистр
D Регистр	E Регистр
H Регистр	L Регистр

Машинные циклы

Машинный цикл	Обозначение сигнала слова-состояния процессора							
	INTA	*WO*	*STACK*	*HLTA*	*OUT*	*M1*	*INP*	*MEMR*
Цикл *M1* – выборка команды	0	1	0	0	0	1	0	1
Цикл чтения из ЗУ	0	1	0	0	0	0	0	1
» записи в ЗУ	0	0	0	0	0	0	0	0
» чтения из стека	0	1	1	0	0	0	0	1
Цикл записи в стек	0	0	1	0	0	0	0	0
Цикл ввода	0	1	0	0	0	0	1	0
» вывода	0	0	0	0	1	0	0	0
» прерывания	1	1	0	0	0	1	0	0
» останова	0	1	0	1	0	0	0	1
» прерывания при останове	1	1	0	1	0	1	0	0

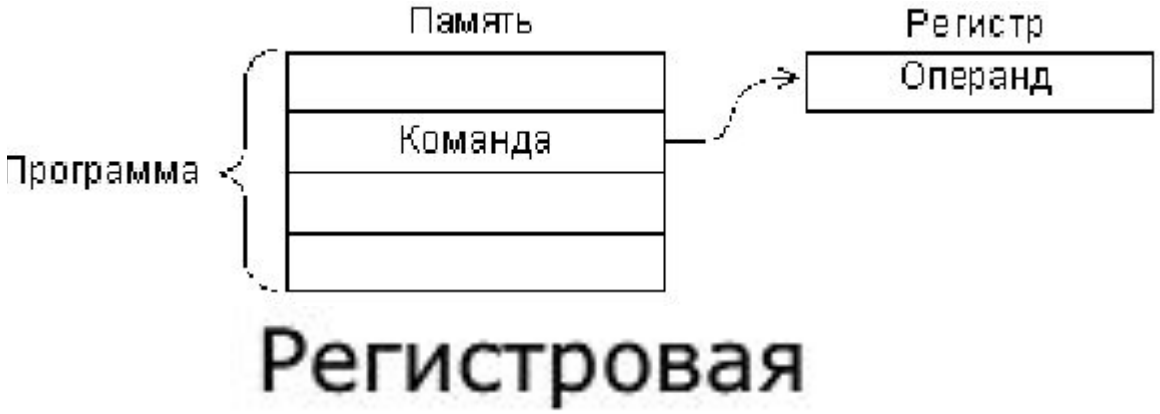
Временные диаграммы работы МП

Цикл чтения

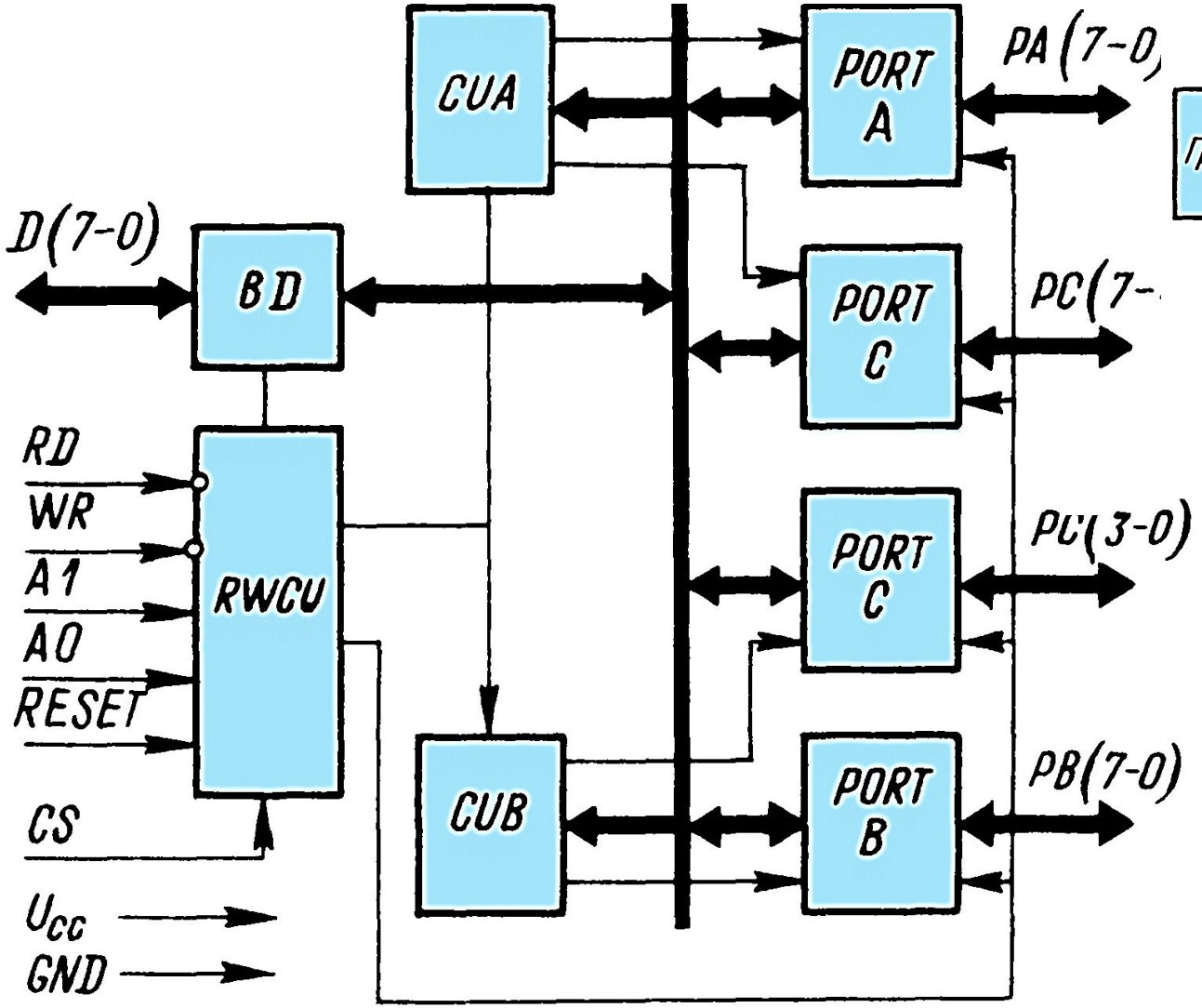


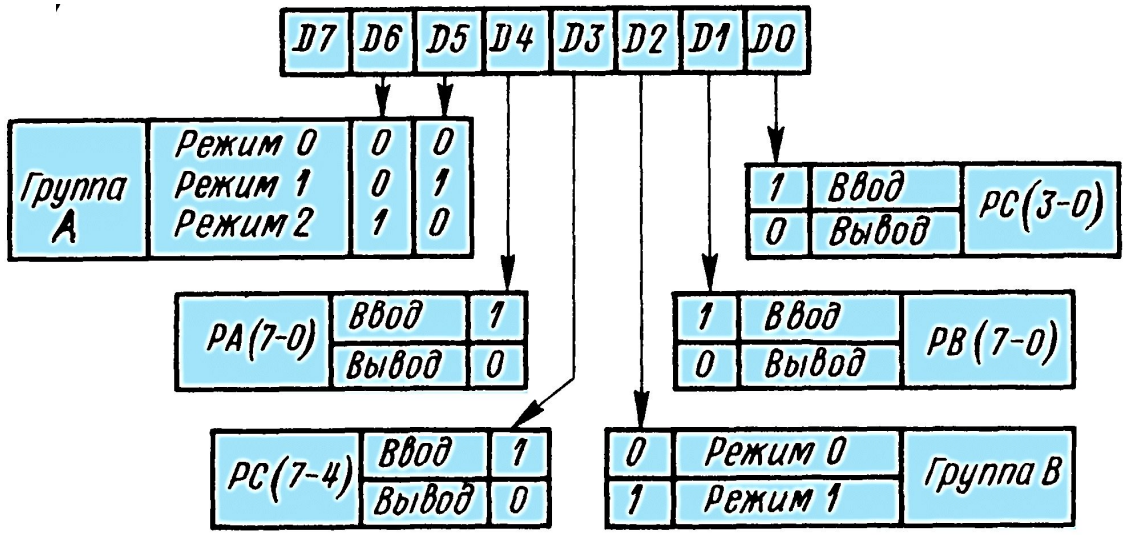
Однобайтовая команда
Адрес ячейки памяти
D7 D6 D5 D4 D3 D2 D1 D0
Код операции
Двухбайтовая команда
Байт B1
D7 D6 D5 D4 D3 D2 D1 D0
Код операции
Байт B2
D7 D6 D5 D4 D3 D2 D1 D0
Данные или адрес
Трехбайтовая команда
Байт B1
D7 D6 D5 D4 D3 D2 D1 D0
Код операции
Байт B2
D7 D6 D5 D4 D3 D2 D1 D0
Байт B3
D7 D6 D5 D4 D3 D2 D1 D0
Данные или адрес

Способы адресации



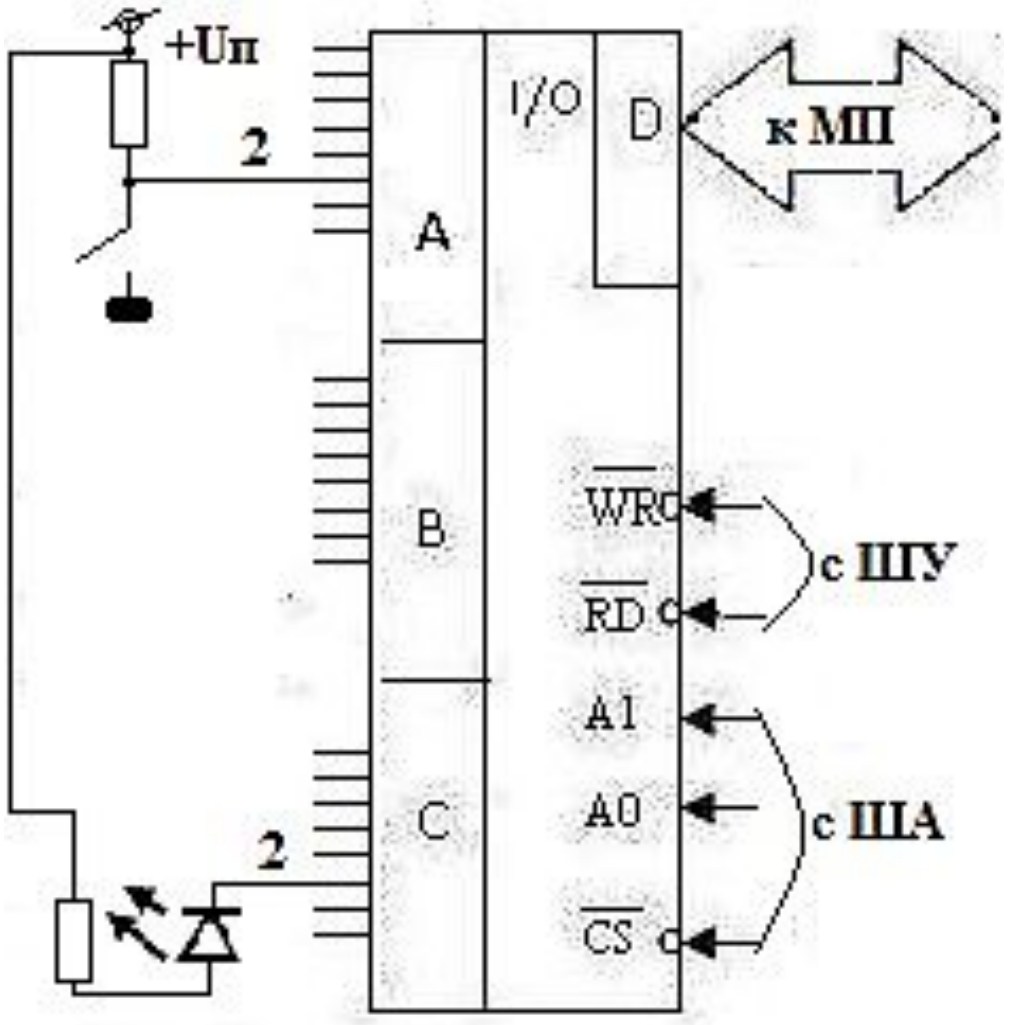
БИС параллельного интерфейса I8255

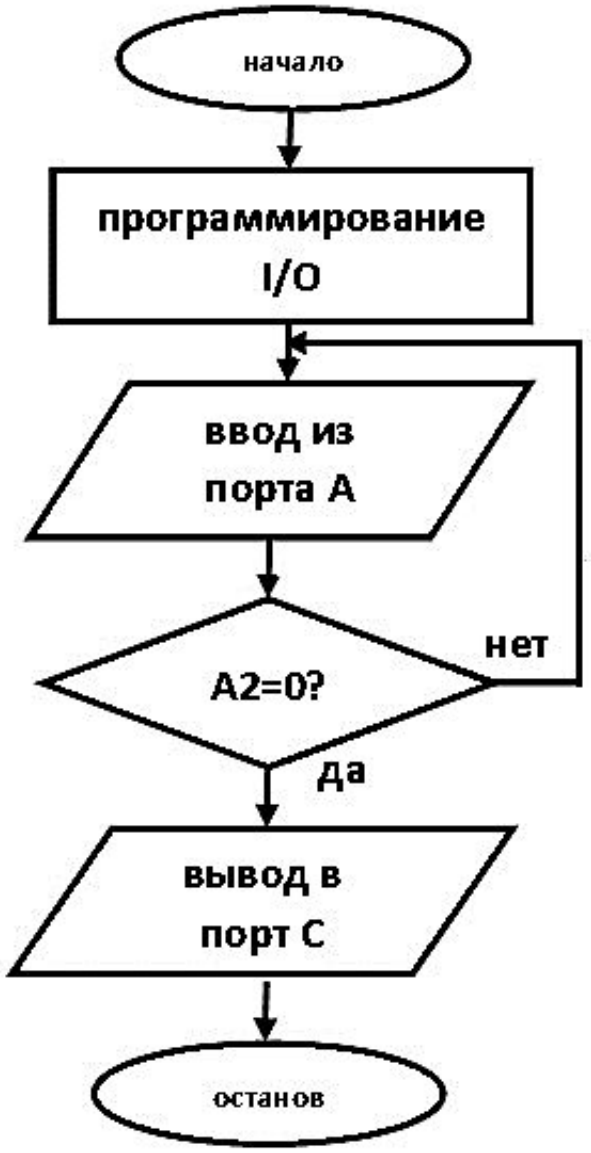




A1	A0	D
0	0	port A
0	1	port B
1	0	port C
1	1	RCW

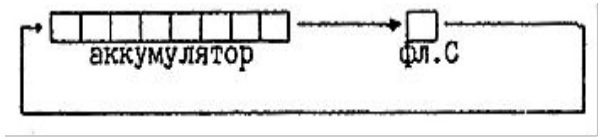
Подключение контактного датчика



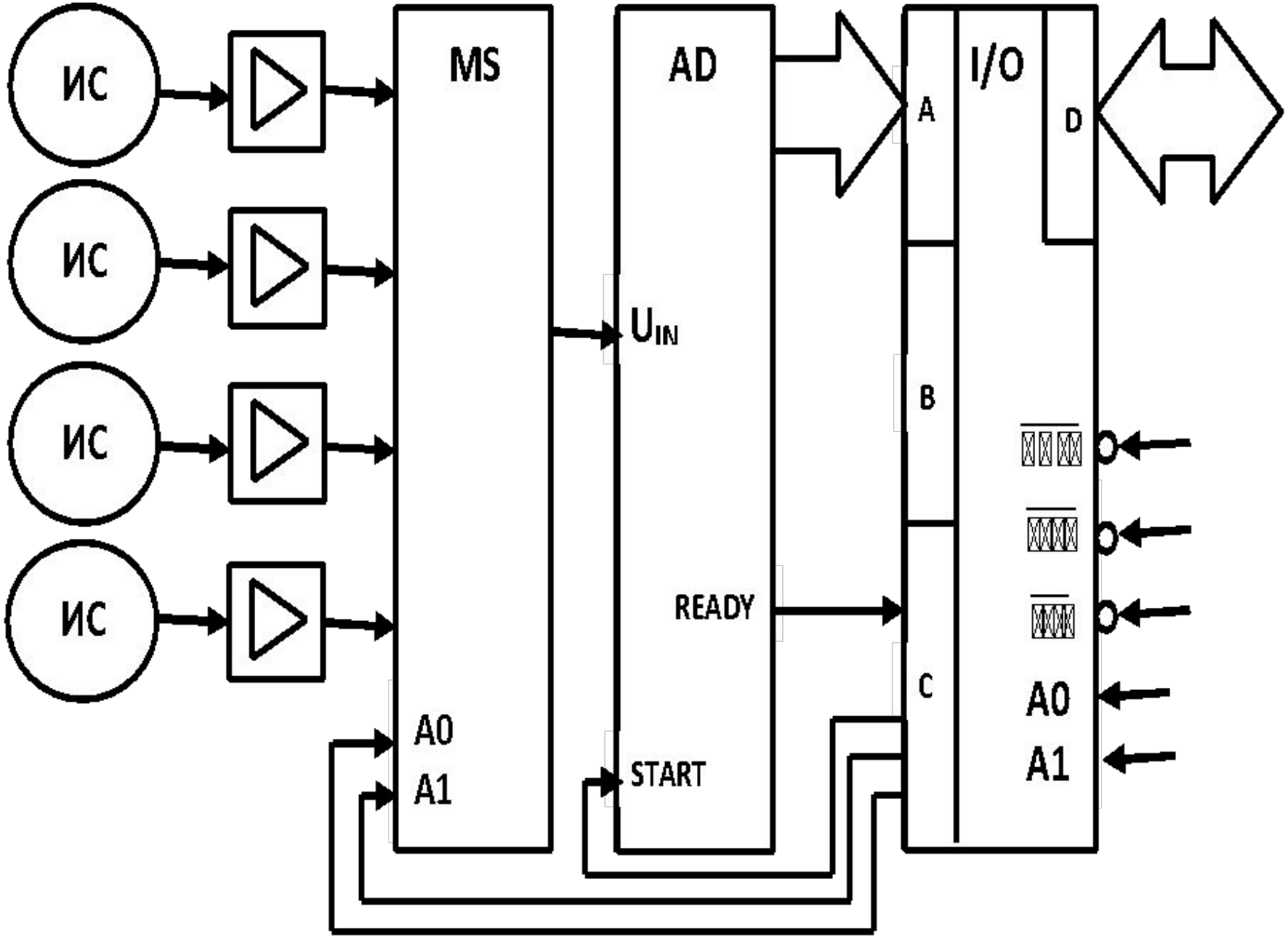



```
      MVI A, CW
      OUT RCW
INP:  IN portA
      RAR        ANI 04
      RAR        JNZ INP
      RAR
      IC INP
      OUT portC
```

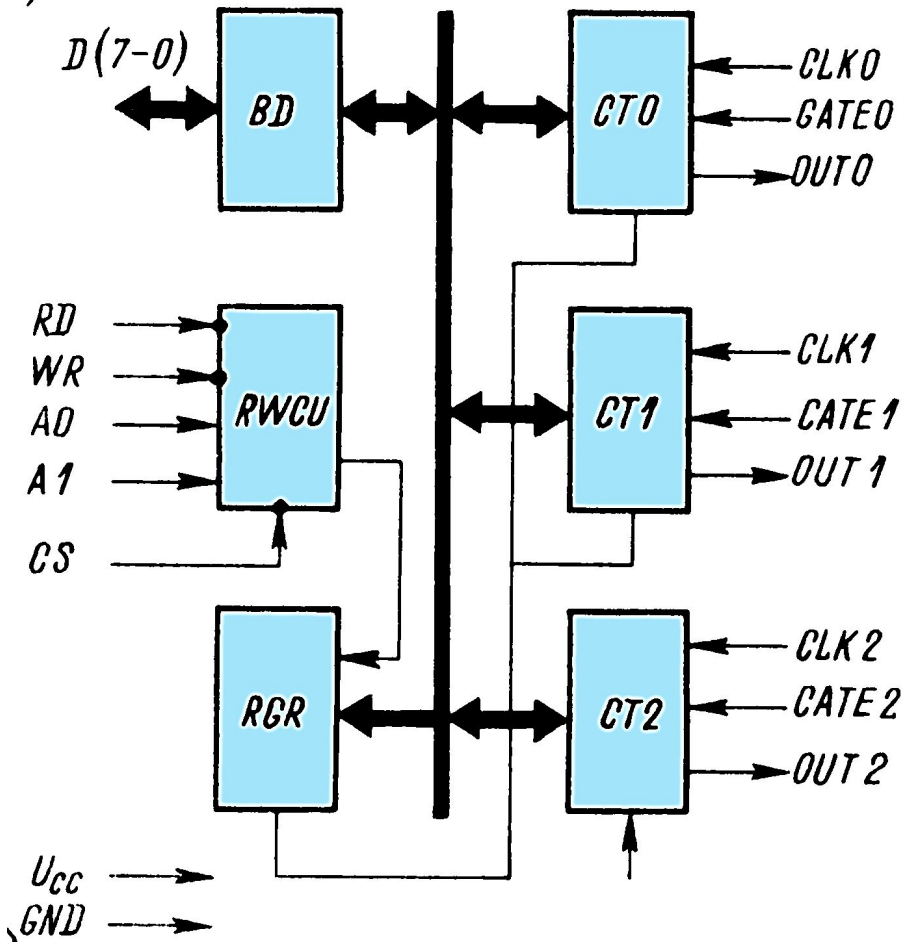
команда RAR

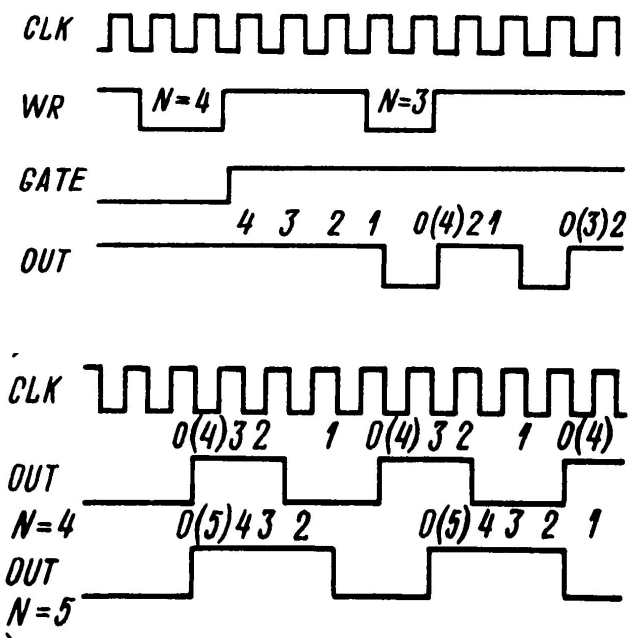


Подключение аналоговых датчиков к МП



БИС программируемого таймера I8253





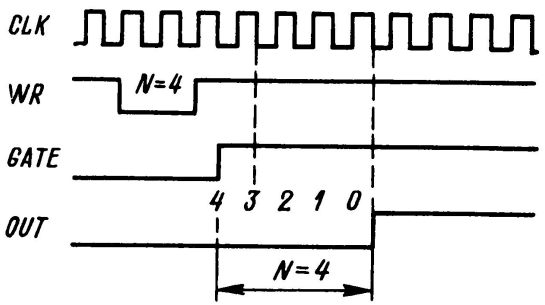
Двоичный код	0
Двоично-десятичный	1

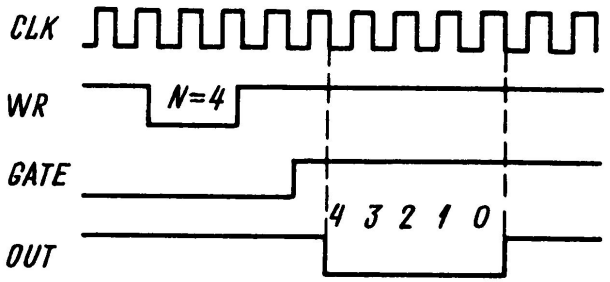
D7	D6	D5	D4	D3	D2	D1	D0

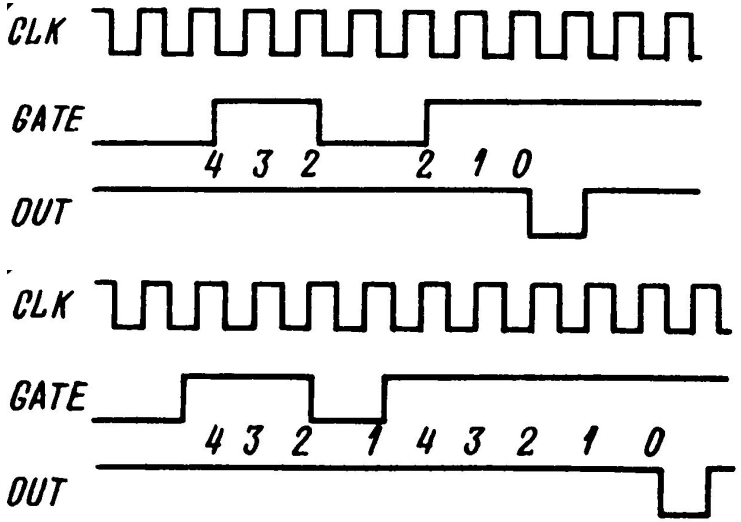
CT0	0	0
CT1	0	1
CT2	1	0
Запрет	1	1

0	0	0	Режим 0
0	0	1	Режим 1
X	1	0	Режим 2
X	1	1	Режим 3
1	0	0	Режим 4
1	0	1	Режим 5

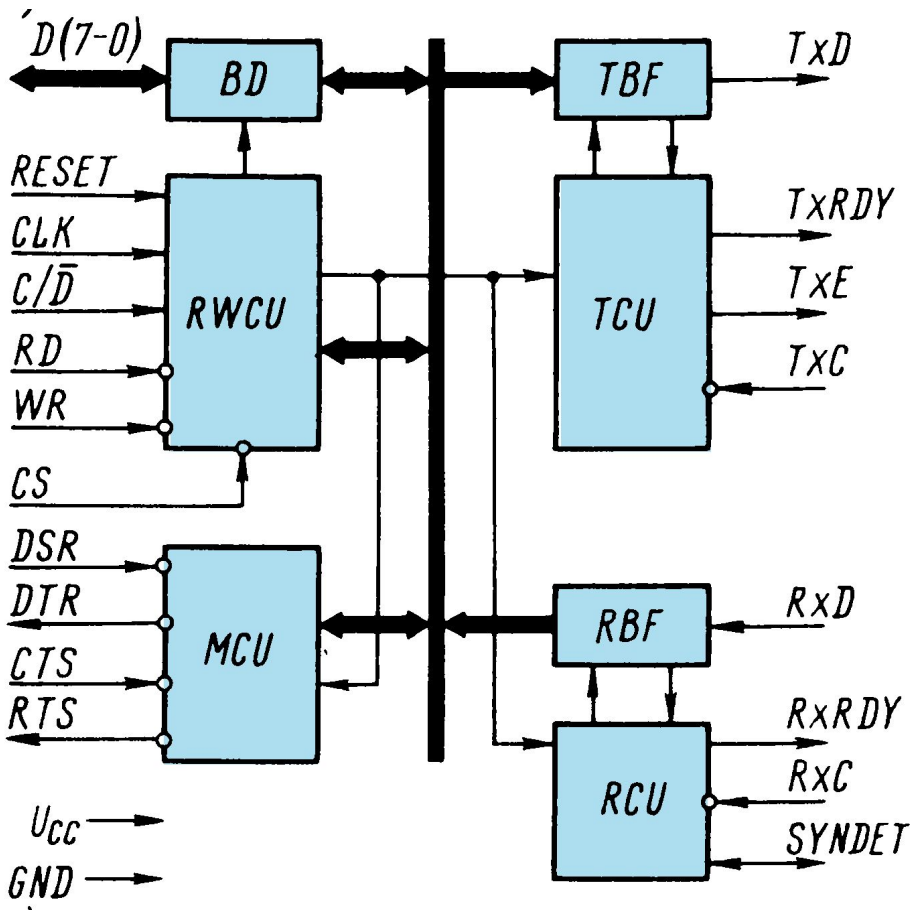
Защелкивание	0	0
Младший байт	0	1
Старший байт	1	0
Два байта	1	1







БИС последовательного интерфейса I8251



Число информационных битов

00 – 5
01 – 6
10 – 7
11 – 8

Тип паритета:
0 – нечетный
1 – четный

S2	S1	EP	PEN	L2	L1	B2	B1

Число стоп-битов
00 – недопустимо
01 – 1
10 – 1,5
11 – 2

Разрешение паритета:
0 – нет бита паритета
1 – есть бит паритета

Коэффициент деления частоты синхронизац.
00-синхронный режим
01 – 1:1
10 – 1:16
11 – 1:64

а)

Число информационных битов

00 – 5
01 – 6
10 – 7
11 – 8

Число символов синхронизации:
0 – 2 символа
1 – 1 символ

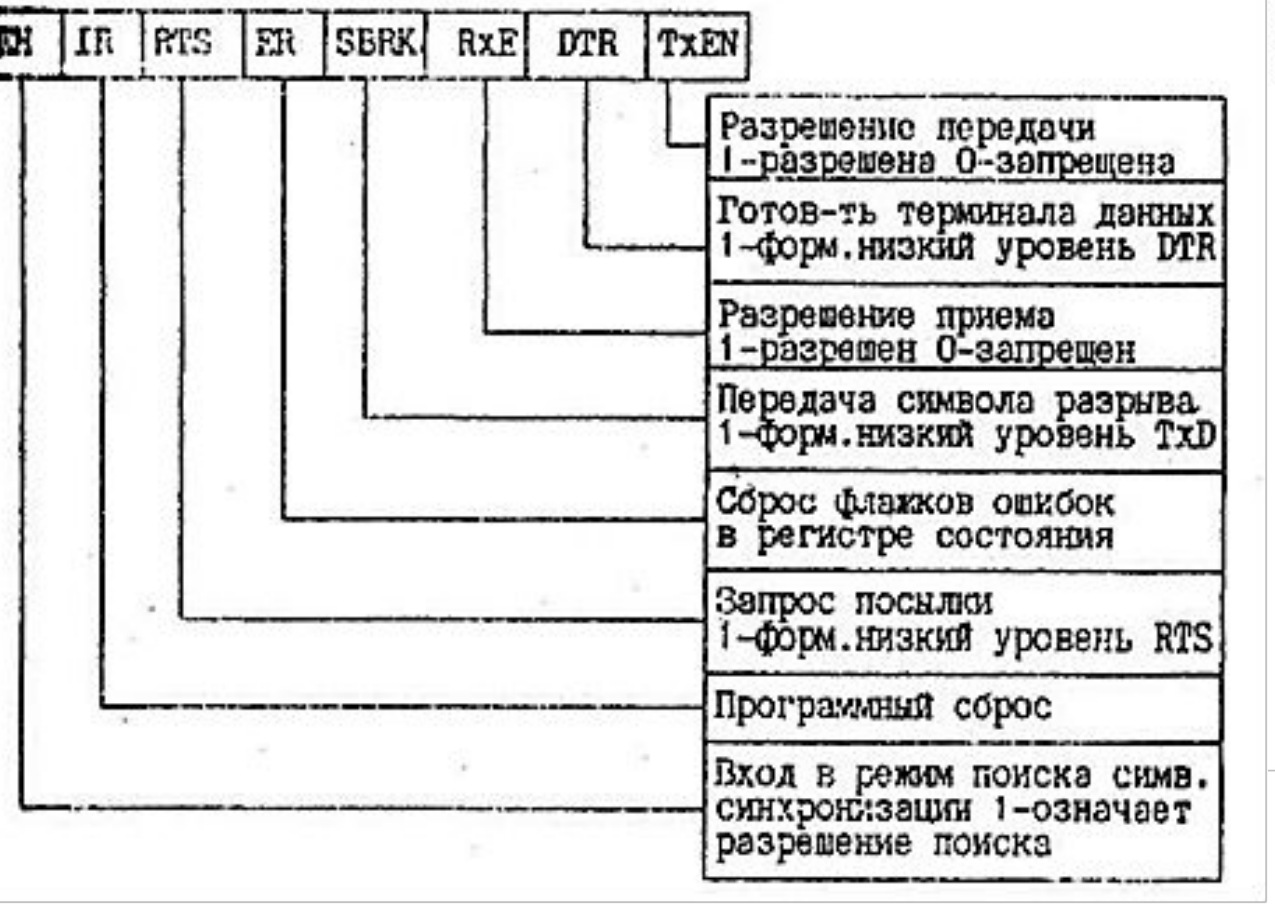
Тип паритета:
0 – нечетный
1 – четный

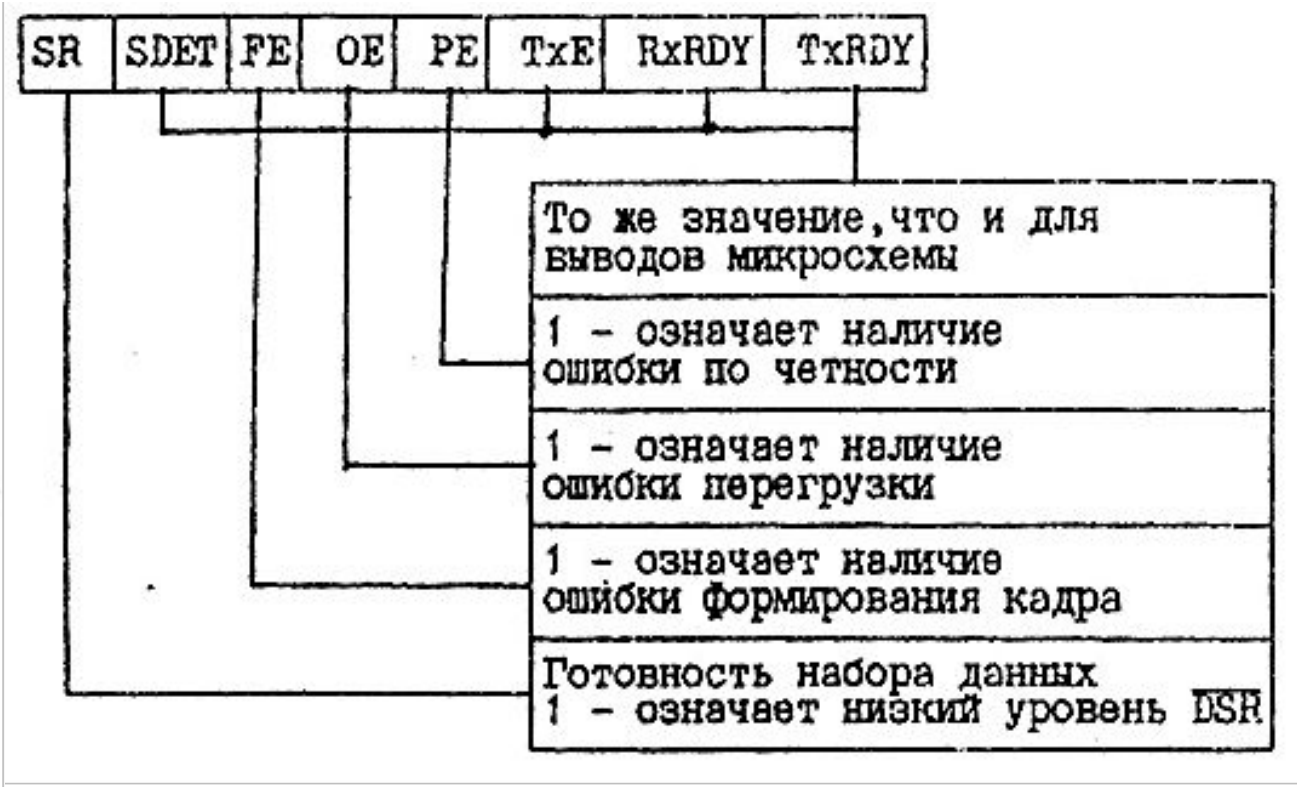
SCS	ESD	EP	PEN	L2	L1	0	0

Обнаружение внешней синхронизации:
0-SYNDET- выход
1-SYNDET- вход

Разрешение паритета:
0 – нет бита паритета
1 – есть бит паритета

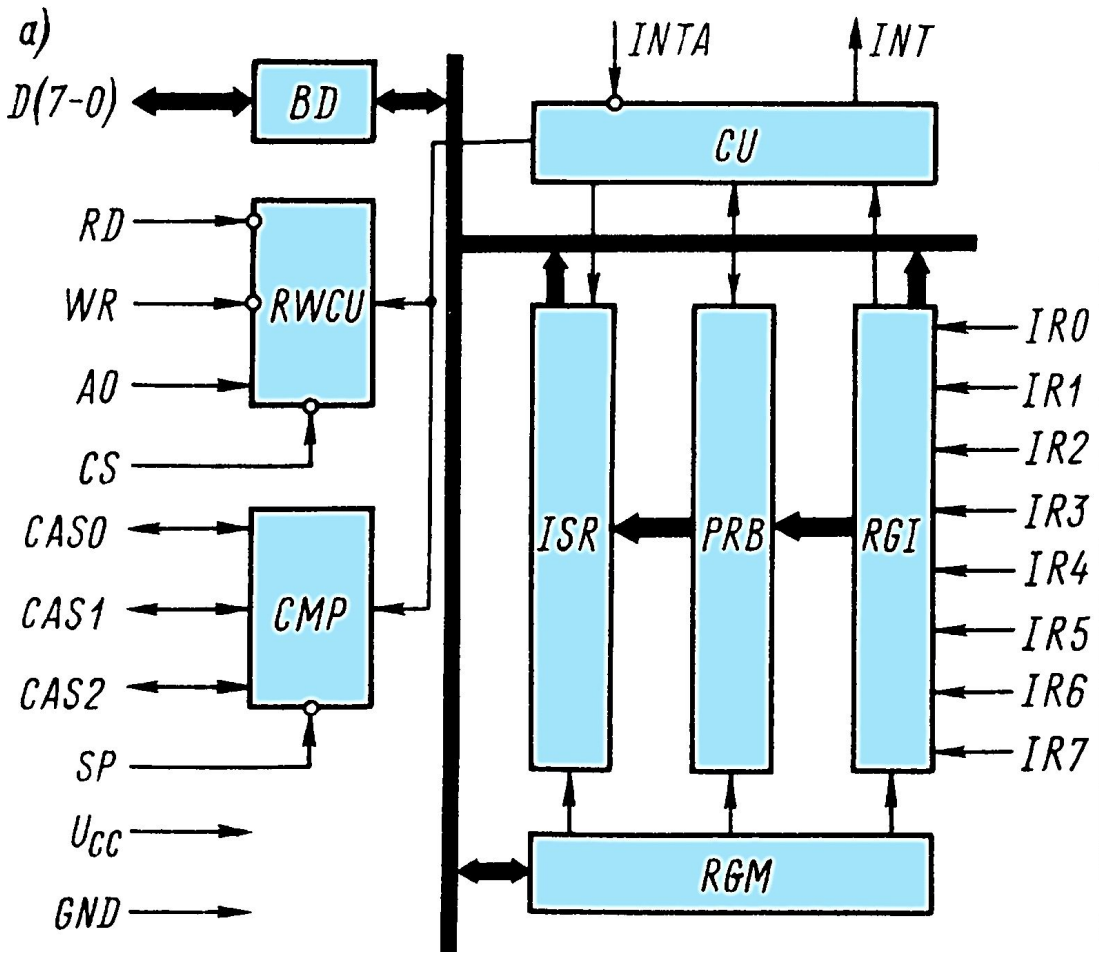
б)


EH
IR
RTS
ER
SBRK
RxE
DTR
TxEN
Разрешение передачи
1-разрешена 0-запрещена
Готов-ть терминала данных
1-форм.низкий уровень DTR
Разрешение приема
1-разрешен 0-запрещен
Передача символа разрыва
1-форм.низкий уровень TxD
Сброс флажков ошибок
в регистре состояния
Запрос посылки
1-форм.низкий уровень RTS
Программный сброс
Вход в режим поиска симв.
синхронизации 1-означает
разрешение поиска


SR
SDET
FE
OE
PE
TxE
RxRDY
TxRDY
То же значение,что и для
выводов микросхемы
1 - означает наличие
ошибки по четности
1 - означает наличие
ошибки перегрузки
1 - означает наличие
ошибки формирования кадра
Готовность набора данных
1 - означает низкий уровень DSR

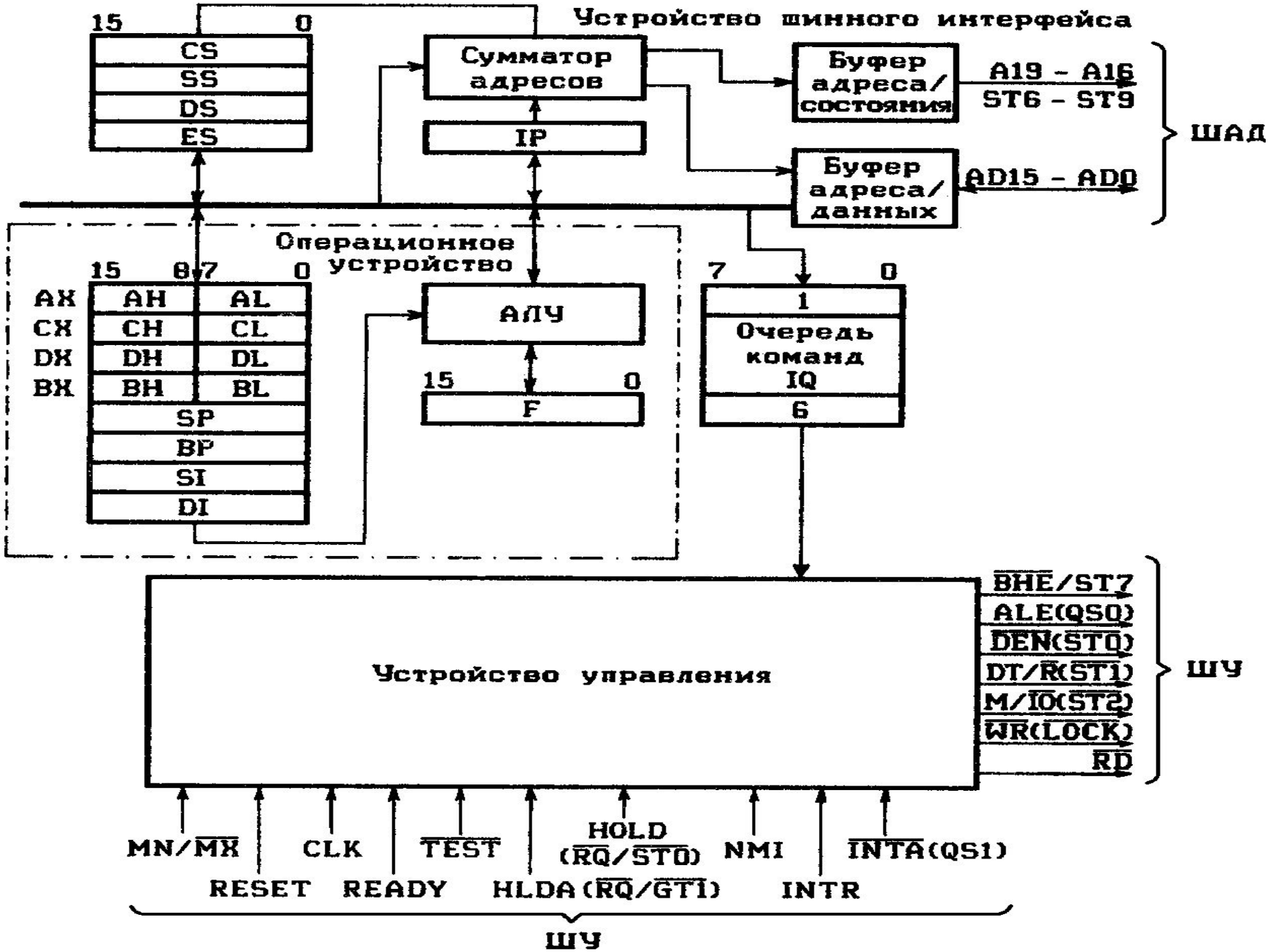
Младший бит
Старший бит
5-8 информационных бит
Стартовый
бит
Необязательный
бит паритета
1,1,5 или
2 стоповых
бита
Бесполезный
промежуток
между
символами

БИС контроллера прерываний I8259

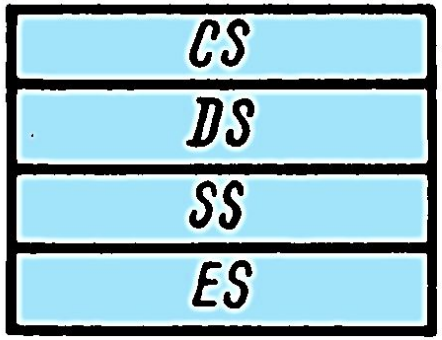


Обозначение вывода	Номер контакта	Назначение вывода
D(7–0)	4; 5; 6; 7; 8; 9; 10; 11	Вход/выход данных
RD	3	Вход строба чтения
WR	2	» » записи
A0	27	Вход нулевого разряда адреса, используемый при загрузке команд и считывании состояния ПКП
CS	1	Вход выбора микросхемы
CAS0–CAS2	12; 13; 15	Входы/выходы каскадирования
SP	16	Признак подчинения: напряжение *H*-уровня указывает, что ПКП является старшим (ведущим) контроллером; напряжение *L*-уровня определяет ПКП подчиненным (ведомым) контроллером
INTA	26	Подтверждение прерывания – входное напряжение *H*-уровня указывает о выдаче ПКП команды *CALL* на шину данных
INT	17	Прерывание – напряжение *H*-уровня указывает о запросе на обслуживание прерывания
IR0–IR7	18; 19; 20; 21; 22; 23; 24; 25	Входы запросов прерываний (положительный фронт)
U_{CC}	28	Напряжение питания (+5 В)
GND	14	» » (0 В)

Intel 8086


Устройство шинного интерфейса
15
0
CS
SS
DS
ES
Сумматор адресов
IP
Буфер адреса/ состояния
A19 - A16
ST6 - ST9
Буфер адреса/ данных
AD15 - AD0
ШАД
Операционное устройство
15
8 7
0
AX
CX
DX
BX
AH
AL
CH
CL
DH
DL
BH
BL
SP
BP
SI
DI
АЛУ
15
0
F
7
0
1
Очередь команд IQ
6
Устройство управления
BHE/ST7
ALE(QS0)
DEN(ST0)
DT/R(ST1)
M/IO(ST2)
WR(LOCK)
RD
ШУ
MN/MX
CLK
TEST
HOLD (RQ/ST0)
NMI
INTA(QS1)
RESET
READY
HLDA(RQ/GT1)
INTR
ШУ

Сегментные и индексные регистры



CS – регистр сегмента программы, определяет начальный адрес сегмента памяти, в котором располагается программа. Выборка очередной команды осуществляется относительно содержимого CS с использованием значения указателя команд IP.

DS – регистр сегмента данных, определяет начальный адрес текущего сегмента данных. Вычисление физического адреса в этом сегменте зависит от способа адресации.

ES – регистр дополнительного сегмента данных

SS – регистр сегмента стека, определяет начало стекового сегмента и используется в командах обращения к стеку, при обработке прерываний и подпрограмм. (Стек – это сегмент памяти, работающий по принципу LIFO (Last in first out – вошедший последним выходит первым)).

IP – указатель команд, является смещением в сегменте относительно начала сегмента

Формирование физического адреса

Эффективный адрес (смещение)	0000	16 бит	
		+	
Базовый сегментный адрес		16 бит	0000
		=	
Физический адрес		20 бит	

Указатель стека

Указатель базы

Индекс источника

Индекс приемника

CF (Carri Flag) – флаг переноса (заёма) старшего бита в арифметических операциях;

PF (Pariti Flag) – флаг паритета, устанавливается при чётном числе единиц в результате;

AF (Auxiliary Flag) – флаг дополнительного переноса (заёма) в тетраде для десятичной арифметики;

ZF (Zero Flag) – флаг нулевого результата.

SF (Sign Flag) – флаг знака. Если в триггере устанавливается единица, флаг отрицательный.

TF (Trap Flag) – флаг трассировки (пошагового режима). При установке этого флага после выполнения каждой команды вызывается внутреннее прерывание 1-го типа (INT 1).

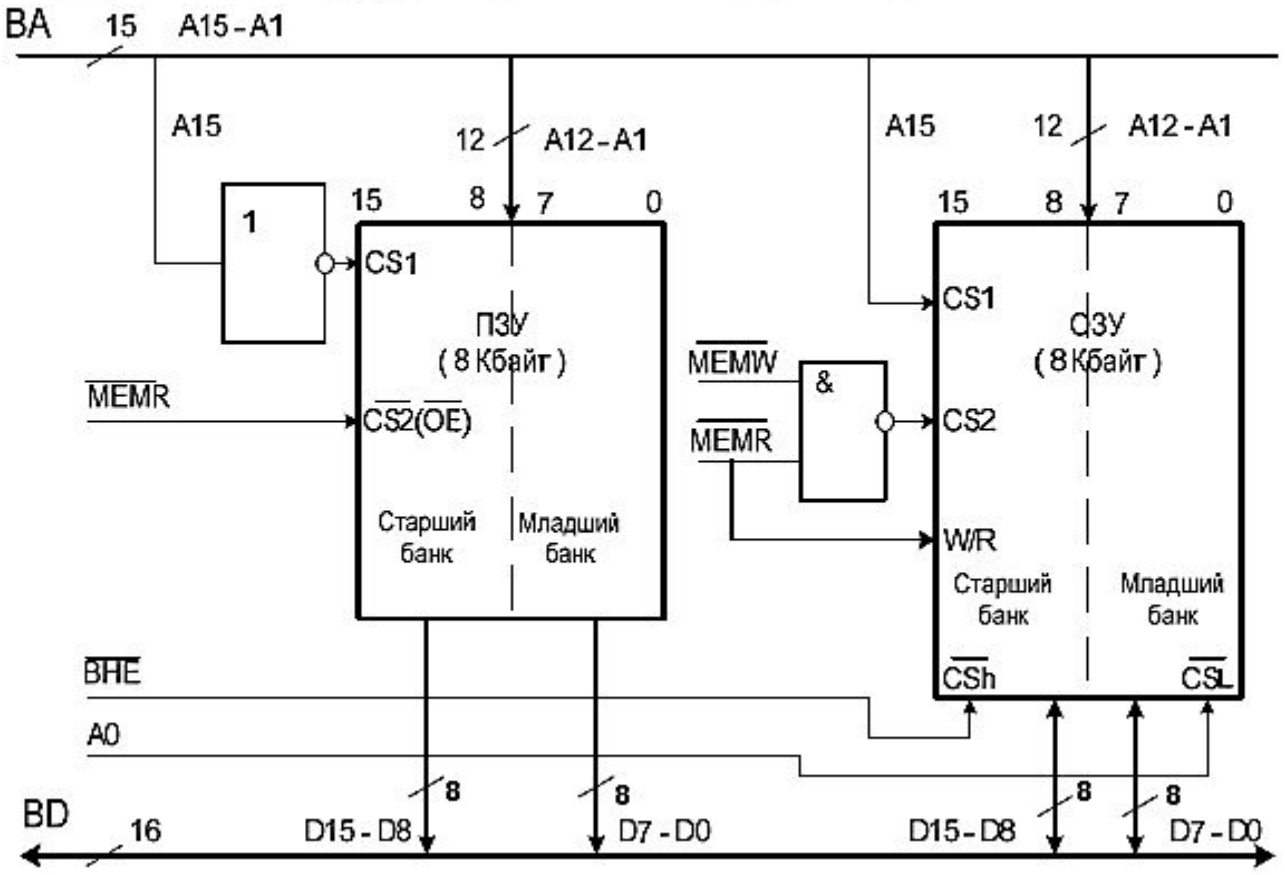
IF (Intertapt Flag) – флаг управления прерываниями. При единичном значении разрешается выполнение маскируемых аппаратных прерываний.

DF (Direction Flag) – флаг управления направлением в строковых операциях. При единичном значении индексные регистры, участвующие в строковых операциях, автоматически декрементируются на количество байт операнда, при нулевом – инкрементируются.

OF (Overflow Flag) – флаг переполнения. Устанавливается, если результат арифметической команды не умещается в операнде назначения.

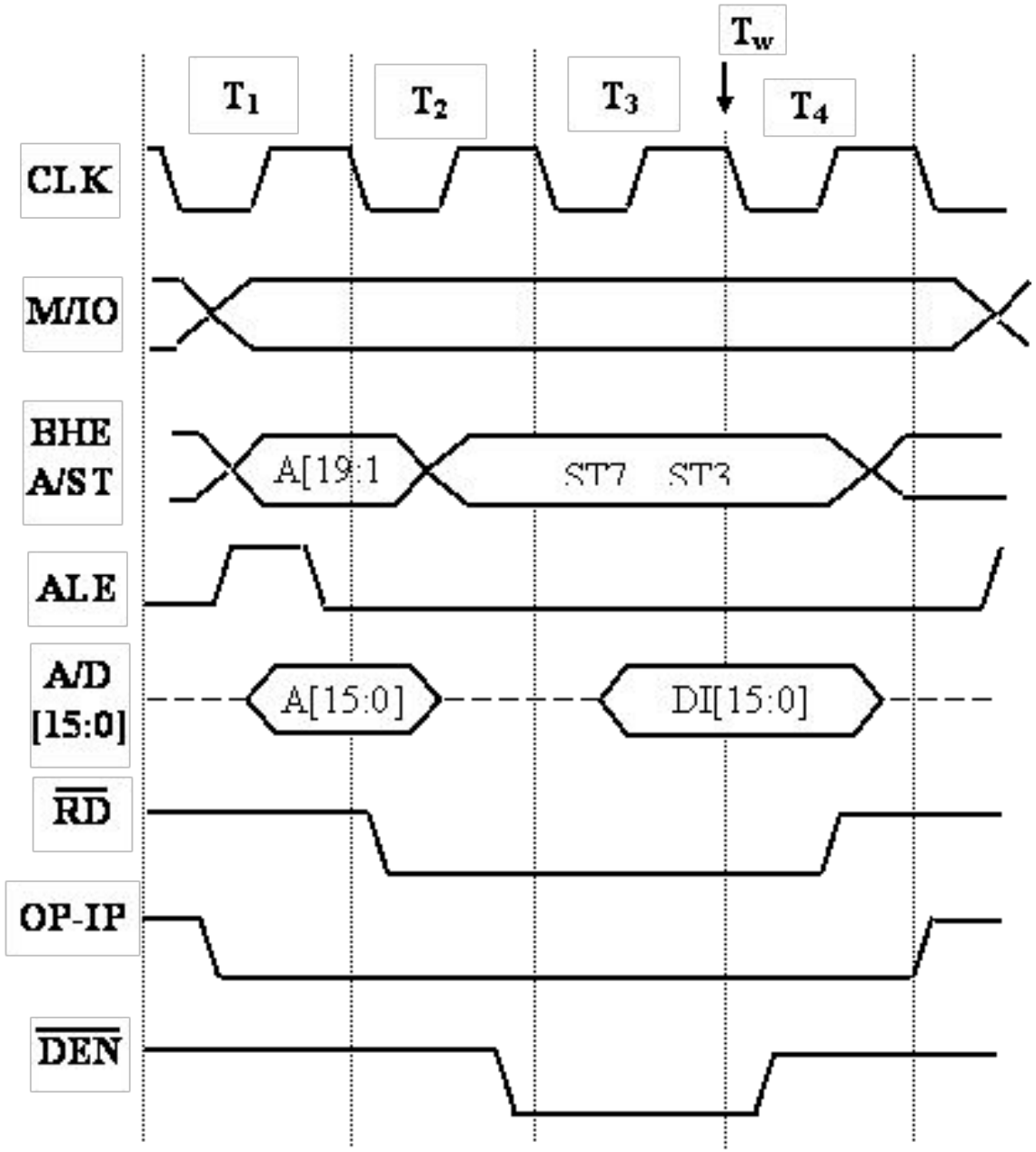
Тип ссылки к памяти	Сегмент по умолчанию	Альтернативный сегмент	Смещение
Выборка команды	CS	Нет	IP
Стековая операция	SS	Нет	SP
Переменная	DS	CS, SS, ES	EA
Цепочка-источник	DS	CS, SS, ES	SI
Цепочка-приёмник	ES	Нет	DI
BP как базовый регистр	SS	CS, SS, DS	EA

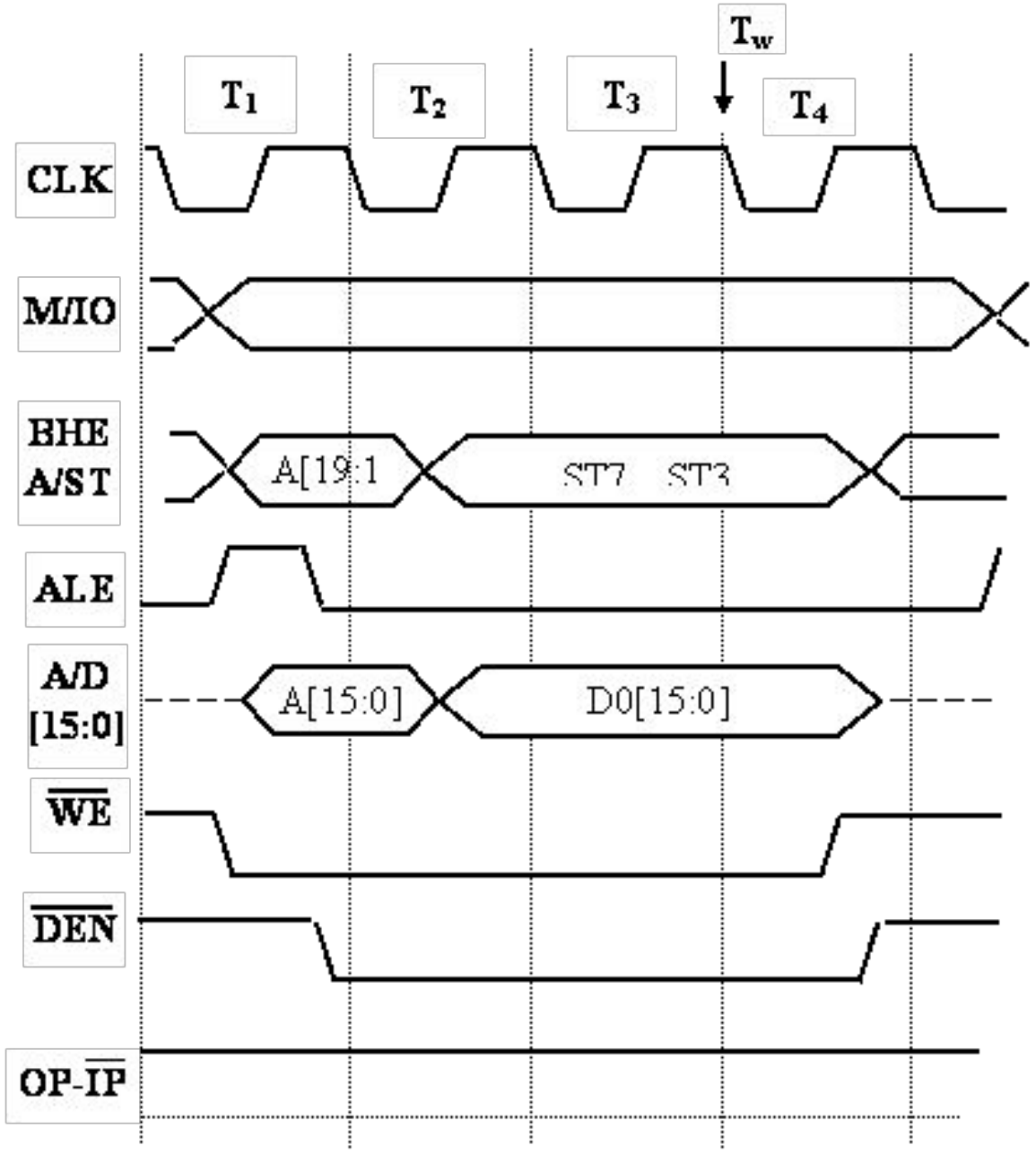
Схема подключения банков памяти



A0 = 0, BHE = 0 – пересылается слово;
A0 = 0, BHE = 1 – пересылается только младший байт;
A0 = 1, BHE = 0 – пересылается только старший байт,
A0 = 1, BHE = 1 – устройство не выбрано.

ВРЕМЕННЫЕ ДИАГРАММЫ РАБОТЫ В МИНИМАЛЬНОМ РЕЖИМЕ





ХРОНОЛОГИЯ МИКРОПРОЦЕССОРОВ INTEL

1971, 15 ноября: 4004
1972, 4-й квартал: 4040
1972, 1 апреля: 8008
1974, 1 апреля: 8080
1976, март: 8085
1978, 8 июня: 8086
1979, 1 июня: 8088
1981, 1 января: iAPX 432
1982: 80186
1982, 1 февраля: 80286
1985, 17 октября: 80386DX
1988, 5 апреля: i960 aka 80960
1988, 16 июня: 80386SX
1989, 16 января: 80376
1989, 27 февраля: i860 aka 80860
1989, 10 апреля: 80486DX
1990, 15 октября: 80386SL
1991, 22 апреля: 80486SX
1992, 3 марта: 80486DX2
1992, 9 ноября: 80486SL
1993, 22 марта: Pentium
1994, 7 марта: 80486DX4
1994, август: Intel386 EX
1995, 1 ноября: Pentium Pro
1997, 8 января: Pentium MMX
1997, 7 мая: Pentium II
1998, 15 апреля: Celeron (Pentium II-based)
1998, 29 июня: Pentium II Xeon
1999, 26 февраля: Pentium III
1999, 25 октября: Pentium III Xeon
2000, 23 августа: XScale
2000, 20 ноября: Pentium 4
2001: Itanium
2001, 21 Мая: Pentium 4 Xeon

2002, июль: Itanium 2
2003, март: Pentium M
2003, март: Celeron M
2003, сентябрь: Pentium 4EE
2004, весна: EM64T
2005, Q2 (?): Pentium D
2006, осень: Conroe, Merom
2007, зима: Core 2 Extreme QX6700
2007, зима: Core 2 Quad – Четырёхъядерный
2008, зима: Core 2 обновление линейки
2008, весна: Centrino Atom
2008, осень: Core i7
2009, осень: Core i5
2010, 4 января: Core i3
2011, весна: Celeron Sandy Bridge, Pentium Sandy Bridge
2011, 3 квартал: Core i3, i5, i7, i7 Extreme Edition Sandy Bridge
2012, 1 квартал: Core i3, i5, i7 Ivy Bridge
2013, 2 квартал: Core i5, i7 Haswell

2014, 3–й квартал: 14 нм, Core M, i3, i5, i7 — Broadwell
2015, 3–й квартал: 14 нм, Core M, i3, i5, i7 — Skylake
2017, 1–й квартал: 14 нм, Celeron, Pentium G, Core i3, i5, i7 — Kaby Lake (7-е поколение)
2017, 3–й квартал: 14 нм, Core i9 — Skylake
2017, 4–й квартал: 14 нм, Core i3, i5, i7 — Coffee Lake, i9 Skylake.
2018, конец: 14 нм — Cooper Lake[3]
2018, 4–й квартал: 14 нм — i3, i5, i7, i9 Coffee Lake Refresh (8-е поколе-ние)
2018, конец: 10 нм — Cannon Lake
2019, 3–й квартал: 14 нм - Comet Lake
2019, конец: 10 нм — Ice Lake (10-е поколение)
2020: 10 нм — Tiger Lake (11-е поколение)

КЛАССИФИКАЦИЯ МИКРОПРОЦЕССОРОВ

Классификация Флинна:

1. ОКОД **(SISD –** single instruction stream / single data stream) одиночный поток команд, одиночный поток данных. – Чисто скалярный, последовательный МП.
2. ОКМД (**SIMD** – single instruction stream / multiple data stream) –одиночный поток команд, множественный поток данных. Это шаг к векторным процессорам (когда под 1 командой обрабатывается несколько данных). Появились в мультимедийных процессорах.
3. МКОД **(MISD –**multiple instruction stream / single data stream) – множественный поток команд и один поток данных. Конвейерный процессор.
4. МКМД**(MIMD –** multiple instruction stream / multiple data stream) – множественный поток команд и множественный поток данных. Параллельные конвейеры. Мультипроцессорная система. (начиная с 5 поколения).

Структура современного микропроцессора предполагает наличие порядка десяти обрабатывающих устройств, каждое из которых представляет собой конвейер. Загрузка параллельно функционирующих конвейеров обеспечивается:

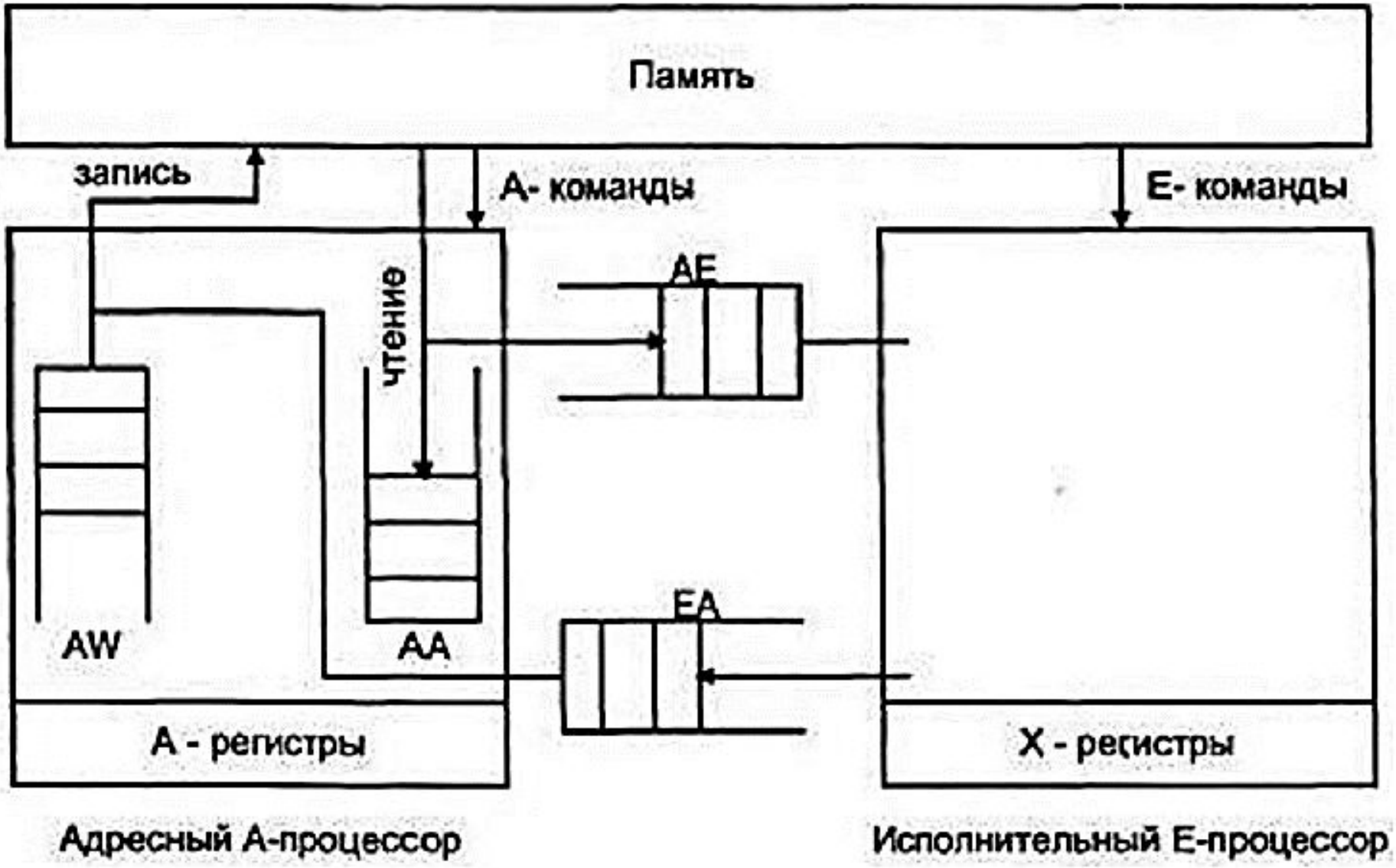
- либо аппаратурой процессора
- либо компилятором, на вход которого поступают программы на традиционном последовательном языке программирования
- либо совместно аппаратурой и компилятором

В компиляторах используется техника извлечения параллелизма из последовательных программ.

Аппаратура МП-в ориентирована на выделение более простых форм параллелизма, в том числе естественного.

В большинстве программ присутствует, так называемый, естественный параллелизм вычисления целочисленных адресных выражений и собственно обработки данных в формате с плавающей точкой.

Микропроцессор с разнесенной архитектурой



Расщепление общей программы на программы для А- и Е- процессоров осуществляется на уровне компилятора или специальным блоком – расщепителем.

RISC и CISC

два направления развития микропроцессоров

RISC (Reduced Instruction Set Computer)

- удалены сложные и редко используемые инструкции;
- все инструкции имеют одинаковую длину, что позволяет уменьшить сложность управления процессором и увеличить скорость обработки команд;
- отсутствуют инструкции, работающие с памятью напрямую, все данные загружаются только из памяти в регистр и наоборот;
- отсутствуют операции работы со стеком;
- применение конвейера параллельных вычислений;
- большинство операций производятся за один такт микропроцессора.

CISC (Complete Instruction Set Computer)

- малое количество регистров общего назначения
- большое количество машинных команд
- сложное декодирование инструкций и, как следствие, расходование аппаратных ресурсов

Тактовая частота RISC-процессоров (при прочих равных условиях) выше тактовой частоты CISC-процессоров

Обзор на примере семейства x86

1978 - Intel первый 16-разрядный процессор с маркировкой «8086», тактовая частота 5 МГц (позже появились процессоры 8 и 10 МГц), производительность 0,33 MIPS, технология 3 мкм, 29 тыс. транзисторов составляли кристалл, 1 Мб адресуемой оперативной памяти, конвейер имеет 6-байтную очередь инструкций.

1979 - 8088. Сущность ядра не изменилась, тактовая частота 10 МГц внешняя шина данных 8-битная. Это позволило, используя имеющуюся восьмиразрядную периферию, выпустить первый персональный компьютер – IBM PC.

1982 - i80286. 134000 транзисторов, технология 1,5 мкм, 16 Мбайт физической памяти, виртуальная память 1 Гбайт, частота от 12,5 МГц, защищенный режим. Появление псевдомногозадачности позволило создавать многозадачные ОС. Новые инструкции для работы с защищенным режимом и инструкции, использующие PIO (Programmable Input/Output). Дескрипторы сегментов и дескрипторные таблицы. Уровни привилегий

1985 - 80386, первый полностью 32-битным процессор. 275000 транзисторов, частота от 16 до 32 МГц. Максимальный размер 4 гигабайта. Виртуальная память 64 терабайт. Очередь команд 16 байт. Три режима работы.
1990 - Intel386S со средствами управления энергопотреблением.

1989 – 80486, 1,25 млн. транзисторов, 25 - 50 МГц, кэш первого уровня - 8 Кб, второго уровня -512 Кб; средства, необходимые для построения мультипроцессорных систем; буферы отложенной записи; инструкции выполняются за 1 такт. Арифметический сопроцессор на одном кристалле с центральным процессором.

1993 – Pentium, 3.1 млн. транзисторов, технология 0.8 мкм, частота 60-66 МГц; кэш первого уровня: 16 Кб; кэш второго уровня на материнской плате (до 1 Мб), шина данных 64 разрядная (60-66 МГц); адресная шина 32-разрядная. Socket 4. Суперскалярность.

1995 - Pentium Pro, кэш-памяти второго уровня, работающая на полной частоте ядра; 5,5 млн. транзисторов в ядре, 15,5-31 млн. транзисторов на кэш-память, технология от 0,5 до 0,35 мкм, тактовая частота 150 - 200 МГц, кэш первого уровня 16 Кб, кэш второго уровня до 2 МГ, адресная шина 32-разрядная, шина данных 64.

1997 - Pentium MMX., встроенные средства поддержки мультимедиа, ускоренная обработка изображения и аудиоданных; новые инструкции; тактовая частота 233 МГц.

май 1997 - Pentium 2, ядро Pentium Pro с увеличенной тактовой частотой; модульная конструкция с разъемом типа Slot 1 и картриджем SECC (Single Edge Contact Cartridge); тактовая частота 233 - 450 МГц, технология 0,25 микрон, 7,5 миллионов транзисторов в ядре, кэш-память 2 уровня 512 Кб, первый уровень 32 Кб. В кристалл встраивается термодатчик, что позволяет мерить температуру прямо на ядре.

Pentium 3

1999 - ядро **Katmai** - введено расширение SSE (Streaming SIMD Extensions), инструкции одновременно над группой операндов с плавающей точкой. 128-разрядные регистры XMM для инструкций класса SSE. 0,18 мкм технология, 28 млн. транзисторов в ядре, 256 Кб вторичного кэш, работающего на частоте ядра, тактовая частота 1 ГГц.

конец 1999 – ядро **Coppermine**, интегрированная в ядро кэш второго уровня 256 Кб (Advanced Transfer Cache), 0,18 мкм технология, 28 млн. транзисторов; расширение SSE (Streaming SIMD Extensions) - ориентировано на инструкции, выполняемые одновременно над группой операндов с плавающей точкой и 128-разрядные регистры XMM для SSE.

2001 – ядро **Tualatin**, новая 0.13 мкм технология.

Pentium 4

2000 - Pentium 4 (**Willamette**), 0,18 мкм технология, 42 млн. транзисторов на кристалле, частоты от 1.4 до 2.0 ГГц. новый набор инструкций - SSE2; новые принципы микроархитектуры ядра – **NetBurst** ориентированные на высокие частоты Основная направленность - интернет и мультимедийные приложения. Суперскалярность. Конвейерное исполнение и динамическое изменение последовательности команд. Усовершенствованное предсказание направления ветвлений обеспечивает ~ 90-процентную вероятность правильности предсказания. Кэш третьего уровня, предусмотренный для серверных вариантов процессора

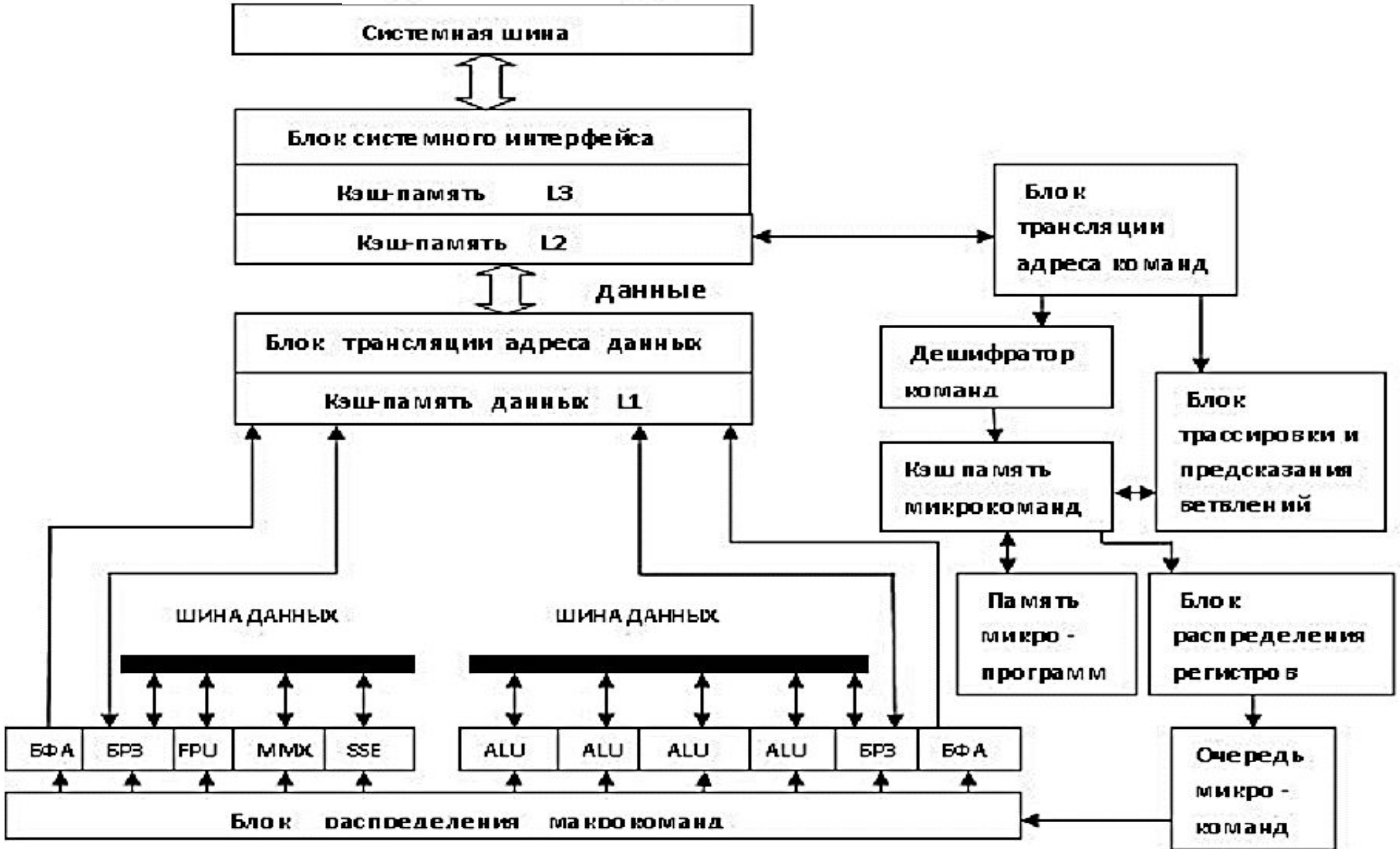
2001– ядро **Northwood**, 0.13 мкм технология, тактовая частота –2.6 ГГц, кэш второго уровня 512 Кб, 55 млн транзисторов. Поддержка наборов инструкций MMX, SSE SSE2

2002 - процессор с технологией Hyper-Threading, частота 3.06 ГГц.
Псевдомногопроцессорность: один физический процессор видится системой как два.

2003 -семейство **Prescott**, 0.09 мкм (90 нм) технология, площадь кристалла 112 мм2, 125 млн. транзисторов, тактовые частоты 3,4; 3,2; 3,0 ГГц. Кэш 2-го уровня 1 Мбайт, 13 новых инструкций SSE3. Усовершенствованная микроархитектура NetBurst, поддержка технологии **Hyper-Threading**.

2011 - **Extreme Edition**, технология Hyper-Threading, частота ядра 3.2 ГГц. Интегрированная в кристалл кэш-память третьего уровня L3 объемом 2 Мб, дополняющая стандартный кэш L2 512 кбайт и работающая также на частоте ядра.

Архитектура Pentium 4



БФА (блок формирования адреса) –
формирует адреса выбираемых из памяти операндов,
организуя связь с кэш-памятью данных 1-го уровня (L1).
При обращении к памяти параллельно выставляет адрес
для загрузки операнда в заданный регистр
БРЗ (блок регистров замещения)
и адрес для пересылки результата из БРЗ в память.

Таким образом реализуется процедура предварительного чтения данных для последующей их обработки в исполнительных блоках, т.е. спекулятивная выборка.
Таким же образом организуется параллельная работа блоков SSE, FPU, MMX

SSE (Streaming SIMD Extension) – 128-битная векторная арифметика
FPU (Floating point unit) – модуль операций с плавающей запятой (с плавающей точкой)
MMX (MultiMedia eXtension) – SIMD-технология

Система команд 80x86

подразделяется на группы:

- команды передачи данных;
- команды арифметических операций над целыми числами;
- логические команды;
- команды сдвига;
- команды обработки строк;
- команды передачи управления;
- команды прерываний;
- команды управления флагами;
- команды управления состоянием процессора;
- команды плавающей арифметики;
- команды мультимедийных расширений (MMX – MultiMedia eXtension);
- команды потокового расширения (SSE – Streaming SIMD Extension).

Основные способы адресаций 80x86

Регистровая адресация –

операнды могут находиться в любых регистрах общего назначения и сегментных.

Непосредственная адресация –

операнды приводятся непосредственно в операторе программы.

Прямая адресация –

адрес операнда, располагающегося в памяти, присутствует в команде.

Косвенная адресация –

адрес операнда в памяти содержится в регистре, а в команде присутствует имя этого регистра

Адресация по базе –

в регистре находится адрес начала структуры данных.

Косвенная адресация с масштабированием –

этот способ адресации идентичен предыдущему, но используется, если массив состоит не из байт, а из слов, двойных слов, т. е. содержимое базового регистра умножается на два, а если из двойных слов – на четыре.

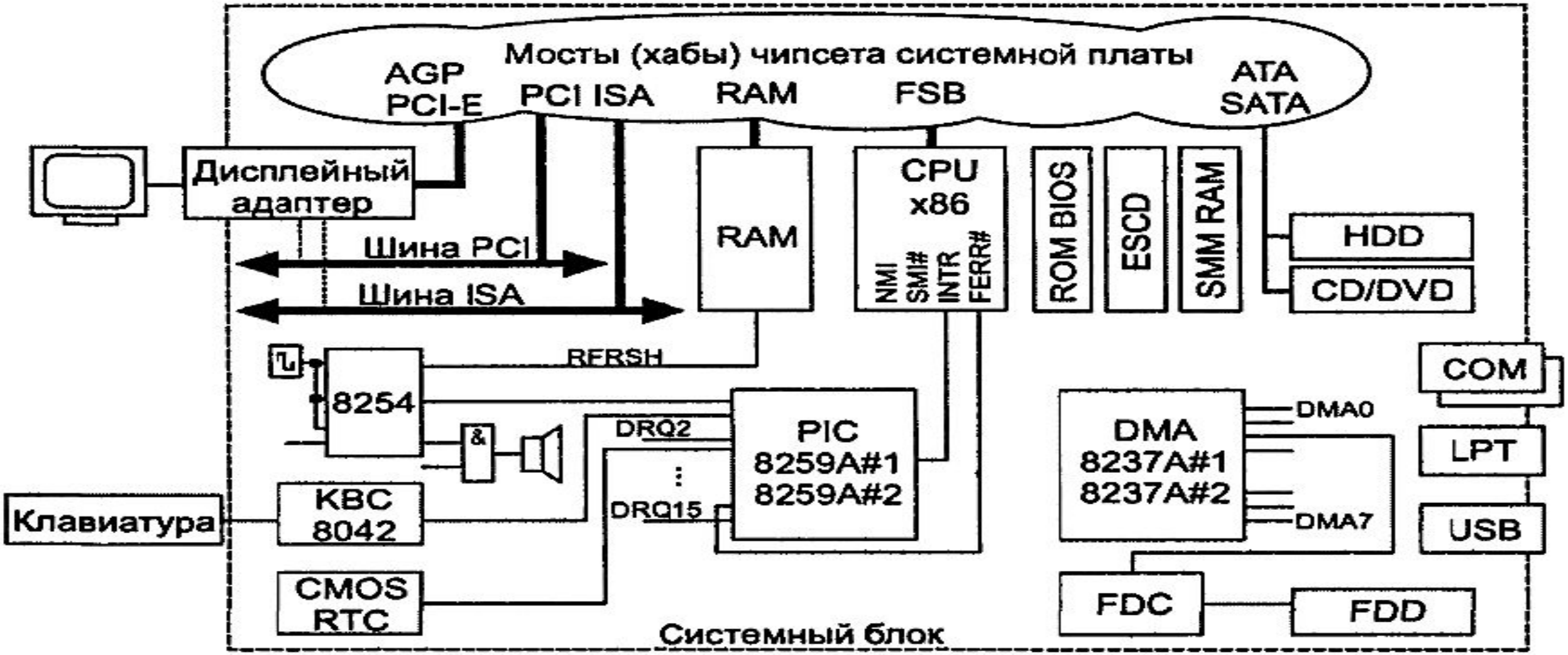
Адресация по базе с индексированием и масштабированием –

самая полная возможная схема адресации, в которую входят как частные все случаи, рассмотренные ранее.

Формат команд

Поле префиксов может содержать префикс повторения команды или префикс запрета доступа к шине на время выполнения команды, а также префиксы размеров адреса и операнда.
Поле переопределения сегмента используется для задания сегмента, вместо того, который определен по умолчанию.
Поле кода операции задает вид действия для данной команды.
Поле режима адресации определяет местонахождения операнда – в регистре или в памяти.
Поле МИБ (масштаб, индекс, база) является расширением поля режима адресации и используется при формировании исполнительного адреса для задания масштабного коэффициента, индексного и базового регистров.

Архитектурные признаки IBM PC-совместимого компьютера



ESCD (Extended System Configuration Data) —спецификация стандарта конфигурирования компьютеров x86

SMRAM — оперативная память хранения специальной программы **режима системного управления** (System Management Mode, **SMM**) для привилегированного исполнении

Ядро:
один или несколько микропроцессоров, программно совместимых с x86;
оперативная память; ПЗУ с BIOS; связующие их интерфейсы.
В наполнения ядра возможны варианты

вне Ядра:
Набор обязательных средств
ввода/вывода
и средств поддержки периферии

Обязательные компоненты системной платы:

- ✔ DRAM;
- ✔ системные средства ввода/вывода:
- ✔ контроллеры клавиатуры, прерываний, DMA:
- ✔ таймеры, CMOS RTC, средства управления динамиком;
- ✔ Интерфейсные схемы и разъемы шин расширения;
- ✔ кварцевый генератор синхронизации;
- ✔ схема формирования сброса системы по сигналу Power Good от блока питания или кнопки Reset;
- ✔ схема управления блоком питания;
- ✔ регуляторы-преобразователи напряжения (Voltage Regulation Module, VRM).
- ✔ средства мониторинга состояния системного блока:
- ✔ измерители скорости вращения вентиляторов и температуры процессора и т. д.;
- ✔ измерители питающих напряжений;
- ✔ сигнализаторы несанкционированного доступа и т. п.
- ✔ интерфейсы COM- и LPT-портов,
- ✔ 4–6 портов USB,
- ✔ каналы ATA и/или 2–4порта SATA.
- ✔ контроллер FireWire,
- ✔ адаптер локальной сети (Ethernet)

Архитектурные построения системных плат

- **Шинно-мостовая** –

наличие центральной магистральной шины и подключение к ней через мосты компонентов схемы;
два основных моста — северный (Northbridge) и южный (Southbridge).
северный мост обеспечивает взаимодействия центрального процессора,
оперативной памяти и видеоподсистемы;
южный мост для связи с внешними устройствами

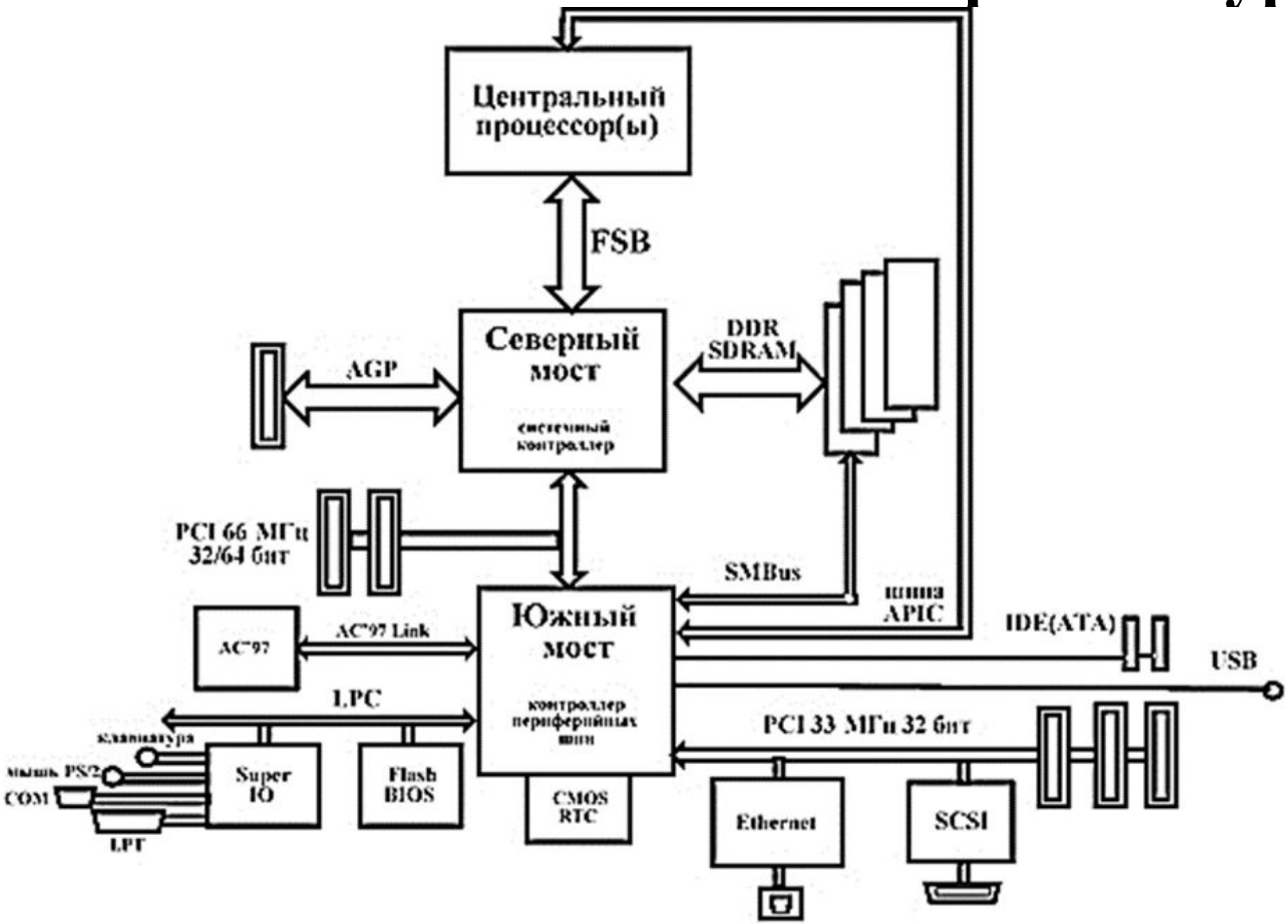
- **Хабовая** –

хабы это специализированные микросхемы, обеспечивающие передачу данных между интерфейсами;
соединение основывается на паре основных хабов (северного и южного),
связанных между собой высокопроизводительным каналом

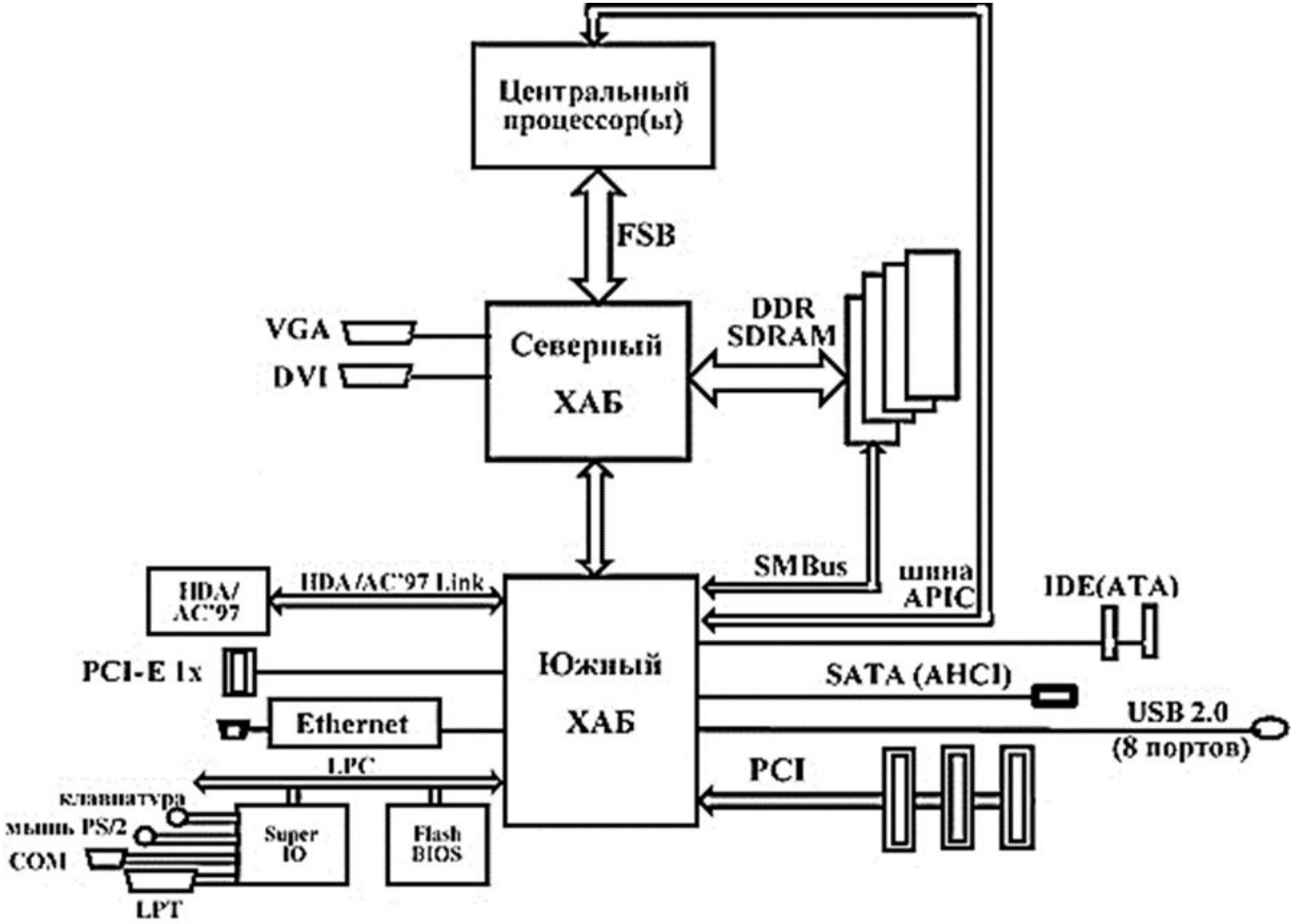
- **Hyper Transport** –

замена шинного соединения периферийных устройств двухточечными встречно направленными
соединениями. более высокая тактовая частота интерфейсов
и, соответственно, пропускная способность. обеспечивает все типы транзакций

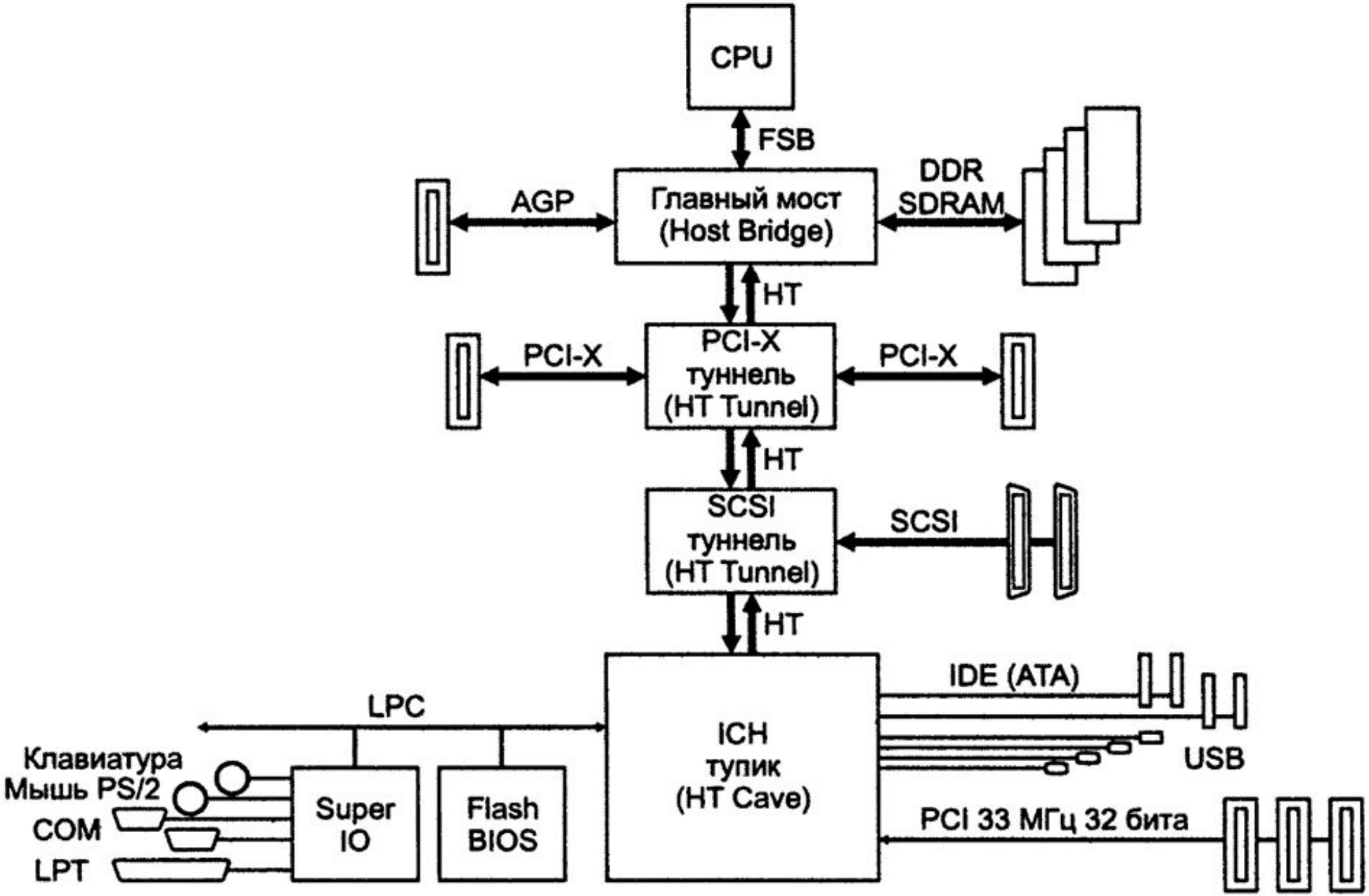
Шинно-мостовая архитектура



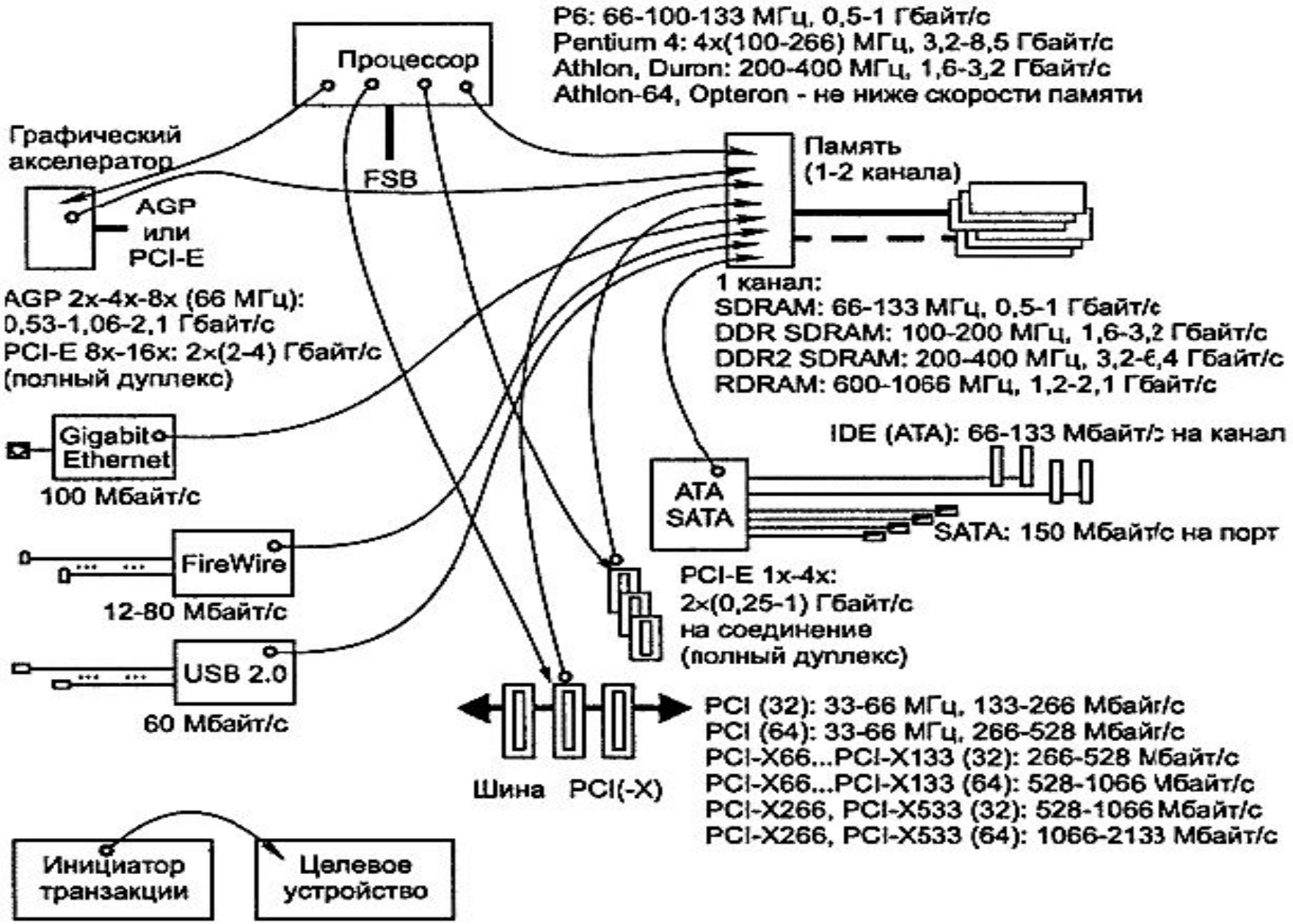
Хабовая архитектура



Архитектура Hyper Transport



Компоненты и потоки данных на системной плате



Типы и характеристики интерфейсов

Интерфейс –
это аппаратное и программное обеспечение
(элементы соединения и вспомогательные схемы управления,
их физические, электрические и логические параметры),
предназначенное для сопряжения систем или частей системы (программ или устройств)

выполняемые функции:

- выдача и прием информации;
- управление передачей данных;
- согласование источника и приемника информации.

технические характеристики интерфейсов:

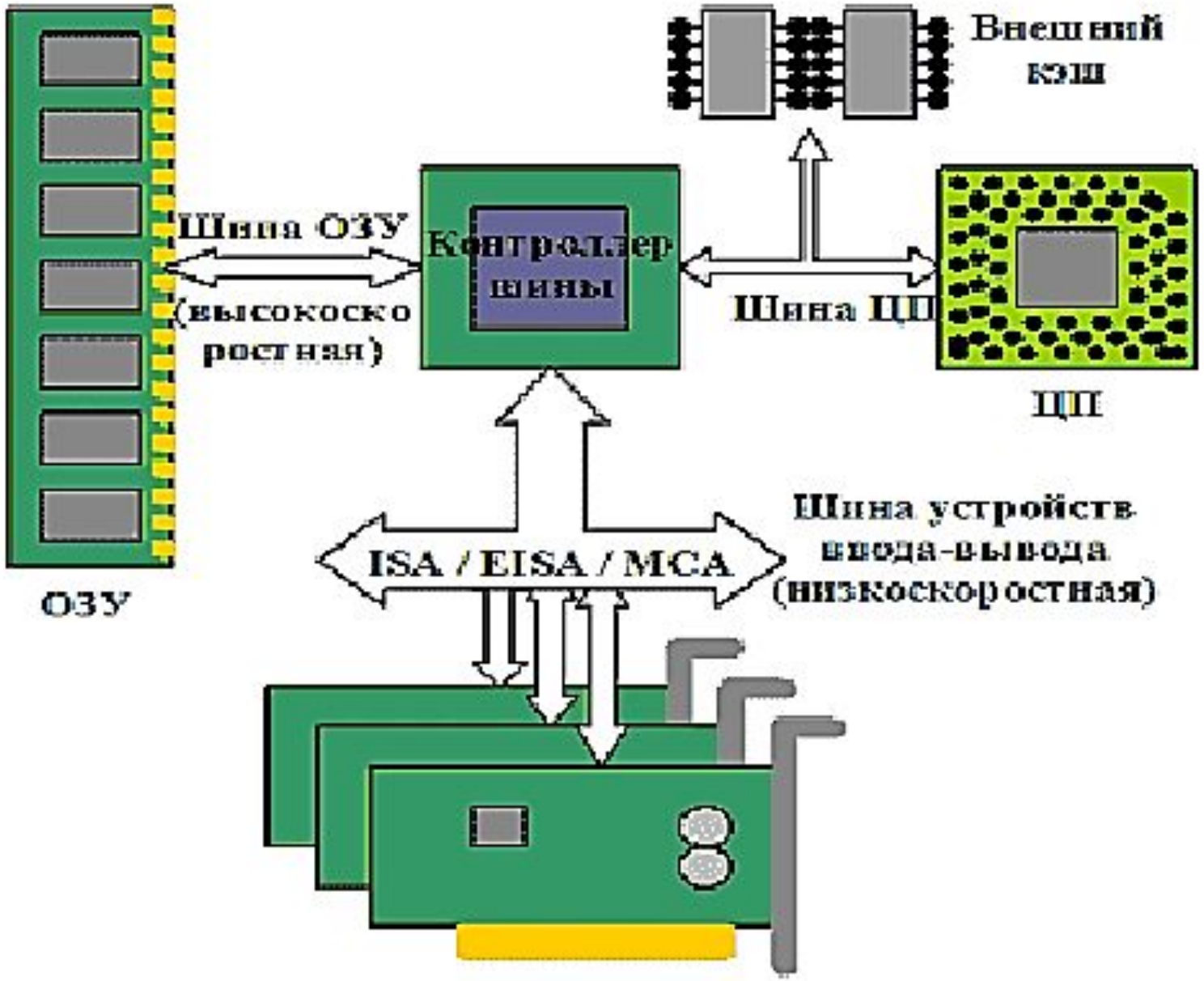
- вместимость (максимально возможное количество абонентов,
одновременно подключаемых к контроллеру интерфейса без расширителей);
- пропускная способность или скорость передачи
(длительность выполнения операций установления
и разъединения связи и степень совмещения процессов передачи данных);
- максимальная длина линии связи;
- разрядность;
- топология соединения.

Архитектура системных интерфейсов

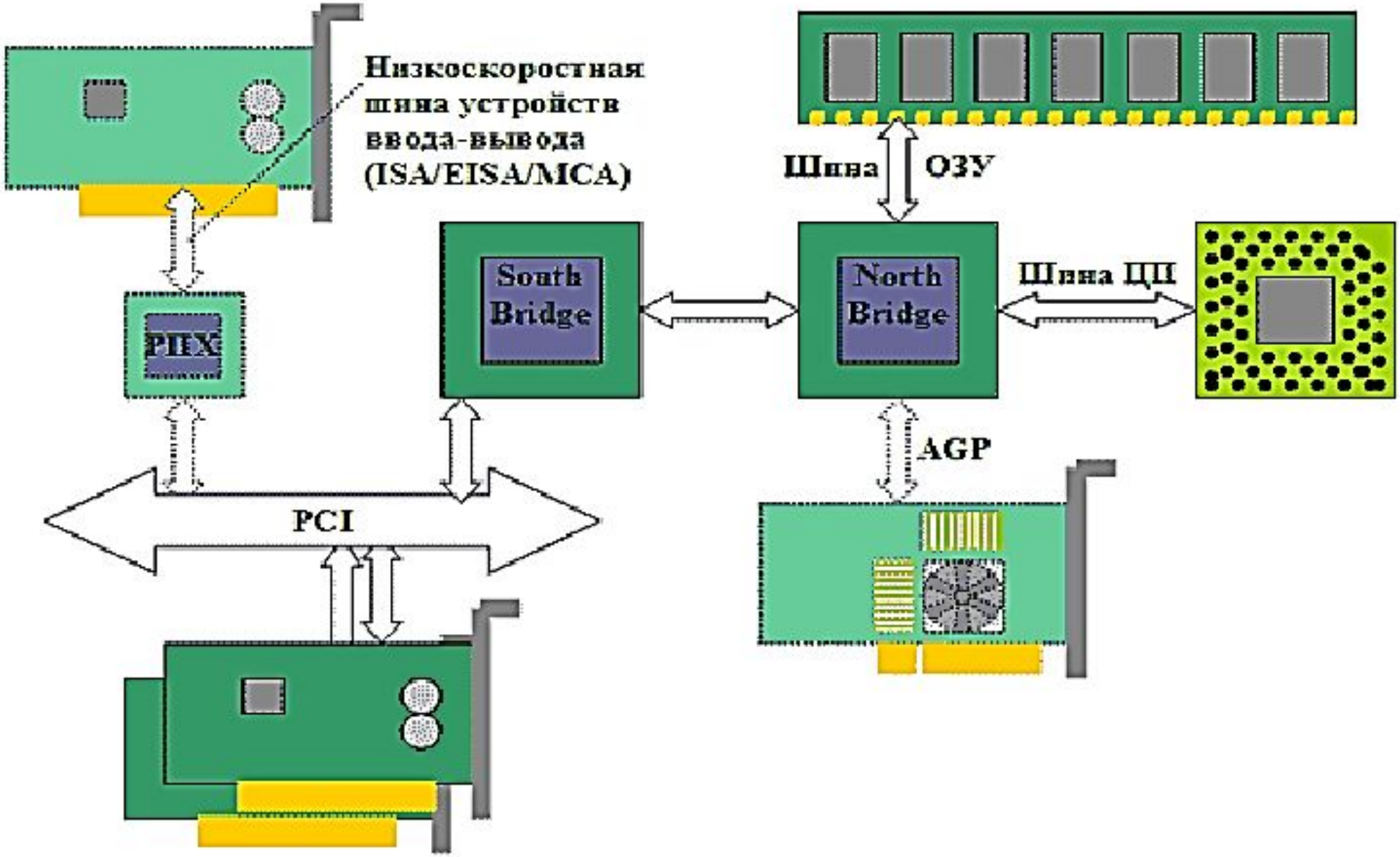
Системный интерфейс выполняется в виде стандартизированных системных шин.
Возможно внедрение сетевого взаимодействия в архитектуру системных интерфейсов.
Два класса системных интерфейсов:
с общей шиной (сигналы адреса и данных мультиплексируются) - Unibus,
с изолированной шиной (раздельные сигналы данных и адреса) - Multibus.

- ISA (Industry Standard Architecture) – архитектура промышленного стандарта;
первый стандартный системный интерфейс в IBM PC-совместимых ПК
для обеспечения питания и взаимодействия плат расширения с системной платой.
- EISA (Extended ISA) – эволюционное развитие архитектуры ISA.
- MCA (Micro Channel Architecture) – микроканальная архитектура;
альтернативная системная архитектура не зависит от типа процессора,
является асинхронной, предусмотрена автоматическая конфигурация системы.
- PCI (Peripheral Component Interconnect) – взаимодействие периферийных компонентов;
поддерживает Plug&Play
(PnP – технология, предназначенная для быстрого определения и конфигурирования устройств).
- AGP (Accelerated Graphics Port) – высокоскоростной графический порт;
выделенный интерфейс для подключения видеокарты
- PCI Express – 3GIO (Third Generation Input/Output Interconnection),
3-е поколение шины ввода/вывода, межэлементный последовательный интерфейс.

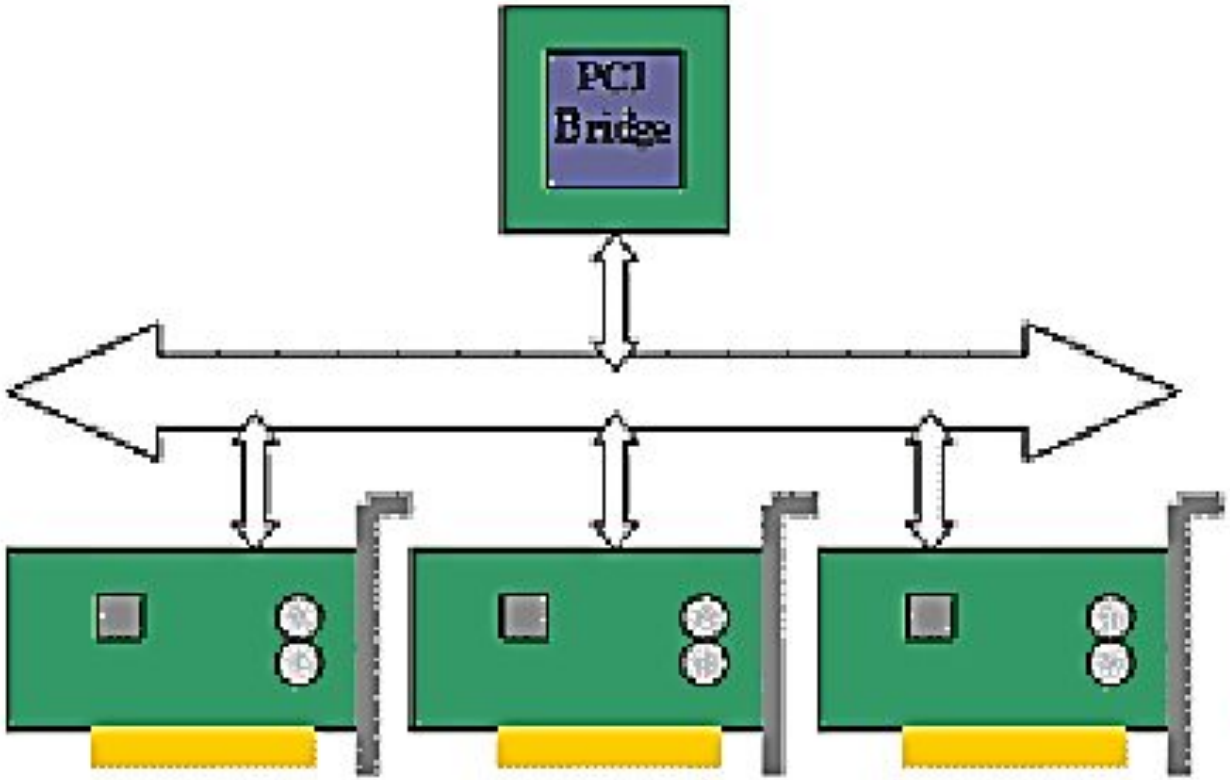
Система с низкоскоростной шиной устройств ввода/вывода

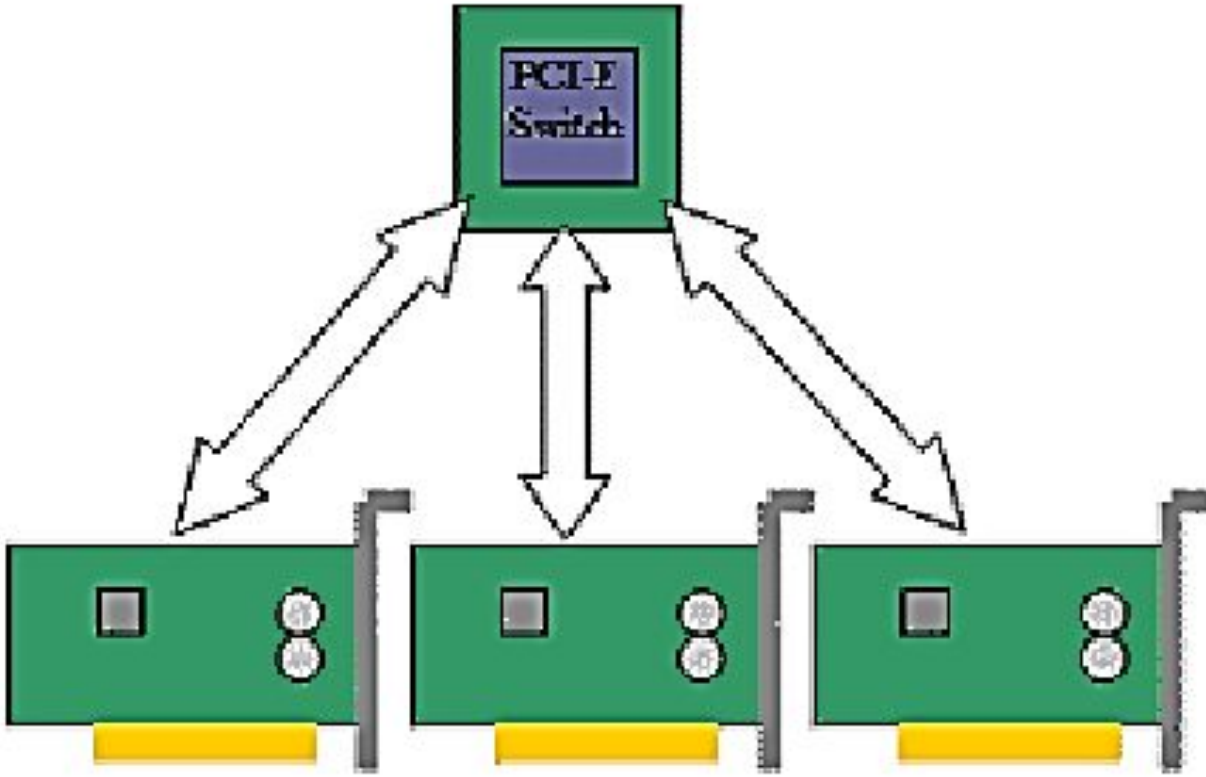


Система на основе PCI



Сравнение топологий PCI и PCI Express





Порт параллельного интерфейса

был введен в PC для подключения принтера –**LPT**-порт (Line PrinTer – построчный принтер);
традиционный LPT-порт, он же стандартный SPP (Standard Parallel Port, SPP),
ориентирован на вывод данных, через него программно реализуется протокол обмена Centronics
(международный стандарт параллельного интерфейса
для подключения периферийных устройств персонального компьютера);
Стандарт IEEE 1284, стандартизует модификации параллельного порта (SPP, EPP и ECP);
определяет 5 режимов обмена, метод согласования режима, физический и электрический интерфейсы.

• Режим совместимости (Compatibility Mode) – однонаправленный, вывод по протоколу Centronics. (для SPP)

• Полубайтный режим (Nibble Mode) – ввод байта в два цикла (по 4 бита) с использованием для приема линии состояния; для любых адаптеров, т. к. задействует только возможности стандартного порта.

• Байтный режим (Byte Mode) – ввод байта целиком с использованием для приема линии данных;
работает только на портах, допускающих чтение выходных данных.

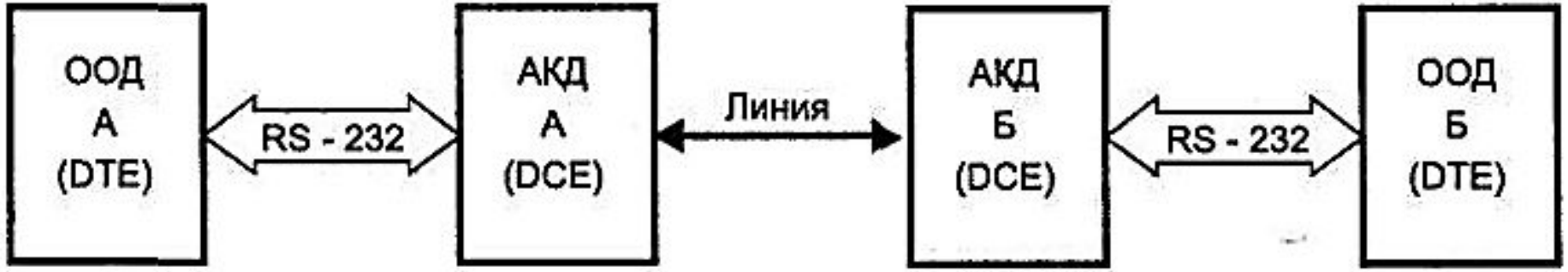
• Режим EPP (EPP Mode) – двунаправленный обмен данными,
EPP (Enhanced Parallel Port) – улучшенный параллельный порт;
управляющие сигналы интерфейса генерируются аппаратно во время цикла обращения к порту;
для внешней памяти и адаптеров локальных сетей.

• Режим ECP (ECP Mode) – двунаправленный обмен с возможностью аппаратного сжатия данных
по методу RLE (Run Length Encoding) и использованием FIFO-буферов и DMA;
ECP (Extended Capability Port) – порт с расширенными возможностями.
управляющие сигналы генерируются аппаратно. Для принтеров, сканеров и устройств блочного обмена

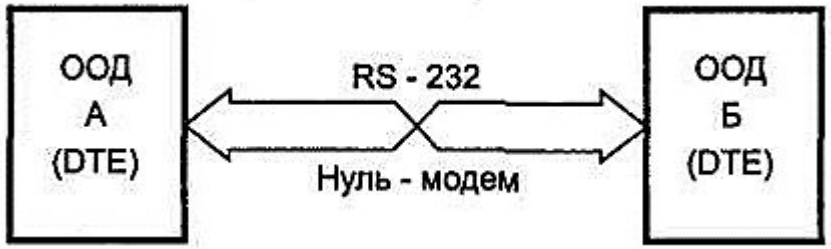
Универсальный внешний последовательный интерфейс

COM- порт (Communications Port) – коммуникационный порт;
обеспечивает асинхронный обмен по стандарту RS-232C;
реализуется на микросхемах универсальных асинхронных приемопередатчиков (UART);
для связи с другими компьютерами, сетями и периферийными устройствами
с последовательным интерфейсом (например, для подключения мыши)

Интерфейс RS-232C (CCITT V.24/ V.28; X.20bis/X.21bis; ISOIS2110)
для подключения аппаратуры, передающей или принимающей данные

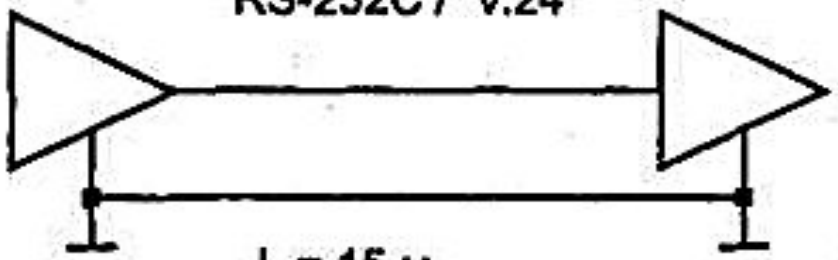


DTE (Data Terminal Equipment) – оконечное оборудование данных (ООД), например, компьютер
DCE (Data Communication Equipment) – аппаратура передачи/приема данных (АКД),обычно модем



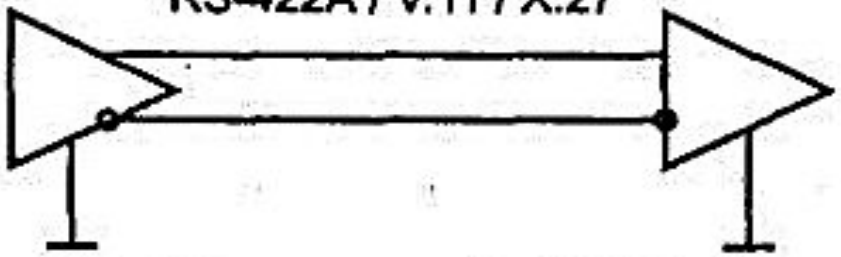
Стандарты последовательных интерфейсов

RS-232C / V.24



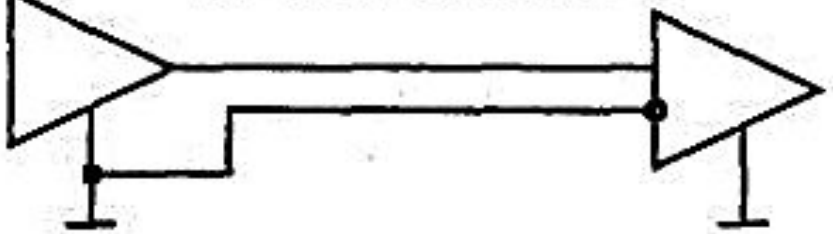
L = 15 м
V = 20 Кбит/с

RS-422A / V.11 / X.27



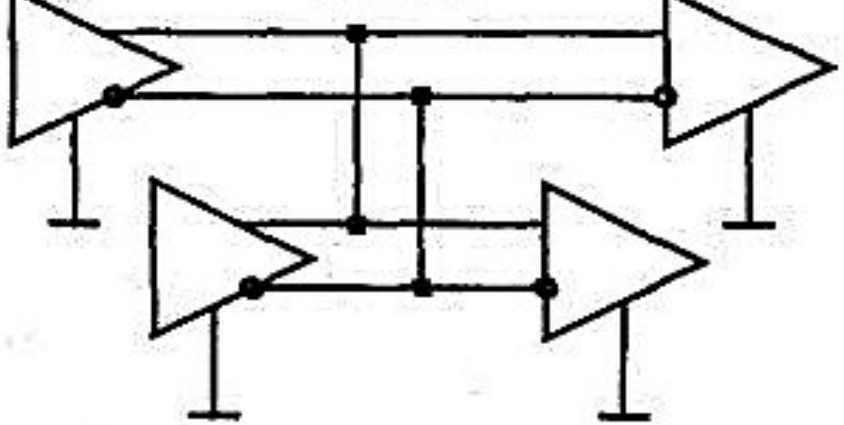
L = 12 м V = 10 Мбит/с
L = 120 м V = 1 Мбит/с
L = 1200 м V = 100 Кбит/с

RS-423A / V.6 / X.26



L = 9 м V = 100 Кбит/с
L = 91 м V = 10 Кбит/с
L = 1200 м V = 1 Кбит/с

RS-485



L = 12 м V = 10 Мбит/с
L = 120 м V = 1 Мбит/с
L = 1200 м V = 100 Кбит/с

FireWire и USB

- последовательные соединения с возможностью коммутации при работающей системе большого количества периферийных устройств – 127 для USB и 63 для FireWire;

- способны передавать изохронный трафик аудио- и видеоданных;

- поддерживают технологию Plug&Play;

- все протокольные функции выполняются посредством одной пары сигнальных проводов или двух – в FireWire;

- шинный протокол строится на основе пересылки пакетов.

- FireWire допускает большую свободу в топологии и пространственную протяженность, а также для FireWire значительно выше допустимая мощность;

- FireWire и USB различаются пропускной способностью и управлением.

USB

(Universal Serial Bus) – универсальная последовательная шина,
промышленный стандарт расширения архитектуры PC

- кабель USB – экранированная витая пара сигнальных линий с импедансом 90 Ом и неэкранированная для подачи питания (+5 В), длинной до 5 м;
- дифференциальный способ передачи сигналов;
- взаимодействие приложений с устройствами USB через программный интерфейс контроллера USB;

Для обмена информацией с хост-контроллером устройство, подключенное к шине USB,
получает уникальный адрес и логически представляется
как набор независимых конечных точек (EndPoint) со следующими параметрами:

- требуемая частота доступа к шине и допустимые задержки обслуживания;
- требуемая полоса пропускания канала;
- требования к обработке ошибок;
- максимальные размеры передаваемых и принимаемых пакетов;
- тип передачи;
- направление передачи (для передач массивов и изохронного обмена).

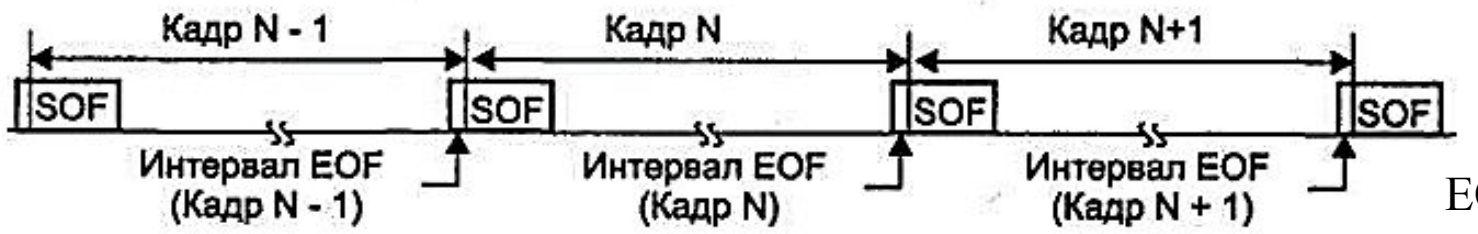
Конечная точка с нулевым номером используется для инициализации,
общего управления и опроса состояния устройства;
сконфигурирована при включении питания и подключении устройства к шине,

Транзакции с устройствами USB

Поток (stream)

однонаправленно доставляет данные от одного конца канала к другому, реализует передачу массивов изохронную, а также в случае прерывания;

SOF (Start Of Frame) – маркер синхронизации



EOF(End Of Frame) – завершение кадра

Сообщение (message)

имеет формат, определенный спецификацией USB;

хост посылает запрос к конечной точке, после которого передается/принимается пакет сообщения, за которым следует пакет с информацией состояния конечной точки.

Интерфейсы локальных сетей

организуются посредством сетевых адаптеров,
или сетевых интерфейсных карт, Network Interface Card (NIC)

Ethernet – пакетная технология компьютерных сетей,
определяет проводные соединения и электрические сигналы на физическом уровне, формат пакетов и протоколы управления доступом к среде на канальном уровне модели OSI31;
следующие поколения – 40 Gigabit Ethernet и 100 Gigabit Ethernet, Terabit Ethernet;
вытеснил технологии Arcnet, FDDI и Token ring.

OSI (Open System Interconnection) –
набор протоколов стандарта сетевой архитектуры
для семиуровневой функциональной модели сети

Взаимодействие процессора с памятью

Иерархическая организация памяти

помогает компенсировать разницу в быстродействии процессоров и скорости доступа к DRAM.

Когда процессору нужно выполнить команду:

1. анализируется состояние внутренних регистров;
2. если необходимые данные в регистрах не обнаружены, происходит обращение к кэш-памяти первого, второго и т. д. уровней… если обнаруживаются данные в одном из кэш, это называют «попаданием» (~ 90 % в оптимально организованных системах), неудачу (отсутствие данных) называют «промахом»;
3. если данных нет ни в одной кэш-памяти, процессор обращается к оперативной памяти;
4. при отсутствии нужных данных в оперативной памяти, они считываются с жесткого диска.

Организация кэш-памяти (Cache memory)

кэш для инструкций и данных может быть раздельный и общий

- в смешанной кэш-памяти высокая вероятность попаданий
- в раздельной кэш-памяти выборка инструкций и данных производится одновременно, что исключает возможные конфликты, используется системах с конвейеризацией команд при извлечении с опережением

с прямым отображением (direct-mapped) –
блок основной памяти занимает одно фиксированное место;
адрес обращения к кэшу из трёх составляющих:
старшие разряды (тег) определяют одну из закрепленных за данной строкой страниц оперативной памяти,
средние разряды – это адрес строки кеша,
младшие – смещение, указывающее на номер ячейки в строке кеша;

полностью ассоциативный (fully associative) –
блок основной памяти может быть расположен в любом месте кэша,
для нахождения требуемой строки теговый адрес одновременно сравнивается с тегами всех строк кэша,
сложная схемная реализация;

наборно-ассоциативный (set-associative) –
блок основной памяти может располагаться на ограниченном множестве мест;
младшие разряды адреса определяют номер ячейки памяти в строке (поле смещения),
средние задают номер набора (поле индекса),
старшие – тег, определяют выбранную страницу оперативной памяти, бит L для выбора строки.

Логическое распределение пространства оперативной и постоянной физической памяти

.

• • 00000h-9FFFFh (640 Кбайт) –
стандартная, или базовая, память (conventional, или base, memory),
доступна DOS и программам реального режима,
80000h-9FFFFh – расширенная базовая память (extended conventional memory);

• AOOOOh-FFFFFh (384 Кбайт) –
верхняя память (Upper Memory Area, UMA), для системных нужд,
блоки верхней памяти UMB (Upper Memory Blok):
A0000h – BFFFFh для видеопамяти,
C0000h – DFFFFh для адаптеров с собственными модули ROM BIOS и/или разделяемое с системной шиной,
E0000h – EFFFFh свободная область под системные модули BIOS,
F0000h – FFFFFh system BIOS,
FD000h – FDFFFh энергонезависимая память ESCD (Extended System Configuration Data), при наличии PnP;

• Память выше lOOOOOh – дополнительная, или расширенная, память (extended memory),
доступна только в защищенном (и в «большом реальном») режиме:
lOOOOOh-lOFFEFh – высокая память (HMA) –
единственная область расширенной памяти, доступная в реальном режиме.

Режим прямого доступа к памяти (Direct Memory Access, DMA)

пассивный доступ (Slave DMA) –
устройство при обращении к памяти использует управляющие возможности общего **контроллера DMA**

активный доступ (Bus Master DMA) –
для устройства, являющегося ведущим на шине
и имеющего возможность организовать обмен с памятью

Принцип организации работы внешних устройств с памятью в режиме DMA изменился с введением шины PCI, где применяется технология захвата управления шиной внешним устройством (Bus Mastering – BM), реализующая прямой доступ к памяти, минуя процессор, для каждого устройства, которое может быть главным абонентом системной шины.

Внешняя память

энергонезависимые устройства хранения данных,
позволяющие сохранять информацию для последующего использования
и реализующие различные физические принципы хранения информации –
магнитный, оптический, электронный и их сочетания;

при доступе процессора посредством исполняемой программы
к внешней памяти (в отличие от внутренней) оперируют блоками информации
фиксированного и произвольного размера;

управление, в том числе избыточное кодирование и декодирование,
исправление ошибок или/и организация повторных обращений к носителю
и другие вспомогательные операции
осуществляются посредством контроллера устройства хранения.

Виртуальная память

использование иерархической организации системы памяти
с непрерывным адресным пространством;

системное программное обеспечение связывает
каждое указанное пользователем символьное имя с физической ячейкой памяти,
т. е. отображает пространство имен на физическую память компьютера;

страничная организация –
разбиение пространства логических адресов на блоки фиксированной длины – страницы. адрес обращения
состоит из адреса (номера) страницы на диске
и смещения в пределах страницы,
отсутствует проблема внешней фрагментации;

сегментная организация –
разбиение пространства логических адресов на крупные блоки информации переменной длины
– сегменты (код программы, массив данных и т. д.)

сегментно-страничной организация –
виртуальное пространство процесса делится на сегменты,
а каждый сегмент – на страницы, которые нумеруются в пределах сегмента,
преобразование виртуального адреса в физический – двухуровневое или трехкомпонентное,
включающее номера сегмента и страницы, а также смещение в пределах страницы.

ТИПЫ ПРЕРЫВАНИЙ

- **внутренние прерывания –**
реакция на возникшие внутренние проблемные события;

- **аппаратные прерывания –**
запрос посылает внешнее устройство,

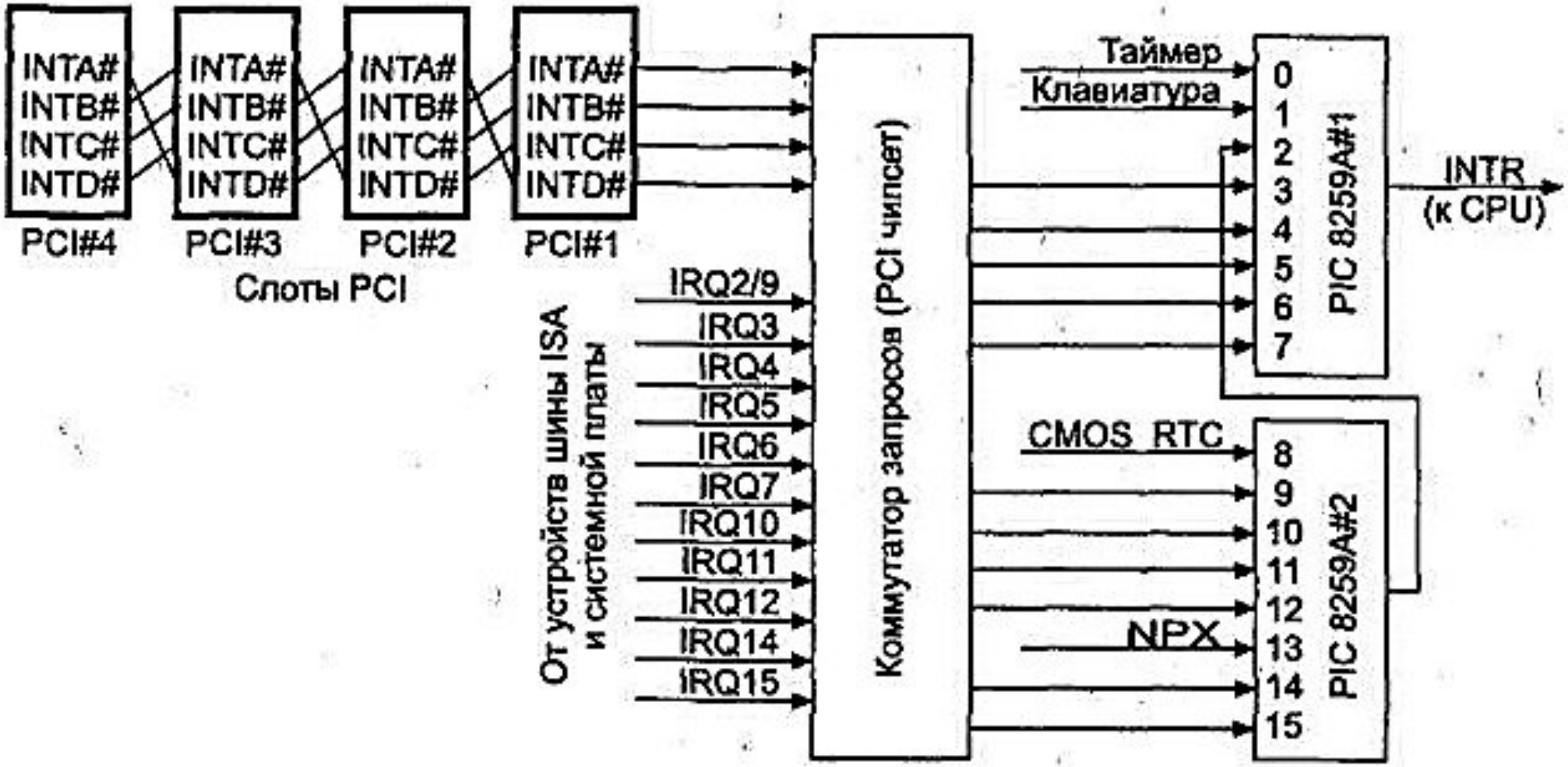
бывают **маскируемые** (запрещаемые) и **немаскируемые** (незапрещаемые),
запрещение и разрешение маскируемых прерываний осуществляется инструкциями
STI (Set Interrupt-Enable Flag) и CLI (Clear Interrupt Enable Flag),
отражается состоянием флага IF (Interrupt Flag);

- **программные прерывания –**
обработка процедур по вектору, определяемому командой.

Аппаратные прерывания в порядке убывания приоритета

Имя	Вектор	Контроллер/маска	Описание
NMI	02h		Контроль канала, паритет
IRQO	08h	#1/1h	Таймер (канал £8253/8254)
IRQ1	09h	#1/2h	Клавиатура
IRO2	OAh	#1/4h	Резерв (подключается каскад IRQ8-IRQ15)
IRQ8	70h	#2/1 h	CMOS RTC — часы реального
IRQ9	71h	#2/2h	Резерв
IRQ10	72h	#2/4h	Резерв
IRQ11	73h	#2/8h	Резерв
IRQ12	74h	#2/10h	PS/2-Mouse (резерв)
IRQ 13	75h	#2/20h	Математический сопроцессор
IRQ14	76h	#2/40h	HOC
IRQ15	77h	#2/80h	Резерв
IRQ3	OB	#1/4h	COM2, COM4
IRQ4	OC	#1/10h	COM1,COM3
IRQ5	OD	#1/20h	XT — HOC, AT — LPT2,
IRQ6	OE	#1/40h	FDC
IRQ7	OF	#1/80h	LPT1 — принтер

Коммутация запросов прерываний



для реализаций системы прерываний процессоры Pentium и выше имеют встроенный контроллер прерываний APIC (Advanced Programmable Interruption Controller); внутренние контроллеры процессоров связаны между собой по шине APIC, к которой подключена и часть чипсета, преобразующая запросы аппаратных прерываний в сигналы протокола APIC.

Методы оценки производительности

производительность – скорость появления некоторого числа событий в секунду.

время выполнения заданной программы включает:

- ✔ временные затраты на работу процессора,
- ✔ обращения к диску и к памяти,
- ✔ ввод/вывод,
- ✔ действия операционной системы.

относительная производительность определяется:

- ✔ частотой синхронизации,
- ✔ средним числом тактов на команду,
- ✔ количеством выполняемых команд

Единицы измерения производительности:

KOPS (Kilo Operations Per Second) –тысячи операций в секунду,

MIPS (Million Instructions Per Second) – миллионы инструкций в секунду,

MFLOPS (Million FLoating Point Operations Per Second) –
миллионы операций с плавающей точкой в секунду

Что влияет на производительность

Применение конвейерной обработки,
когда несколько последовательных команд находятся на разных стадиях выполнения,
увеличивает производительность,
но возникшее прерывание заставляет сбрасывать
загруженную в конвейер очередь последовательных команд, готовых к выполнению
и заполнять очередь другими командами из подпрограммы обработки прерывания.
т.е. конвейерные прерывания ограничивают быстродействие.

Производительность зависит от
быстродействия оперативной и дисковой памяти,
кэширования,
эффективности программного обеспечения.

Для оценки и сравнения систем используются следующие критерии:

• Пиковая производительность –
теоретический максимум быстродействия компьютера при идеальных условиях;
это количество операций в единицу времени, выполняемых всеми имеющимися
в микропроцессоре арифметико-логическими устройствами,
параметр не зависит от типа выполняемой программы,
т. к. его при выявлении обработке подвергается последовательность
не связанных между собой и не конфликтующих при доступе в память команд.

• Максимальная пользовательская нагрузка –
уровень, после которого производительность снижается недопустимо.

• Индекс производительности утилит
определяет возможности системы по выполнению универсальных утилит.

• Пропускная способность системы.

Тестовая оценка производительности

Тесты производителей –
предназначены для оценки выпускаемых процессоров,
ориентированы на сравнение ограниченного множества однотипных устройств.

Стандартные тесты независимых аналитиков –
сравнение процессоров разных производителей.

Пользовательские тесты –
ориентированы на оценку процессоров в ракурсе определенной задачи,
комплексное их применение дает усредненную общую картину производительности

ОДНОКРИСТАЛЬНЫЕ МИКРОКОНТРОЛЛЕРЫ

Представители семейства

мк	ПЗУ (кБ)	ОЗУ (Б)	stanby реж.	линий вв	кол-во выводов	примечания
8020	1	64	н/д	13	20	
8021	1	64	н/д	21	28	
8022	2	64	н/д	21	28	АЦП
8035	-	64	да	24	40	
8039	-	128	да	24	40	
8040	-	256	да	24	40	
8048	1	64	да	24	40	
8049	2	128	да	24	40	
8050	4	256	да	24	40	
8748	1 (EPROM)	64	-	24	40	
8749	2 (EPROM)	128	-	24	40	
8648	1	64	н/д	24	40	

Универсальный периферийный интерфейс (UPI)

Обозначение	Встроенное ПЗУ (кВ)	Встроенное ОЗУ (В)	Примечания
8041	1	64	
8041АН	1	128	
8741А	1	64	Версия 8041 с EPROM
8741АН	1	128	Версия 8041АН с OTP EPROM
8042АН	2	256	
8742	2	128	Версия 8042АН с EPROM
8742АН	2	256	Версия 8042АН с OTP EPROM

Микросхемы расширения памяти и портов ввода вывода

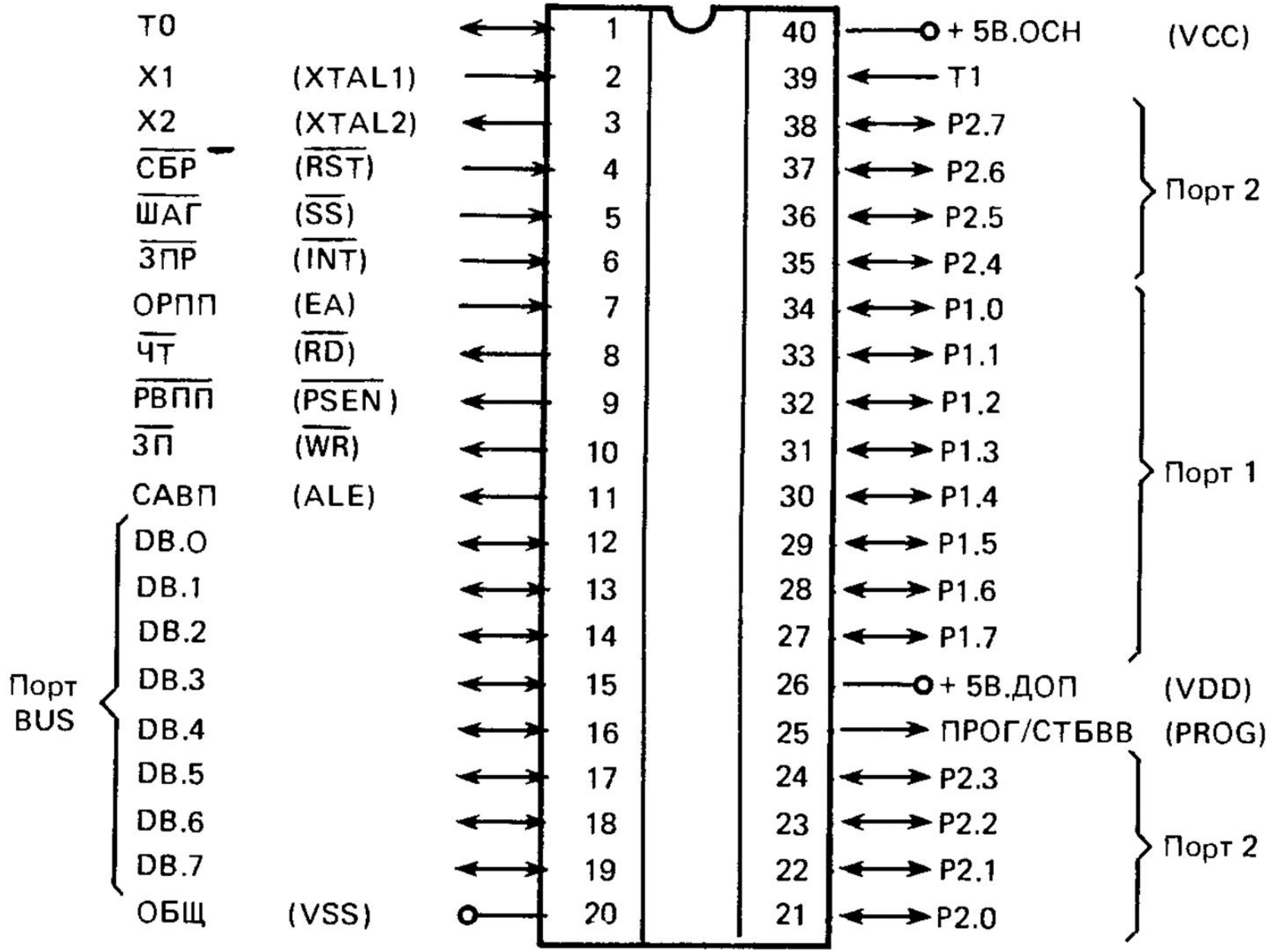
8355 – 2 Кб ROM, 16 линий ввода/вывода

8755А – 2 Кб EPROM, 16 линий ввода/вывода

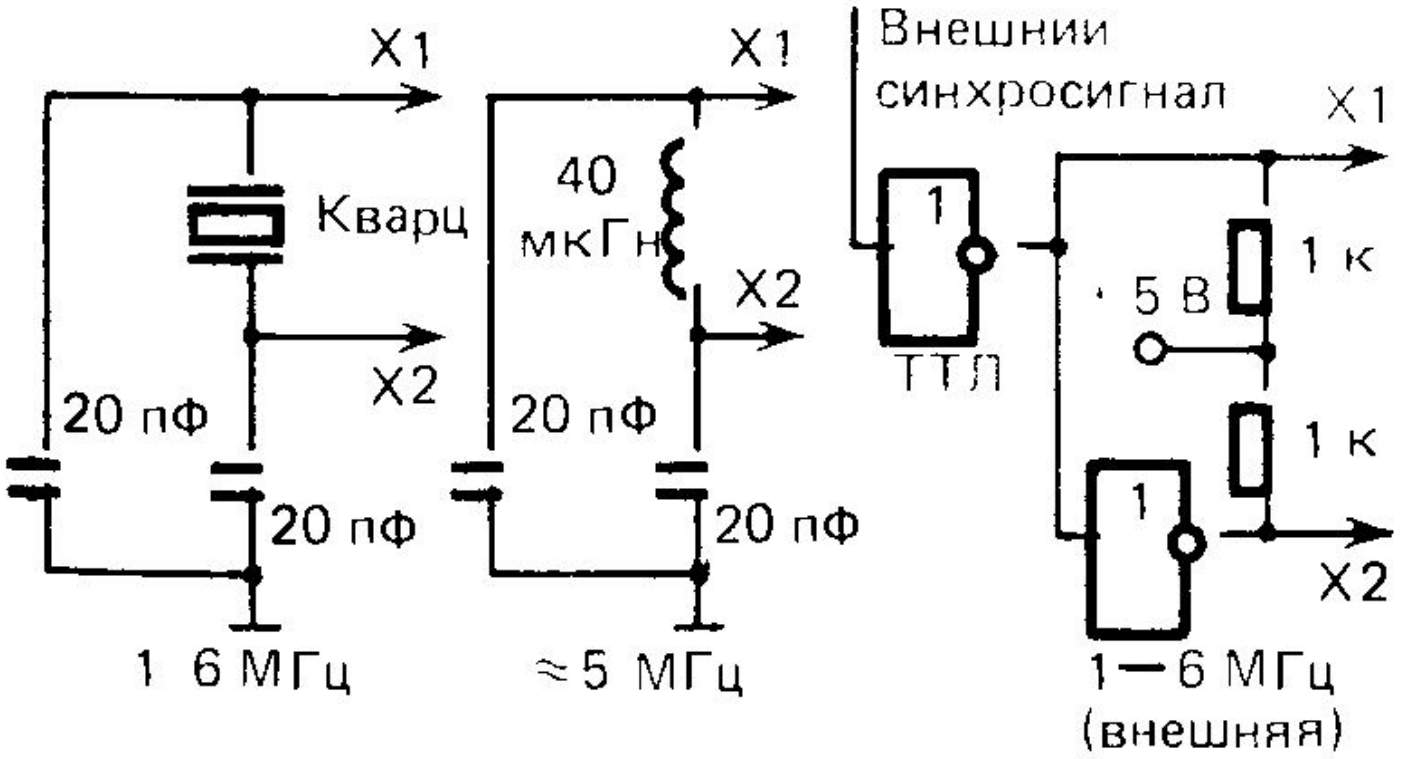
8155 – 256 байт RAM, 22 линий ввода/вывода, 1 таймер

8156 – 256 байт RAM, 22 линий ввода/вывода, 1 таймер

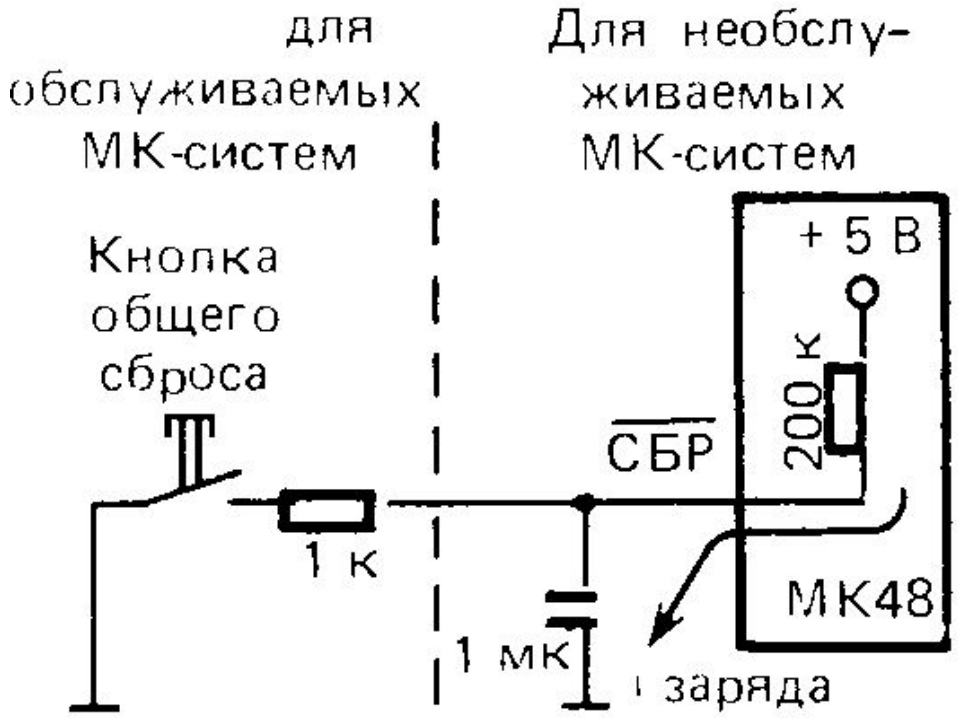
8243 – 16 линий ввода/вывода


Т0
X1 (XTAL1)
X2 (XTAL2)
СБР (RST)
ШАГ (SS)
ЗПР (INT)
ОРПП (EA)
ЧТ (RD)
РВПП (PSEN)
ЗП (WR)
САВП (ALE)
DB.0
DB.1
DB.2
DB.3
DB.4
DB.5
DB.6
DB.7
Порт BUS
ОБЩ (VSS)
1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20
40 39 38 37 36 35 34 33 32 31 30 29 28 27 26 25 24 23 22 21
+ 5В.ОСН (VCC)
Т1
P2.7
P2.6
P2.5
P2.4
Порт 2
P1.0
P1.1
P1.2
P1.3
P1.4
P1.5
P1.6
P1.7
Порт 1
+ 5В.ДОП (VDD)
ПРОГ/СТБВВ (PROG)
P2.3
P2.2
P2.1
P2.0
Порт 2

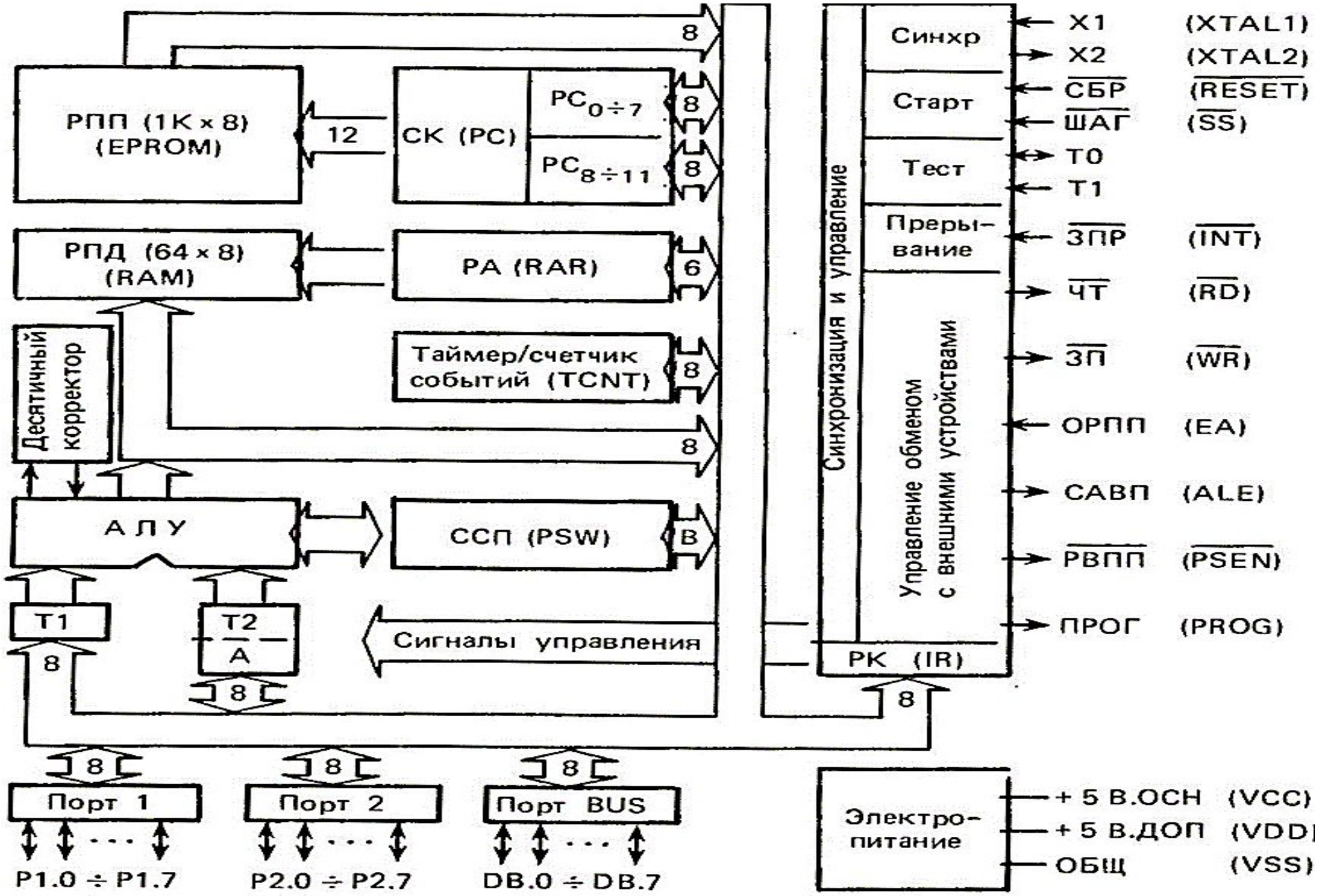
Схемы синхронизации



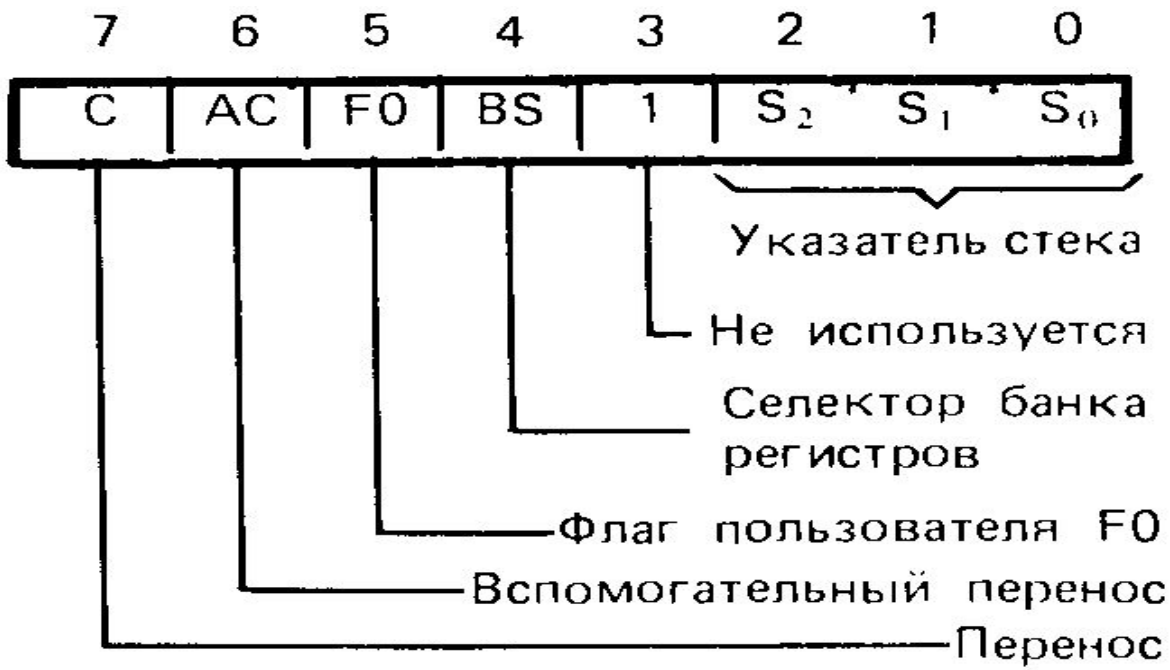
Начальная установка



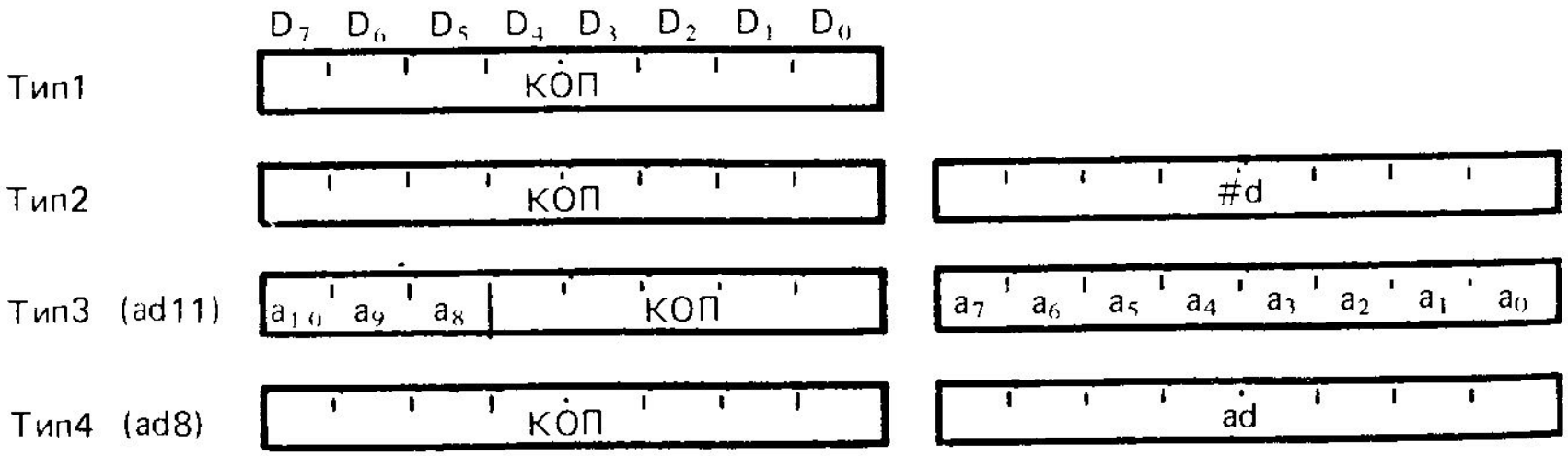
Архитектура I8748



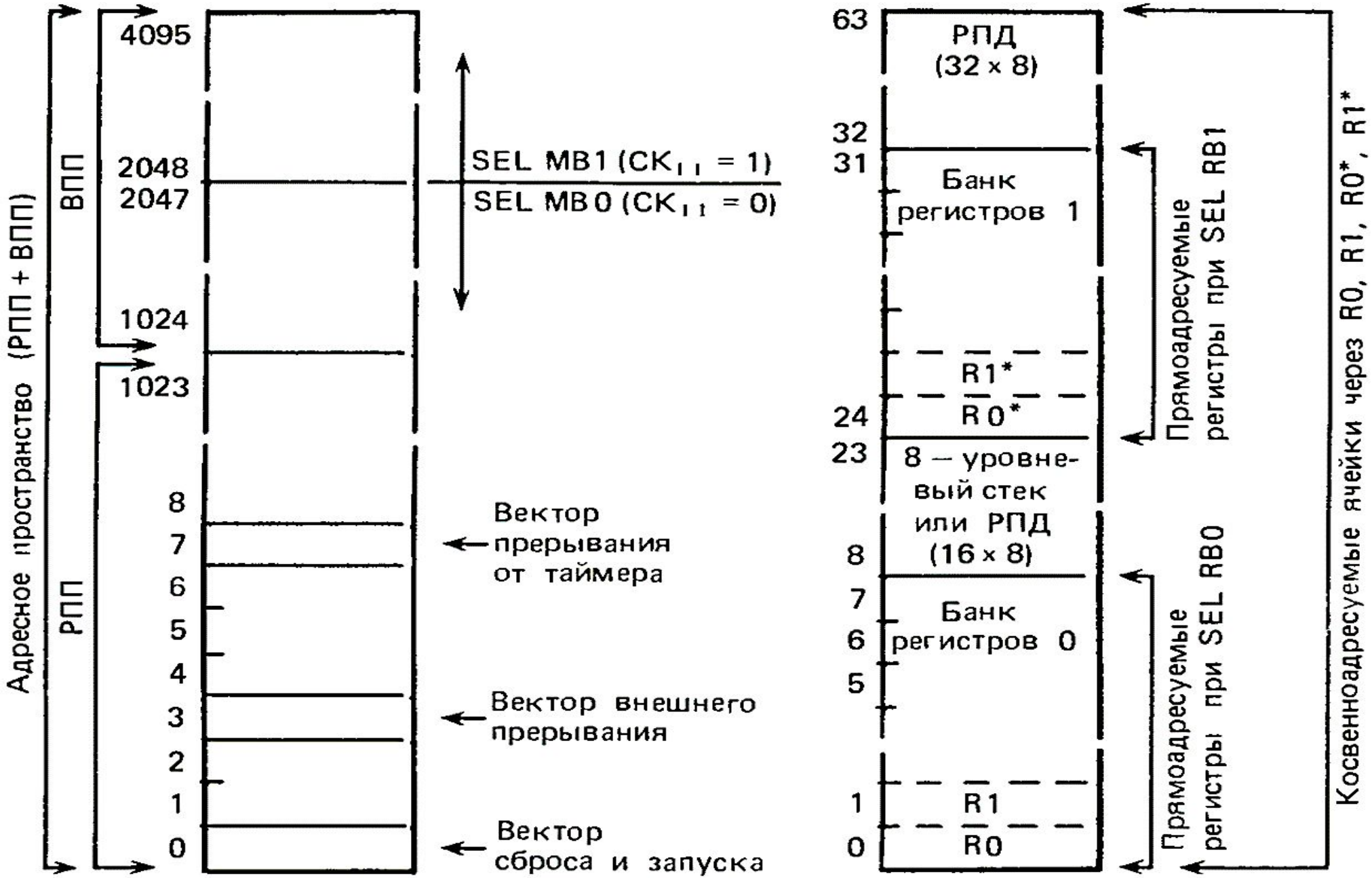
Слово состояния



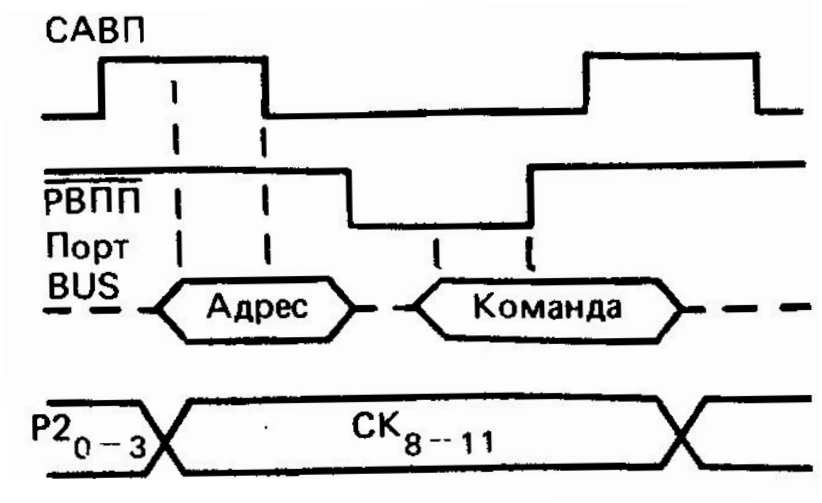
Типы команд

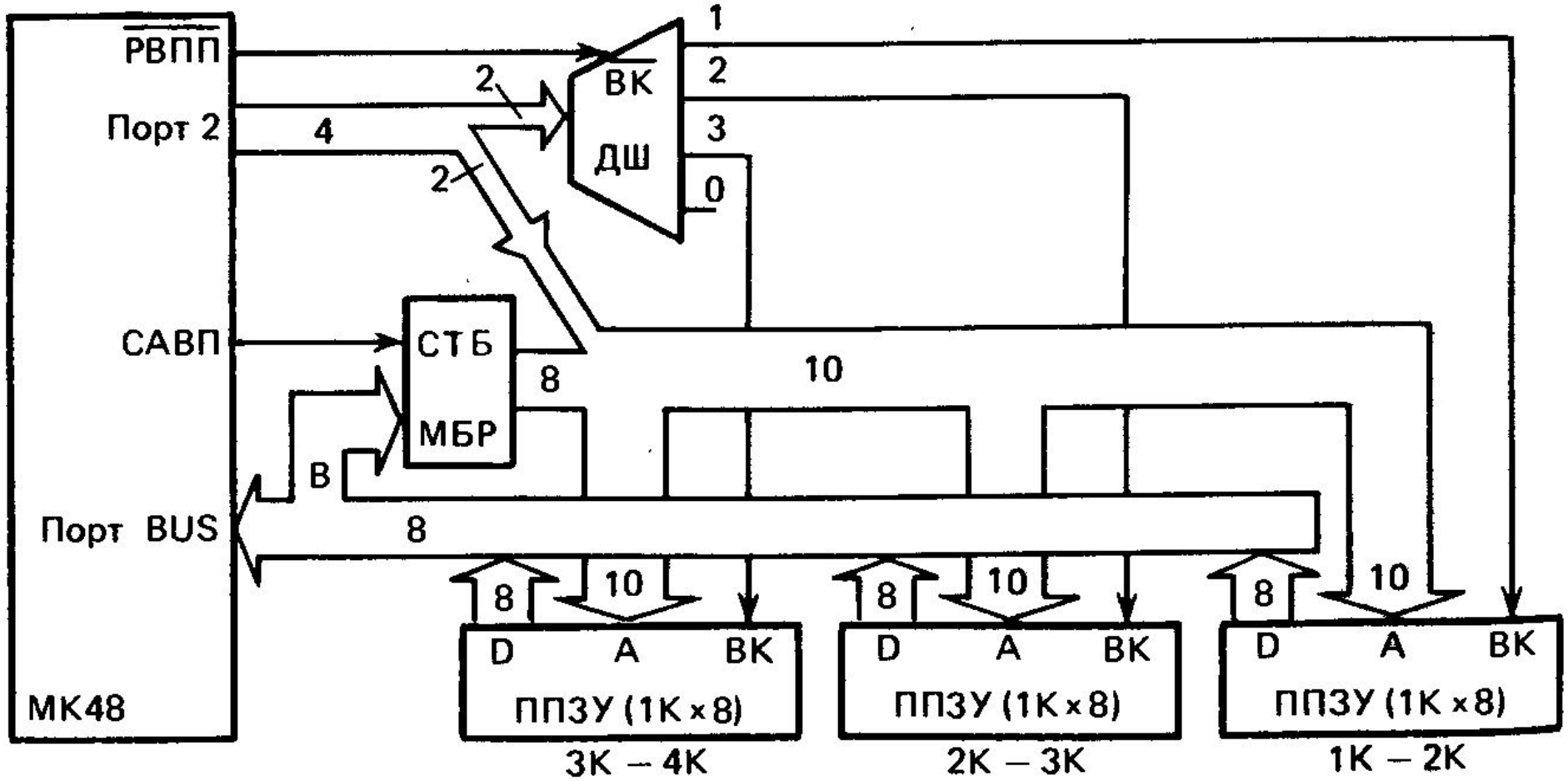


Карта памяти

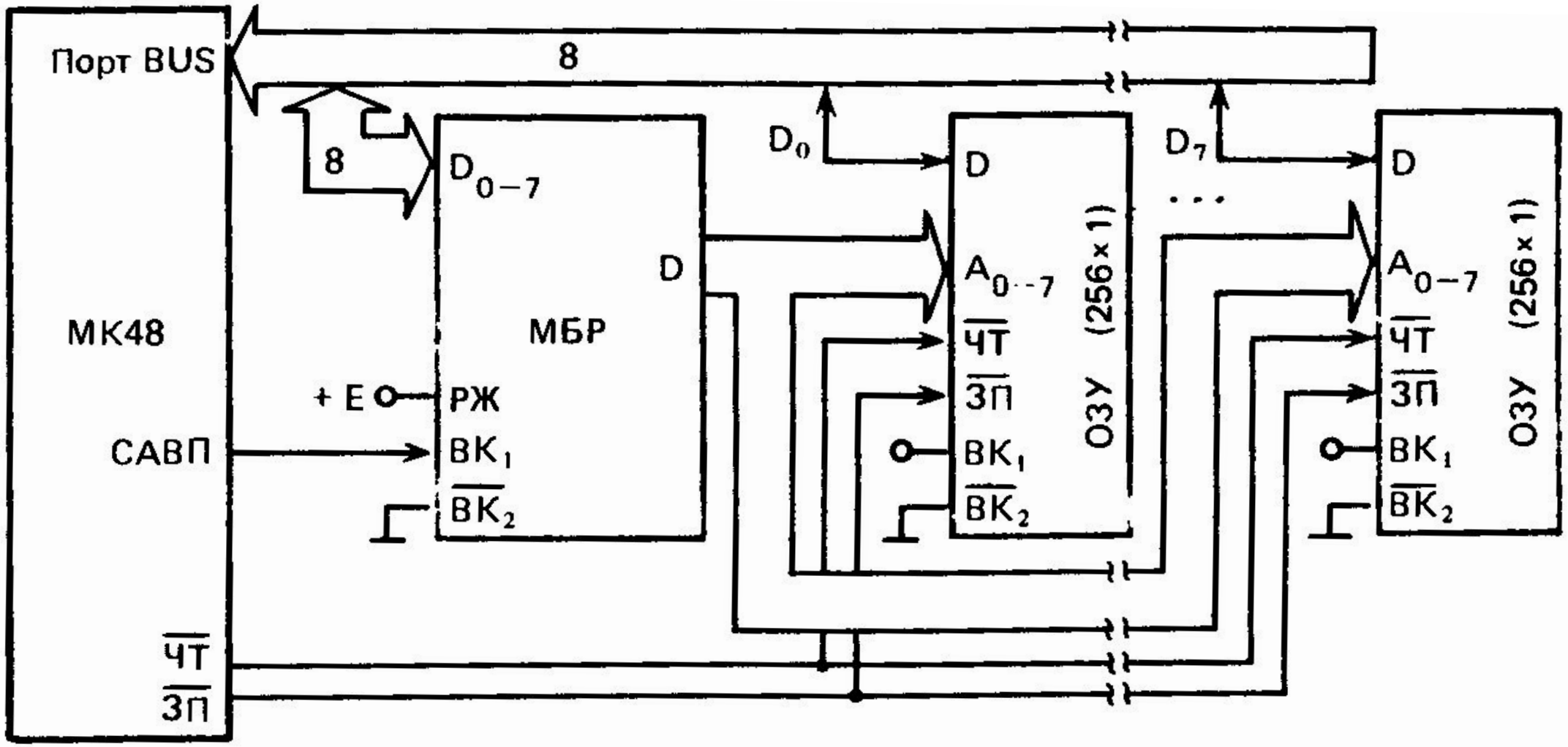


Подключение внешней памяти программ

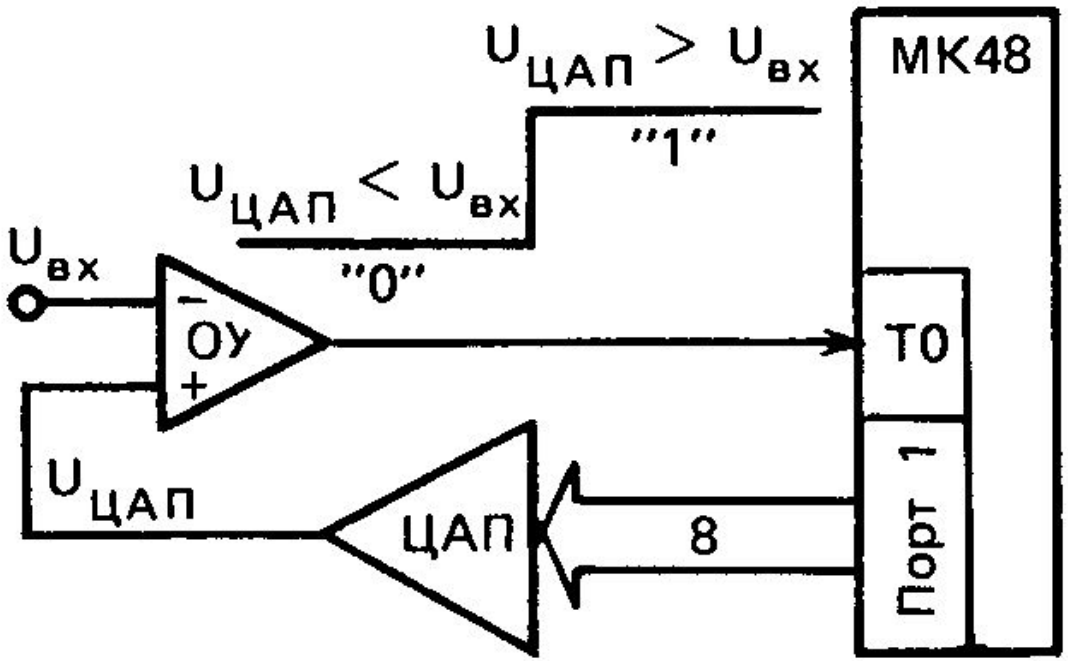




Подключение внешней памяти данных



Ввод информации от аналогового датчика

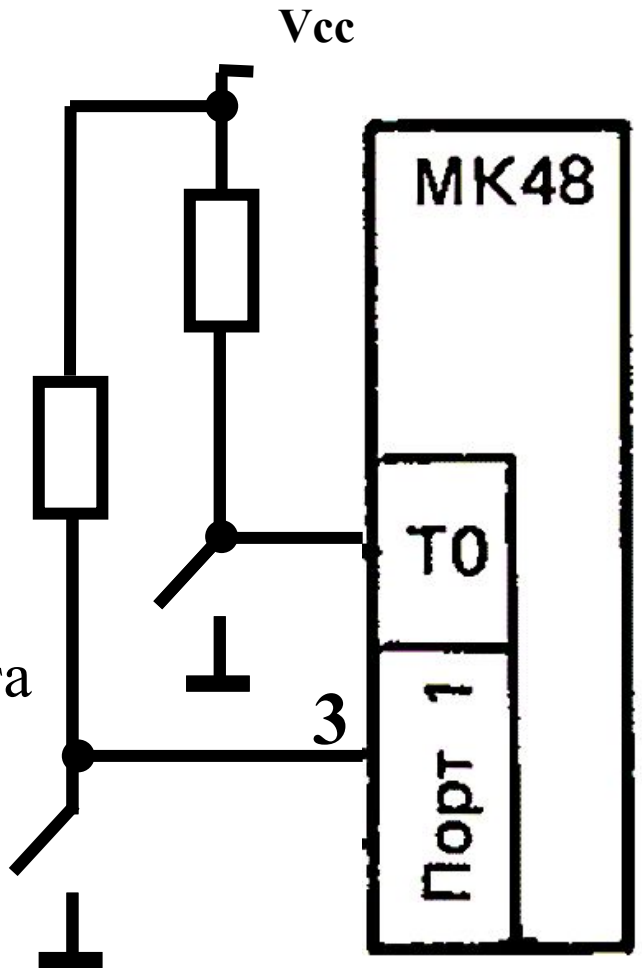



```
;R4 - РЕГИСТР ЦИФРОВОГО ЭКВИВАЛЕНТА
;R3 - РЕГИСТР БЕГУЩЕЙ ЕДИНИЦЫ ДЛЯ УКАЗАНИЯ
;      ТЕКУЩЕГО ВЗВЕШИВАЕМОГО БИТА
CONVRT: MOV     R5,#08H ;ЗАГРУЗКА СЧЕТЧИКА  ЦИКЛОВ
        MOV     R3,#1
        MOV     R4,#0
LOOP:   MOV     A,R3    ;СДВИГ (R3) ВПРАВО НА 1 РАЗРЯД
        RR      A
        MOV     R3,A
        ORL     A,R4    ;ВЗВЕШИВАНИЕ ТЕКУЩЕГО РАЗРЯДА
        OUTL    P1,A    ;ВЫДАЧА ПРОМЕЖУТОЧНОГО ЦИФРОВОГО
                        ;  ЭКВИВАЛЕНТА НА ЦАП
        JT0     ENOUGH  ;ЕСЛИ T0=1, ТО ВЫДАННЫЙ БАЙТ БОЛЬШЕ
                        ;  ДВОИЧНОГО ЭКВИВАЛЕНТА UВХ, И
                        ;  СОХРАНЯЕТСЯ СТАРОЕ ЗНАЧЕНИЕ R4
                        ;  ЕСЛИ T0=0, ТО УСТАНОВЛЕННЫЙ БИТ
        MOV     R4,A    ;  ЗАПОМИНАЕТСЯ В РЕГИСТРЕ R4
ENOUGH: DJNZ    R5,LOOP ;ДЕКРЕМЕНТ R5 И, ЕСЛИ НЕ НУЛЬ, ТО
                        ;  ПЕРЕХОД К АНАЛИЗУ СЛЕДУЮЩЕГО (J-1)-ГО БИТА
```

Подключение контактных датчиков

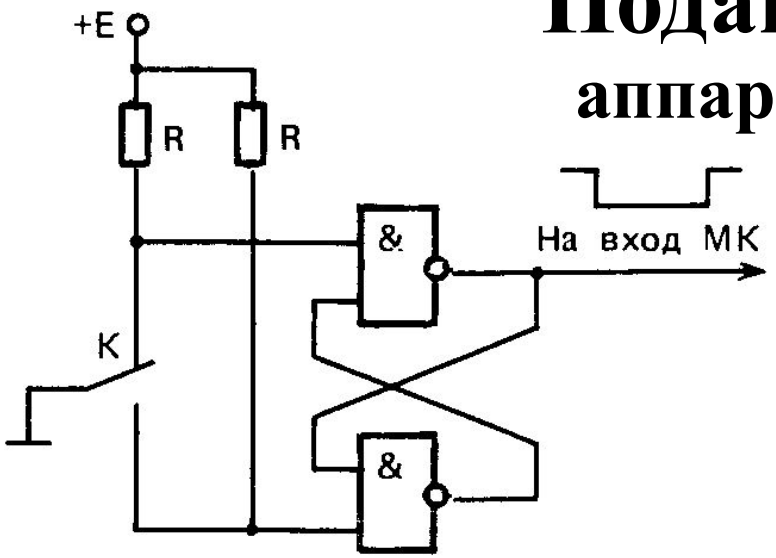
```
Inp:   JT0  Inp      ;цикл ожидания
                     замыкания контакта
```

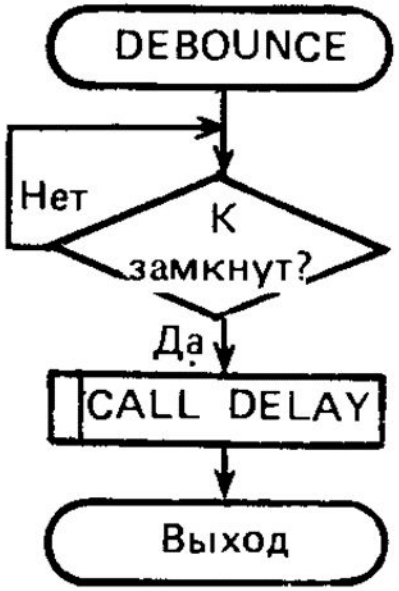
```
       MOV A, 08     ;настройка линии порта
       OUTL P1, A    на ввод информации от контакта
Inp:   IN A, P1      ;цикл ожидания
       JB3  Inp      замыкания контакта
```



Подавление дребезга контакта

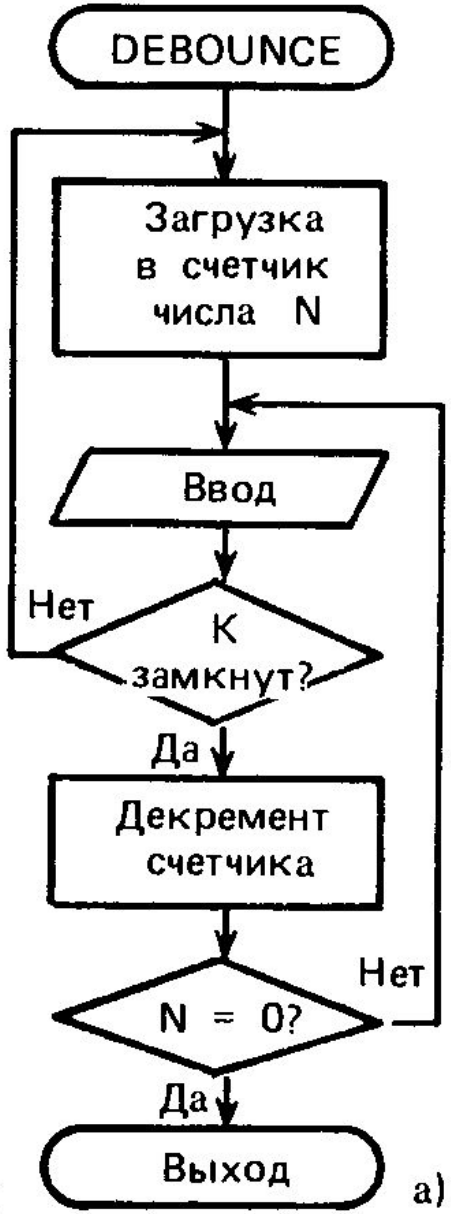
аппаратный и программные способы






```
DBNCDL: JTO     DBNCDL   ;ОЖИДАНИЕ НУЛЯ НА ВХОДЕ T0
        CALL    DELAY    ;ВЫЗОВ ПОДПРОГРАММЫ ЗАДЕРЖКИ
EXIT:   ...              ;ВЫХОД ИЗ ПРОЦЕДУРЫ
```

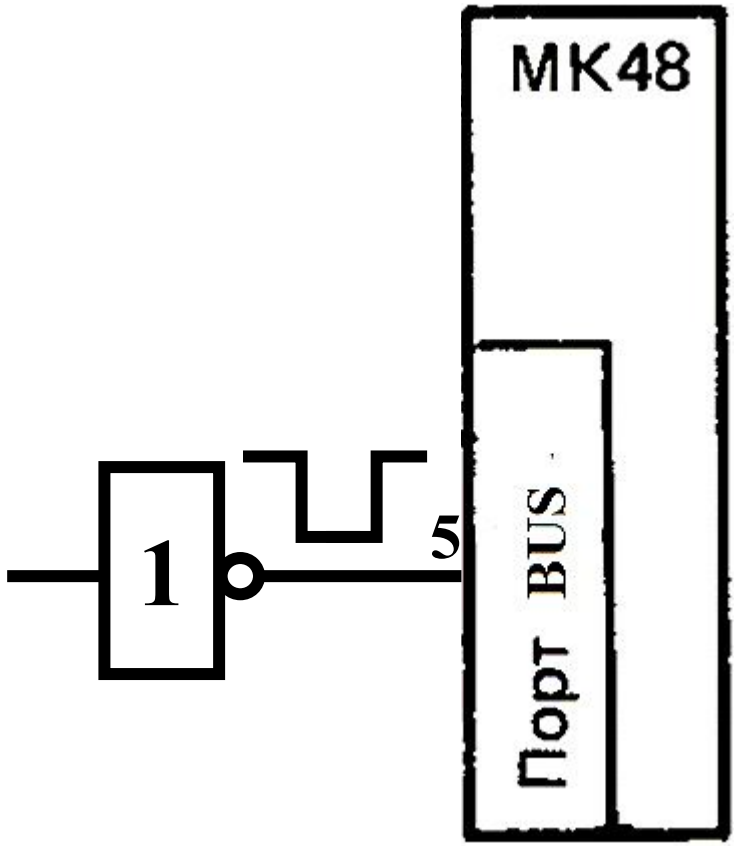
```
DBNC:   MOV     R3,#20       ;ИНИЦИАЛИЗАЦИЯ СЧЕТЧИКА
DBNC1:  JTO     DBNC         ;ЕСЛИ КОНТАКТ РАЗОМКНУТ, ТО НАЧАТЬ
                             ;  ОТСЧЕТ ОПРОСОВ СНАЧАЛА
        DJNZ    R3,DBNC1     ;ДЕКРЕМЕНТ СЧЕТЧИКА, И ЕСЛИ СОДЕРЖИМОЕ
                             ;  СЧЕТЧИКА НЕ РАВНО 0, ТО
                             ;  ПОВТОРИТЬ АНАЛИЗ СОСТОЯНИЯ КОНТАКТА
```



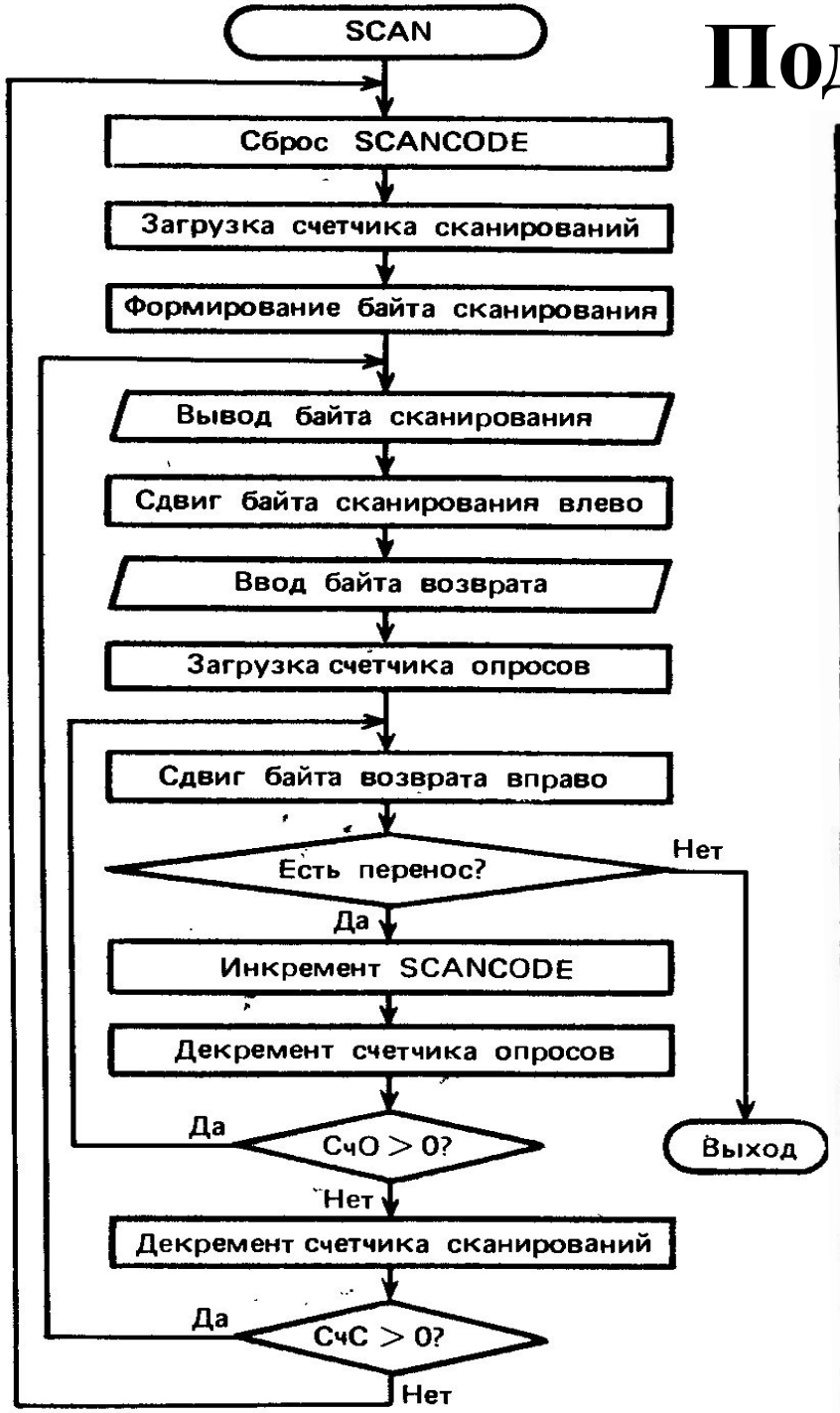
а)

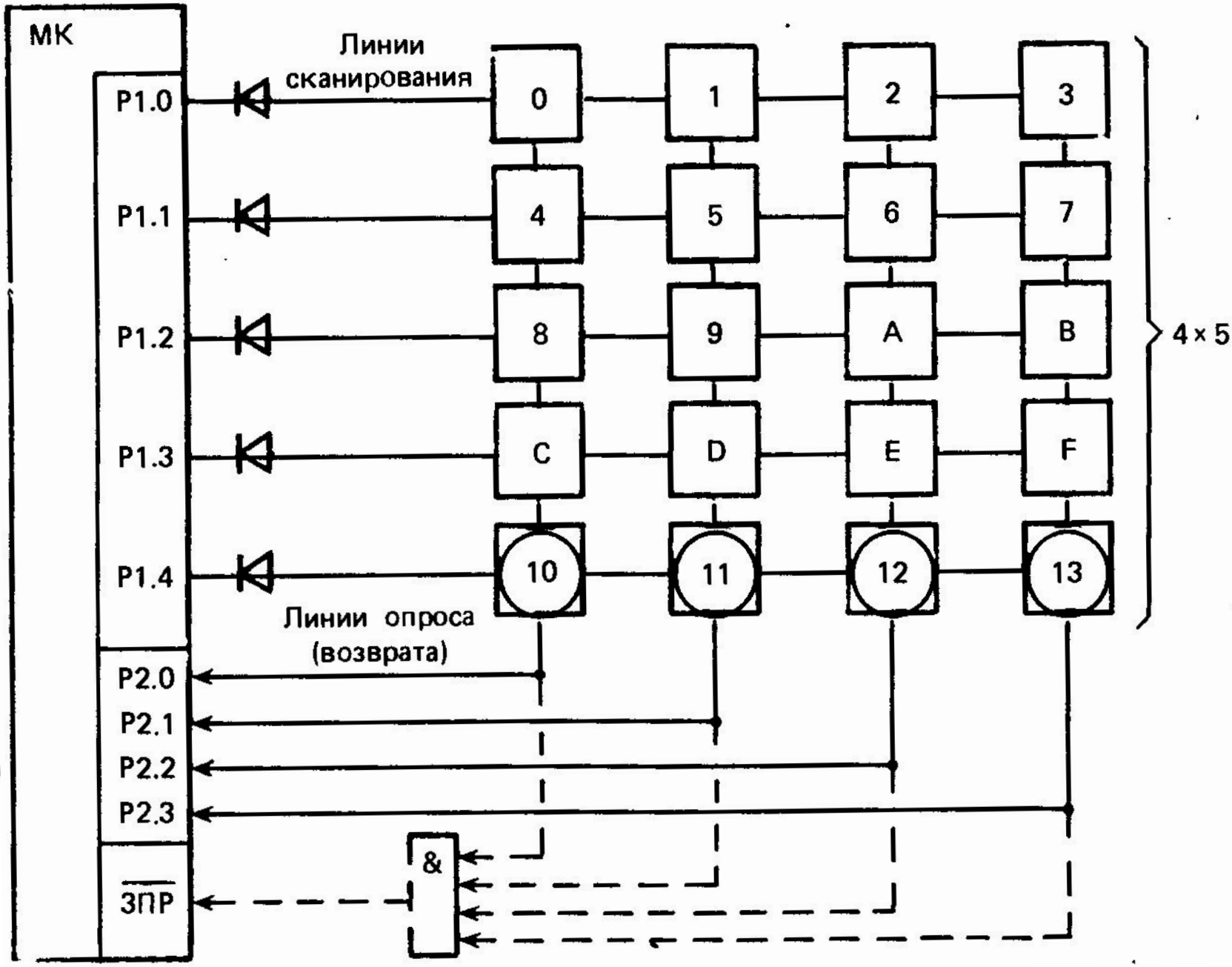
Подключение импульсного датчика

```
Inp:    INS A, BUS      ;цикл ожидания
        JB5  Inp        нулевого уровня
Inp1:   INS A, BUS
        CPL A           ;цикл ожидания
        JB5  Inp        единичного уровня
```

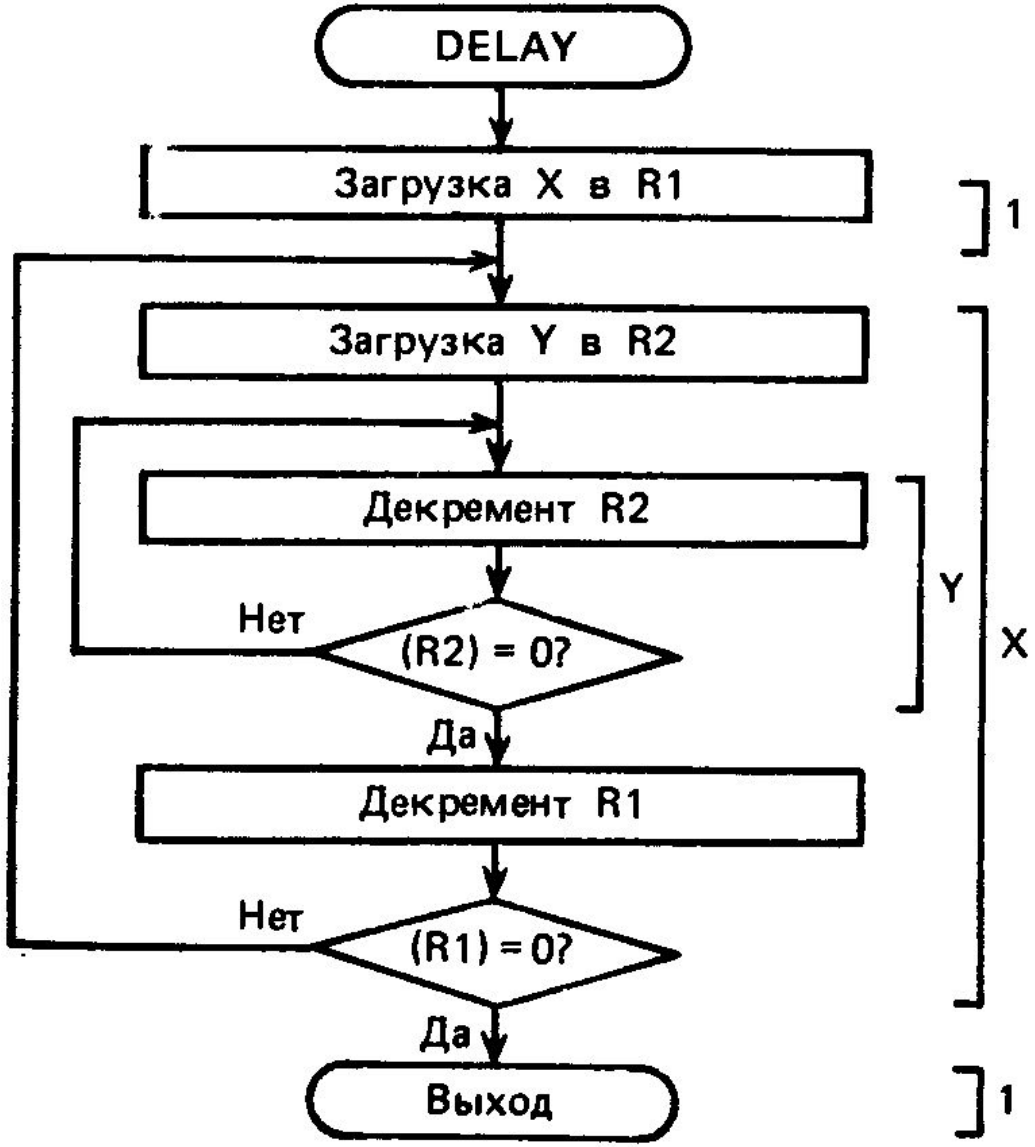


Подключение клавиатуры





Формирование и измерение временных интервалов вложенным циклом




```
DELAY:   MOV     R1,#84       ;ЗАГРУЗКА X
LOOPEX:  MOV     R2,#236      ;ЗАГРУЗКА Y
LOOPIN:  DJNZ    R2,LOOPIN    ;ДЕКРЕМЕНТ R2 И ВНУТРЕННИЙ ЦИКЛ,
                              ;  ЕСЛИ (R2) НЕ РАВНО НУЛЮ
         DJNZ    R1,LOOPEX    ;ДЕКРЕМЕНТ R1 И ВНЕШНИЙ ЦИКЛ,
                              ;  ЕСЛИ (R1) НЕ РАВНО НУЛЮ
         MOV     R3,#4        ;ТОЧНАЯ ПОДСТРОЙКА
LOOPAD:  DJNZ    R3,LOOPAD    ;  ВРЕМЕННОЙ ЗАДЕРЖКИ
         RET
```

$$T = 5 + 5 + X(5 + 5Y + 5) + 5,$$

где T – реализуемый временной интервал в микросекундах = 100 000 мкс

Формирование и измерение временных интервалов с использованием таймера

```
START:  DIS     TCNTI   ;ЗАПРЕТ ПРЕРЫВАНИЯ ОТ ТАЙМЕРА
        CLR     A       ;СБРОС АККУМУЛЯТОРА
        MOV     T,A     ;СБРОС ТАЙМЕРА
        MOV     R5,A    ;СБРОС РЕГИСТРА 5
        STRT    T       ;ЗАПУСК ТАЙМЕРА
M1:     JTF     COUNT   ;ЕСЛИ TF=1, ТО ПЕРЕХОД К COUNT И СБРОС TF
        JMP     M1      ;ЦИКЛ
COUNT:  INC     R5      ;ИНКРЕМЕНТ РЕГИСТРА 5
        MOV     A,R5    ;ПЕРЕСЫЛКА СОДЕРЖИМОГО R5 В АККУМУЛЯТОР
        JB3     INT     ;ПЕРЕХОД К ПОДПРОГРАММЕ ОБСЛУЖИВАНИЯ ПРЕРЫВАНИЯ INT,
                        ;  ЕСЛИ БИТ A.3 РАВЕН 1
        JMP     M1      ;ПЕРЕХОД, ЕСЛИ БИТ A.3 НЕ РАВЕН 1
        ...
        ...
        ...
INT:    STOP    TCNT    ;ОСТАНОВ ТАЙМЕРА
        JMP     07H     ;ПЕРЕХОД К ЯЧЕЙКЕ 7 (ВЕКТОР ПРЕРЫВАНИЯ
                        ;  ОТ СЧЕТЧИКА СОБЫТИЙ)
```

Передача в последовательном коде

```
        ANL     P1,#0F7H        ;ВЫДАЧА СТАРТ-БИТА
        CALL    DELAYT          ;ВРЕМЕННАЯ ЗАДЕРЖКА T
PSCONV: MOV     R7,#8           ;ИНИЦИАЛИЗАЦИЯ СЧЕТЧИКА БИТ
ROTATE: RRC     A               ;СДВИГ ВПРАВО, Т.Е. (C) <-- A0
        JC      OFF             ;ЕСЛИ ПЕРЕНОС, ТО УПРАВЛЕНИЕ ПЕРЕДАЕТСЯ
                                ;  ПРОЦЕДУРЕ ВЫДАЧИ 1
ON:     ANL     P1,#11110111B   ;ВЫДАЧА НА P1.3 СИГНАЛА 0
        JMP     DLY
OFF:    ORL     P1,#00001000B   ;ВЫДАЧА НА P1.3 СИГНАЛА 1
        JMP     DLY
DLY:    CALL    DELAYT          ;ВРЕМЕННАЯ ЗАДЕРЖКА T
        DJNZ    R7,ROTATE       ;ДЕКРЕМЕНТ СЧЕТЧИКА БИТ И ЦИКЛ,
                                ;  ЕСЛИ НЕ НУЛЬ
        ORL     P1,#08H         ;ВЫДАЧА СТОП-БИТА
        CALL    DELAYT          ;ВРЕМЕННАЯ ЗАДЕРЖКА T
EXIT:   ...                     ;ВЫХОД ИЗ ПРОЦЕДУРЫ
```

Приём последовательного кода

```
WAIT:     JT0      WAIT      ;ОЖИДАНИЕ СТАРТ-БИТА
          CALL     DELAYX    ;ЗАДЕРЖКА T/2
          JT0      WAIT      ;ЕСЛИ T0=1, TO ПОВТОРИТЬ
SPCONV:   MOV      R7,#8     ;ЗАГРУЗКА СЧЕТЧИКА БИТ, N=8
          CLR      A         ;СБРОС АККУМУЛЯТОРА
LOOP:     CLR      C         ;СБРОС ФЛАГА ПЕРЕНОСА
          CALL     DELAYT    ;ЗАДЕРЖКА НА ВРЕМЯ T
          JNT0     ROTATE    ;ЕСЛИ T0=0, TO СОХРАНЕНИЕ НУЛЕВОГО
                             ;  СОСТОЯНИЯ ФЛАГА ПЕРЕНОСА, ИНАЧЕ
          CPL      C         ;  УСТАНОВКА ФЛАГА ПЕРЕНОСА
ROTATE:   RRC      A         ;СДВИГ ПАРАЛЛЕЛЬНОГО КОДА
          DJNZ     R7,LOOP   ;ДЕКРЕМЕНТ СЧЕТЧИКА БАЙТ,
                             ;  И ЕСЛИ НЕ НУЛЬ, TO ЦИКЛ
EXIT:     ...                ;ВЫХОД ИЗ ПРОЦЕДУРЫ
```

Контроль паритета

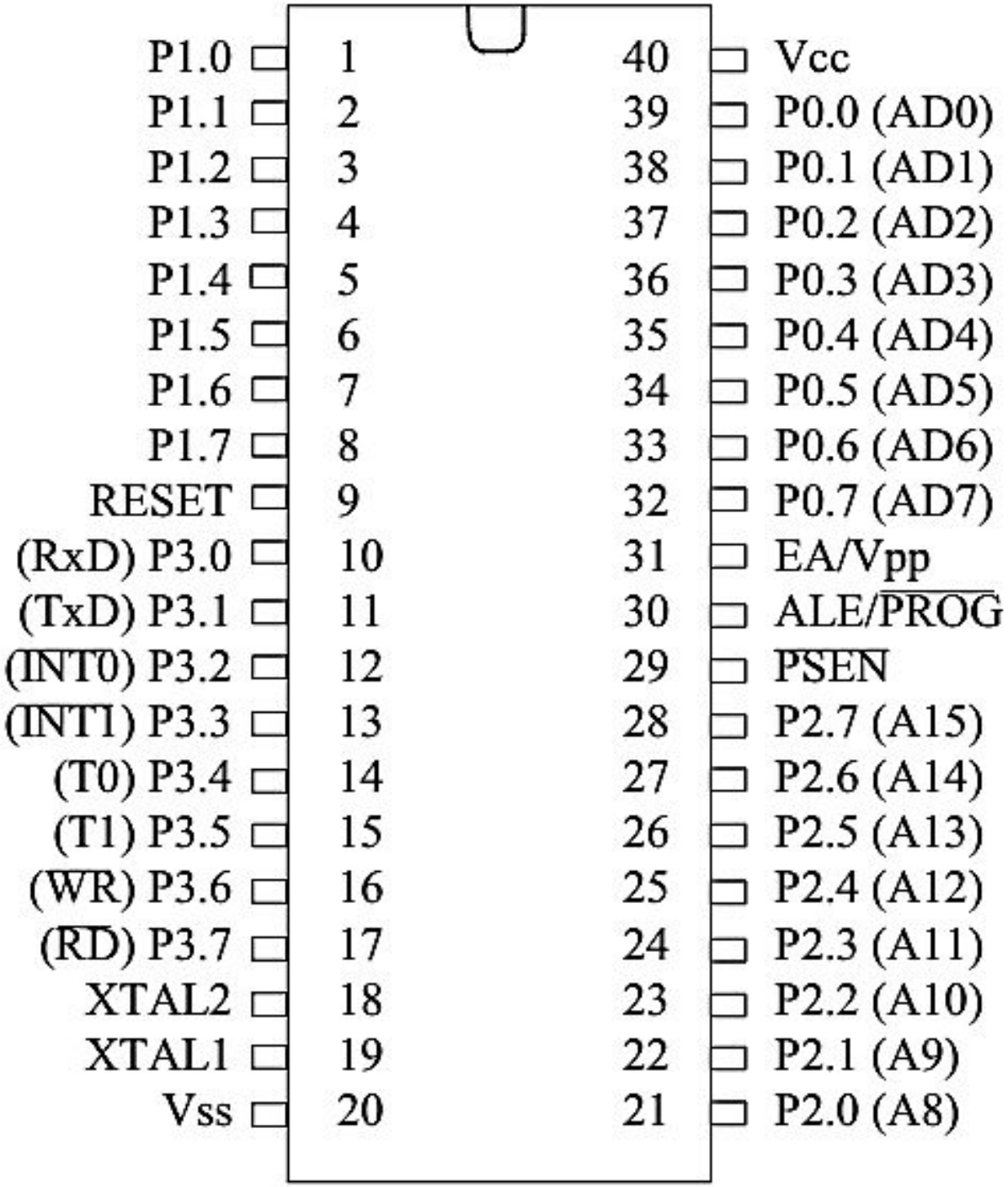
после выполнения программы
аккумулятор сохранит своё значение,
флаг пользователя (в состава PSW) будет установлен,
если число единиц в аккумуляторе было нечетно

```
        CLR     F0        ;СБРОС F0
        MOV     R7,#8     ;ЧИСЛО ПОВТОРОВ
LOOP:   RRC     A         ;ПЕРЕСЫЛКА БИТА A.0 В ПЕРЕНОС
        JNC     NEXT      ;ПРОПУСТИТЬ, ЕСЛИ БИТ РАВЕН 0
        CPL     F0        ;ПОДСЧЕТ ПАРИТЕТА
NEXT:   DJNZ    R7,LOOP   ;ПОВТОРИТЬ 8 РАЗ
```

MCS 51

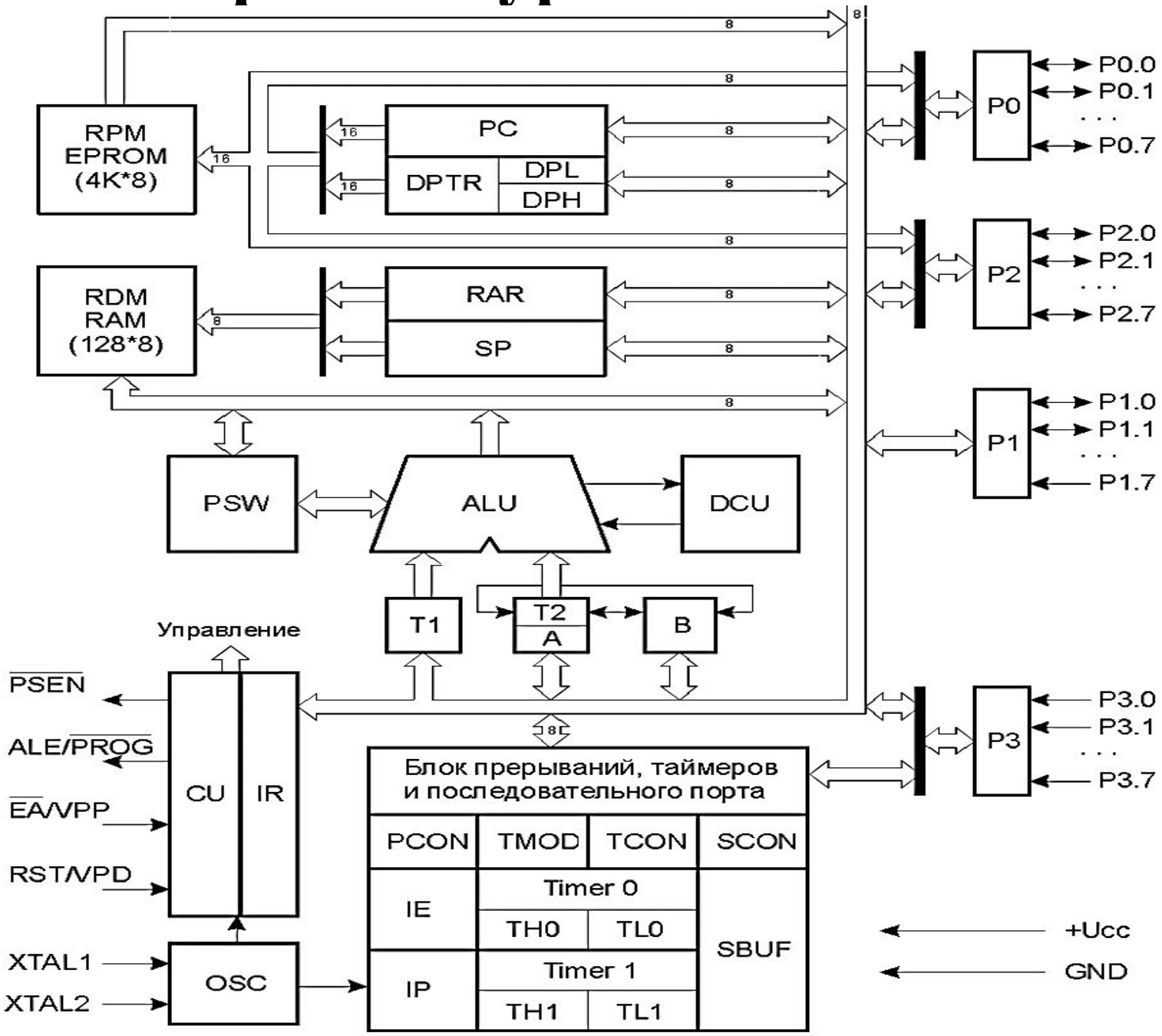
Микроконтроллеры семейства MCS 51 и его аналоги

Type	Manu-facturer	Max. Clock Rate	ROM (Byte)	RAM / XRAM (Byte)	Max. I/O Lines	Timer (16-Bit)	Serial I/O	ADC-In/ Res	Others	PDF-Size (Data Sheet)
AT-89C51	Atmel	24	4k Flash	128	32	2	1	-	-	122k
AT-89C52	Atmel	24	8k Flash	256	32	3	1	-	-	173k
AT-89C1051	Atmel	24	1k Flash	64	15	2	1	-	Analog Comp.	219k
AT-89C2051	Atmel	24	2k Flash	128	15	2	1	-	Analog Comp.	246k
DS-80C310	Dallas	33	-	256	32	3	1	-	2 Data Pointer	327k
DS-80C320	Dallas	33	-	256	32	3	2	-	Low Power, WDT	397k
DS-80C323	Dallas	18	-	256	32	3	2	-	Low Power, WDT	397k
DS-87C520	Dallas	33	16k	256 / 1k	32	3	2	-	WDT	470k
DS-87C530	Dallas	33	16k	256 / 1k	32	3	2	-	RTC, WDT	343k
I-8XC51	Intel	24	4k	128	32	2	1	-	-	288k
I-8XC51FX	Intel	20	8k-32k	256	32	2	1	-	PCA	284k
SC-8XC51	Philips	33	4k	128	32	2	1	-	-	411k
P-8XC52	Philips	33	8k	256	32	3	1	-	-	380k
SC-8XC451	Philips	16	4k	128	56	2	1	-	Parallel Interface	315k
P-8XC550	Philips	16	4k	128	24 +8in	2	1	8 / 8	WDT	292k
PCB-8XC552	Philips	24	8k	256	40 +8in	2	2	8 / 10	I2C, WDT, PWM	403k
PCB-8XC562	Philips	16	8k	256	40 +8in	3	1	8 / 8	WDT, PWM, CAPCOM	247k
P-8XC575	Philips	16	8k	256	32	3	1	-	WDT, PCA, 4Analog Comp.	508k
P-8XC576	Philips	16	8k	256	30	3	1	6 / 10	WDT, PWM, 4Analog Comp.	615k
SAB-80C5X5	Siemens	20	8k	256	40 +8in	3	1	8 / 8	WDT, PWM, WDU	
SAB-80C515A	Siemens	18	-	256 / 1k	40 +8in	3	1	8 / 10	WDT, PWM, WDU	
SAB-80C5X7	Siemens	16	8k	256	56 +12in	4	2	12 / 8	WDT, PWM, WDU	
SAB-80C517A	Siemens	18	-	256 / 1k	56 +12in	4	2	12 / 10	WDT, WDU, PWM	
SAB-C501	Siemens	40	8k	256	32	3	1	-	-	
SAB-C502	Siemens	20	16k	256 / 256	32	3	1	-	progr. XRAM-Start Adr, WDU	
SAB-C504	Siemens	40	16k	256 / 256	32	3	1	8 / 10	PWM for motor, WDU	
SAB-C509	Siemens	16	-	256 / 3k	64 +15in	5	2	15 / 10	WDT, PWM, WDU	
SAB-C511	Siemens	12	2,5k	128	32	2	1 SSC	-	-	
SAB-C511A	Siemens	12	4k	256	32	2	1 SSC	-	-	
SAB-C513	Siemens	12	8k	256	32	3	2	-	SSC	
SAB-C513A	Siemens	12	16k	256 / 256	32	3	2	-	SSC, EEProm available	
SAB-C515C	Siemens	10	ROMless / 64k	256 / 1k	49 +8in	3	2	8 / 10	Full CAN Interface,	



- **U — потенциал общего провода ("земли");**
- **U— основное напряжение литания +5 В;**
- **X1,X2 —подкл. кварцевого резонатора;**
- **RST — вход сброса микроконтроллера;**
- **PSEN — разрешение ВПП;**
- **ALE — строб адреса внешней памяти;**
- **EA — отключение внутренней ПП;**
- **P1 — 8- битный квазидвунаправленный порт ввода/вывода;**
- **P2 — 8-битный квазидвунаправленный порт ввода/вывода;**
- **P3 — 8- битный квазидвунаправленный порт ввода/вывода; может выполнять альтернативные функции;**
- **P0 — 8- битный двунаправленный порт ввода-вывода**

Архитектура Intel 8751



Устройство управления и синхронизации

Кварцевый резонатор,
подключаемый к внешним выводам микроконтроллера,
управляет работой внутреннего генератора,
который в свою очередь формирует сигналы синхронизации.
Устройство управления (CU) на основе сигналов синхронизации формирует
машинный цикл фиксированной длительности, равной 12 периодам резонатора.
Большинство команд микроконтроллера выполняется за один машинный цикл.
Некоторые команды, оперирующие с 2-байтными словами
или связанные с обращением к внешней памяти, выполняются за два машинных цикла.
Команды деления и умножения требуют четырех машинных циклов.
К устройству управления примыкает регистр команд

Организация ОЗУ, ПЗУ и регистров

Объем резидентной ПП – 4 Кбайт.
При обращении к внешней памяти программ все микроконтроллеры семейства 8051 используют 16-разрадный адрес, что обеспечивает доступ к 64 Кбайт ПЗУ.

Объем резидентной ПД – 128 байт.
Объем внешней памяти данных до 64 Кбайт.
первые 32 байта организованы в четыре банка РОН (0 – 3)
каждый банк из восьми регистров R0 — R7.
В любой момент программе доступен только один банк регистров,
номер которого содержится в третьем и четвертом битах
слова состояния PSW

Регистры специальных функций (Special Function Register)

Адрес	Символ	Наименование
0E0H	*ACC	Аккумулятор (Accumulator)
0F0H	*B	Регистр расширитель аккумулятора (Multiplication Register)
0D0H	*PSW	Слово состояния программы (Program Status Word)
080H	*P0	Порт 0 (SFR P0)
090H	*P1	Порт 1 (SFR P1)
0A0H	*P2	Порт 2 (SFR P2)
0B0H	*P3	Порт 3 (SFR P3)
081H	SP	Регистр указатель стека (Stack Pointer)
083H	DPH	Старший байт регистра указателя данных DPTR (Data Pointer High)
082H	DPL	Младший байт регистра указателя данных DPTR (Data Pointer Low)
08CH	TH0	Старший байт таймера 0 ()
08AH	TL0	Младший байт таймера 0 ()
08DH	TH1	Старший байт таймера 1 ()
08BH	TL1	Младший байт таймера 1 ()
089H	TMOD	Регистр режимов таймеров счетчиков (Timer/Counter Mode Control Register)
088H	*TCON	Регистр управления статуса таймеров (Timer/Counter Control Register)
0B8H	*IP	Регистр приоритетов (Interrupt Priority Control Register)
0A8H	*IE	Регистр маски прерывания (Interrupt Enable Register)
087H	PCON	Регистр управления мощностью (Power Control Register)
098H	*SCON	Регистр управления приемопередатчиком (Serial Port Control Register)
099H	SBUF	Буфер приемопередатчика (Serial Data Buffer)

Карта адресуемых бит в РПД

Адреса	(D_7)							(D_0)
7FH								
2FH	7F	7E	7D	7C	7B	7A	79	78
2EH	77	76	75	74	73	72	71	70
2DH	6F	6E	6D	6C	6B	6A	69	68
2CH	67	66	65	64	63	62	61	60
2BH	5F	5E	5D	5C	5B	5A	59	58
2AH	57	56	55	54	53	52	51	50
29H	4F	4E	4D	4C	4B	4A	49	48
28H	47	46	45	44	43	42	41	40
27H	3F	3E	3D	3C	3B	3A	39	38
26H	37	36	35	34	33	32	31	30
25H	2F	2E	2D	2C	2B	2A	29	28
24H	27	26	25	24	23	22	21	20
23H	1F	1E	1D	1C	1B	1A	19	18
22H	17	16	15	14	13	12	11	10
21H	0F	0E	0D	0C	0B	0A	09	08
20H	07	06	05	04	03	02	01	00
1FH	Банк 3							
18H								
17H	Банк 2							
10H								
0FH	Банк 1							
08H								
07H	Банк 0							
00H								

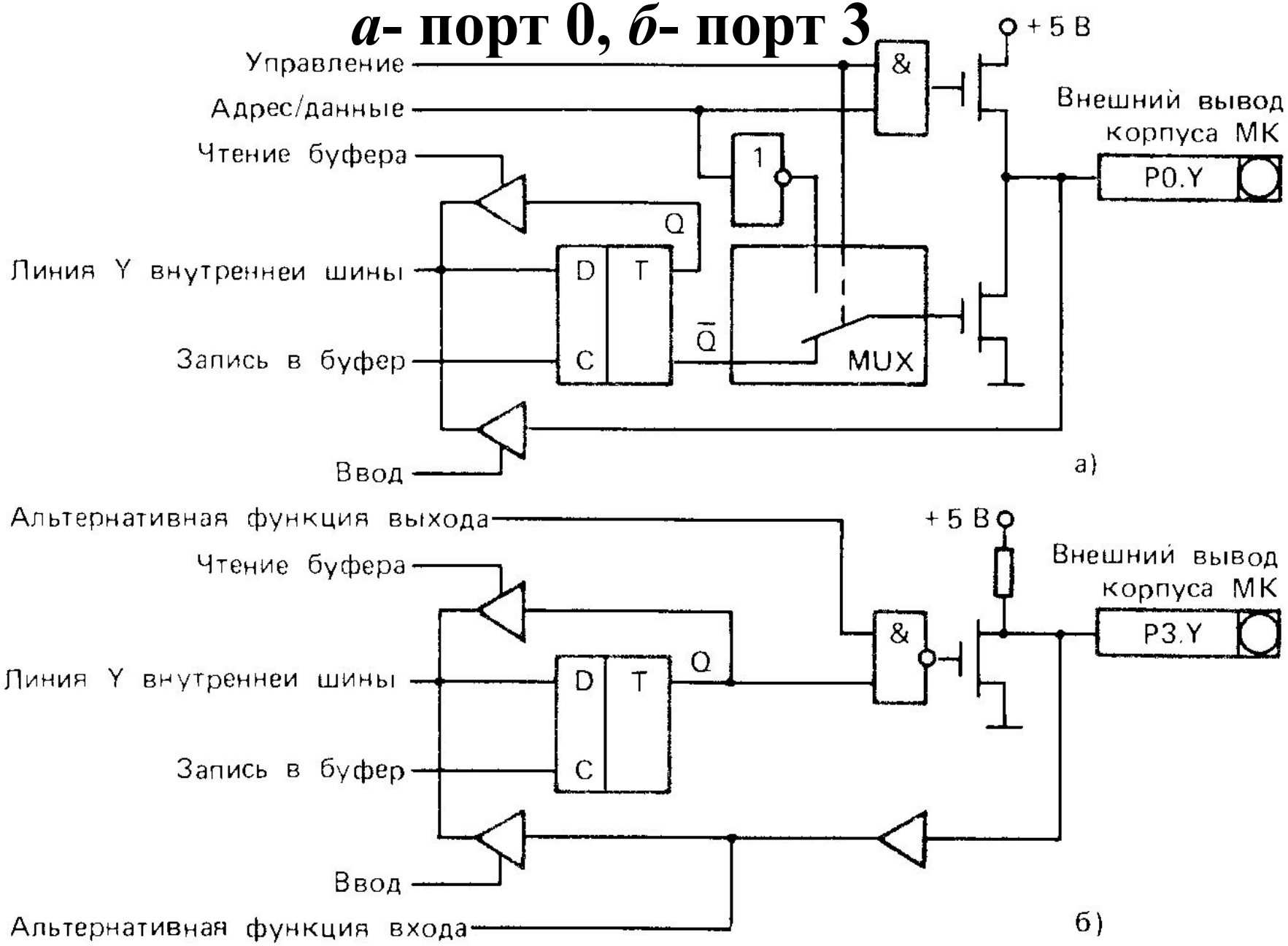
Карта адресуемых бит в блоке регистров специальных функций

Адрес байта	Адреса битов по разрядам								Имя регистра
Adr	**D7**	**D6**	**D5**	**D4**	**D3**	**D2**	**D1**	**D0**	**Name**
F0H	F7	F6	F5	F4	F3	F2	F1	F0	B
...	. . .								...
E0H	E7	E6	E5	E4	E3	E2	E1	E0	ACC
...	. . .								...
D0H	D7	D6	D5	D4	D3	D2	D1	D0	PSW
...	. . .								...
B8H	-	-	-	BC	BB	BA	B9	B8	IP
...	. . .								...
B0	B7	B6	B5	B4	B3	B2	B1	B0	P3
...	. . .								...
A8H	AF	-	-	AC	AB	AA	A9	A8	IE
...	. . .								...
A0H	A7	A6	A5	A4	A3	A2	A1	A0	P2
...	. . .								...
98H	9F	9E	9D	9C	9B	9A	99	98	SCON
...	. . .								...
90H	97	96	95	94	93	92	91	90	P1
...	. . .								...
88H	8F	8E	8D	8C	8B	8A	89	88	TCON
...	. . .								...
80H	87	86	85	84	83	82	81	80	P0

Регистр флагов (PSW)

<table>
<tr><th>Символ</th><th>Позиция</th><th>Имя и назначение</th></tr>
<tr><td>P</td><td>PSW.0</td><td>Флаг паритета. Устанавливается и сбрасывается аппаратурно в каждом цикле команды и фиксирует нечетное/четное число единичных бит в аккумуляторе</td></tr>
<tr><td>-</td><td>PSW.1</td><td>Не используется</td></tr>
<tr><td>OV</td><td>PSW.2</td><td>Флаг переполнения. Устанавливается и сбрасывается аппаратурно при выполнении арифметических операций</td></tr>
<tr><td>RS0 - RS1</td><td>PSW.3 - PSW.4</td><td>Биты выбора используемого банка регистров. Могут быть изменены программным путем
<table>
<tr><th>RS0</th><th>RS1</th><th>Банк</th><th>Границы адресов ОЗУ</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>00H - 07H</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>08H - 0FH</td></tr>
<tr><td>0</td><td>1</td><td>2</td><td>10H - 17H</td></tr>
<tr><td>1</td><td>1</td><td>3</td><td>18H - 1FH</td></tr>
</table></td></tr>
<tr><td>F0</td><td>PSW.5</td><td>Флаг пользователя. Может быть установлен, сброшен или проверен программой пользователя</td></tr>
<tr><td>AC</td><td>PSW.6</td><td>Флаг вспомогательного переноса. Устанавливается и сбрасывается только аппаратными средствами при выполнении команд сложения и вычитания и сигнализирует о переносе или заеме в бите 3 аккумулятора</td></tr>
<tr><td>C</td><td>PSW.7</td><td>Флаг переноса. Устанавливается и сбрасывается как аппаратурно, так и программным путем</td></tr>
</table>

Схемотехника портов ввода-вывода мс51, *а*- порт 0, *б*- порт 3



Альтернативные функции порта P3

активируются предварительной записью «1»
в соответствующие биты порта

Символ	Позиция	Имя и назначение
$\overline{RD}$	P3.7	Чтение. Активный сигнал низкого уровня формируется аппаратурно при обращении к ВПД
$\overline{WR}$	P3.6	Запись. Активный сигнал низкого уровня формируется аппаратурно при обращении к ВПД
T1	P3.5	Вход таймера/счетчика 1 или тест-вход
T0	P3.4	Вход таймера/счетчика 0 или тест-вход
$\overline{INT1}$	P3.3	Вход запроса прерывания 1. Воспринимается сигнал низкого уровня или срез
$\overline{INT0}$	P3.2	Вход запроса прерывания 0. Воспринимается сигнал низкого уровня или срез
TXD	P3.1	Выход передатчика последовательного порта в режиме УАПП. Выход синхронизации в режиме сдвигающего регистра
RXD	P3.0	Вход приемника последовательного порта в режиме УАПП. Ввод/вывод данных в режиме сдвигающего регистра

Таймеры / счетчики мс51

два программируемых 16-битных таймера/счетчика (Т/С0 и Т/С1),
могут быть использованы как в качестве

- **таймеров** – содержимое Т/С инкрементируется в каждом машинном цикле (через каждые 12 периодов колебаний кварцевого резонатора)

- **счетчиков внешних событий** – инкрементируются под воздействием перехода из 1 в 0 внешнего входного сигнала, подаваемого на соответствующий (Т0,Т1) вывод. на распознавание требуется два машинных цикла, максимальная частота подсчета входных сигналов равна 1/24 частоты резонатора.

для управления режимами работы Т/С
и для организации их взаимодействия с системой прерываний
используются два регистра специальных функций – **TMOD** и **TCON**

Регистр режима работы таймера/счетчика (TMOD)

Символ	Позиция	Имя и назначение
GATE	TMOD.7 для T/C1 и TMOD.3 для T/CO	**Управление блокировкой.** Если бит установлен, то таймер/счетчик "x" разрешен до тех пор, пока на входе "INTx" высокий уровень и бит управления "TRx" установлен. Если бит сброшен, то T/C разрешается, как только бит управления "TRx" устанавливается
C/T	TMOD.6 для T/C1 и TMOD.2 для T/CO	**Бит выбора режима таймера или счетчика событий.** Если бит сброшен, то работает таймер от внутреннего источника сигналов синхронизации. Если; установлен, то работает счетчик от внешних сигналов на входе "Tx"
M1	TMOD.5 для T/C1 и TMOD.1 для T/CO	**Режим работы**
M0	TMOD.4 для T/C1 и TMOD.0 для T/CO	

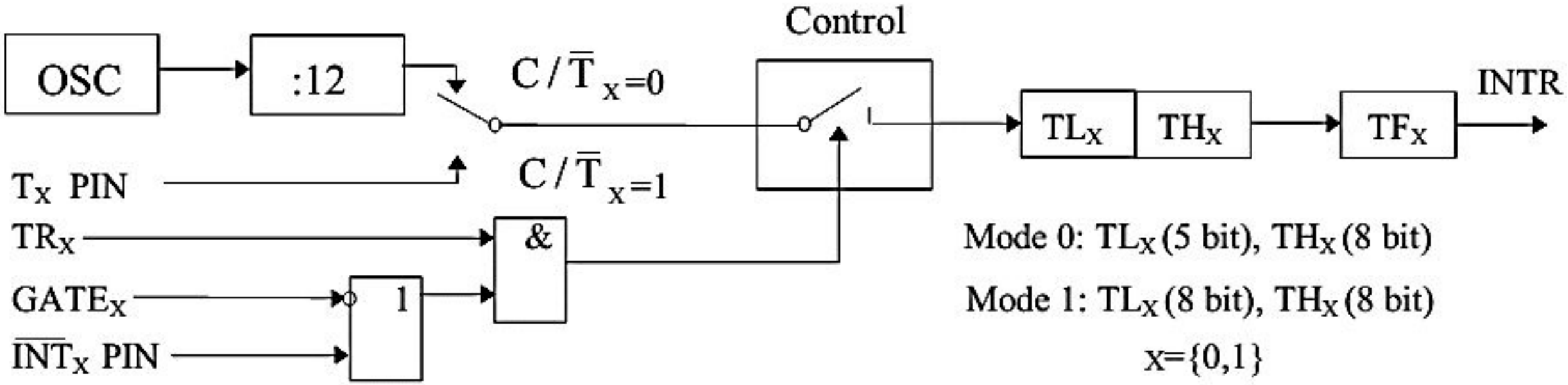
M1	M0	
0	0	Таймер BE48. "TLx" работает как 5-битный предделитель
0	1	16 битный таймер/счетчик. "THx" и "TLx" включен последовательно
1	0	8-битный авто перезагружаемый таймер/счетчик. "THx" хранит значение, которое должно быть перезагружено в "TLx" каждый раз по переполнению
1	1	Таймер/счетчик 1 останавливается. Таймер/счетчик 0: TLO работает как 8-битный таймер/счетчик, и его режим определяется управляющими битами таймера 0. TH0 работает только как 8 битный таймер, и его режим определяется управляющими битами таймера 1

Регистр управления/статуса таймера (TCON)

Символ	Позиция	Имя и назначение
TF1	TCON.7	**Флаг переполнения таймера 1.** Устанавливается аппаратно при переполнении таймера/счетчика. Сбрасывается при обслуживании прерывания аппаратно
TR1	TCON.6	**Бит управления таймера 1.** Устанавливается, / сбрасывается программой для пуска/останова
TF0	TCON.5	**Флаг переполнения таймера 0.** Устанавливается аппаратурно. Сбрасывается при обслуживании прерывания
TR0	TCON.4	**Бит управления таймера 0.** Устанавливается / сбрасывается программой для пуска/останова таймера/счетчика
IE1	TCON.3	**Флаг фронта прерывания 1.** Устанавливается аппаратно, когда детектируется срез внешнего сигнала INT1. Сбрасывается при обслуживании прерывания
IT1	TCON.2	**Бит управления типом прерывания 1.** Устанавливается / сбрасывается программно для спецификации запроса INT1 (срез/низкий уровень)
IE0	TCON.1	**Флаг фронта прерывания 0.** Устанавливается по срезу сигнала INT0. Сбрасывается при обслуживании прерывания
IT1	TCON .0	**Бит управления типом прерывания 0.** Устанавливается / сбрасывается программно для спецификации запроса INT0 (срез/низкий уровень)

Режимы работы таймеров-счетчиков

для T/C0 и T/C1 режимы работы 0, 1 и 2 одинаковы, режимы 3 различны



Режим 0: 8-битный счетчик, к входу которого подключен пяти-битный предделитель частоты (на 32). таймерный регистр имеет разрядность 13 бит.

При переполнении устанавливается флаг прерывания от таймера – TF.

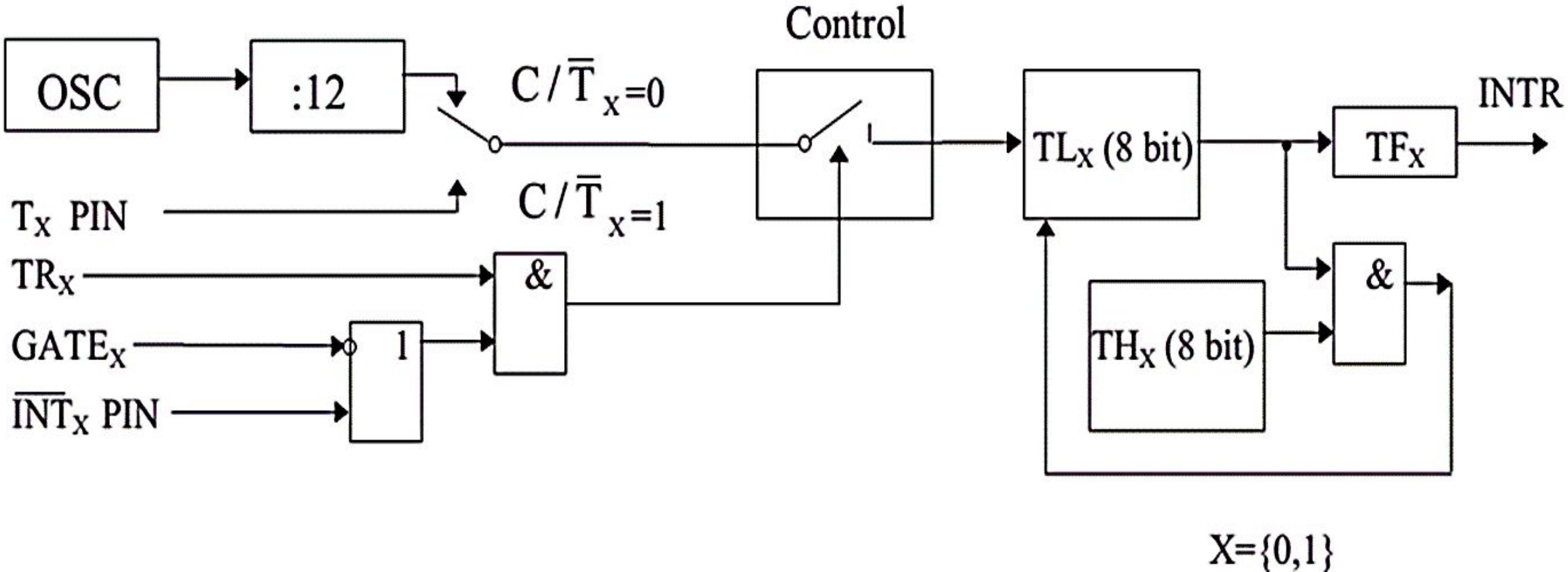
Входной синхросигнал таймера разрешен (поступает на вход T/C), когда управляющий бит TR установлен в 1 либо управляющий бит GATE(блокировка) равен 0, либо на внешний запрос INT поступает уровень 1.

установка бита GATE в 1 позволяет использовать таймер для измерения длительности импульсного сигнала подаваемого на вход запроса прерывания.

Режим 1: Работа T/C такая же, как и в режиме 0, но таймерный регистр имеет разрядность 16 бит

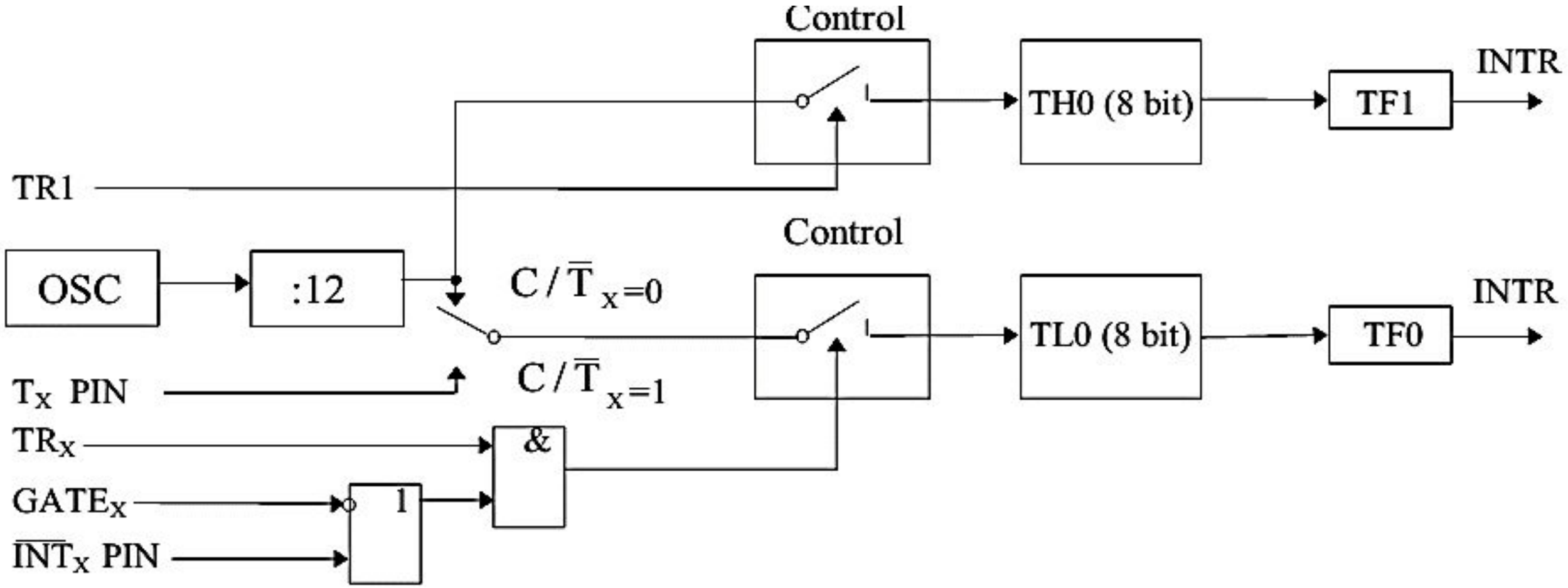
Режим 2:

работа организована таким образом, что переполнение TL
приводит не только к установке флага TF,
но и автоматически перезагружает в TL содержимое старшего байта (TH) таймерного регистра,
которое предварительно было задано программным путем;
перегрузка оставляет содержимое TH неизменным



Режим 3:

T/C1 сохраняет неизменным свое текущее содержимое, так же как и при сбросе управляющего бита TR1 в 0..
TL0 и TH0 функционируют как два независимых восьмибитных счетчика.
Работу TL0 определяют управляющие биты T/C0 (C/T, GATE TR0), INT0 и флаг переполнения TF0.
Работу TH0, который может выполнять только функции таймера определяет управляющий бит TR1.
При этом TH0 использует флаг переполнения TF1.
Можно считать, что в этом режиме имеется три таймера/счетчика.



Универсальный асинхронный приемопередатчик UART
(Universal Asynchronous ReceiverTransmitter)

прием и передача информации в последовательном коде
младшими битами вперед, в дуплексном режиме обмена.

В состав приемопередатчика входят
принимающий и передающий сдвигающие регистры,
а также специальный буферный регистр (**SBUF**) приемопередатчика;
запись байта в буфер приводит к автоматической переписи байта
в сдвигающий регистр передатчика и инициирует начало передачи;

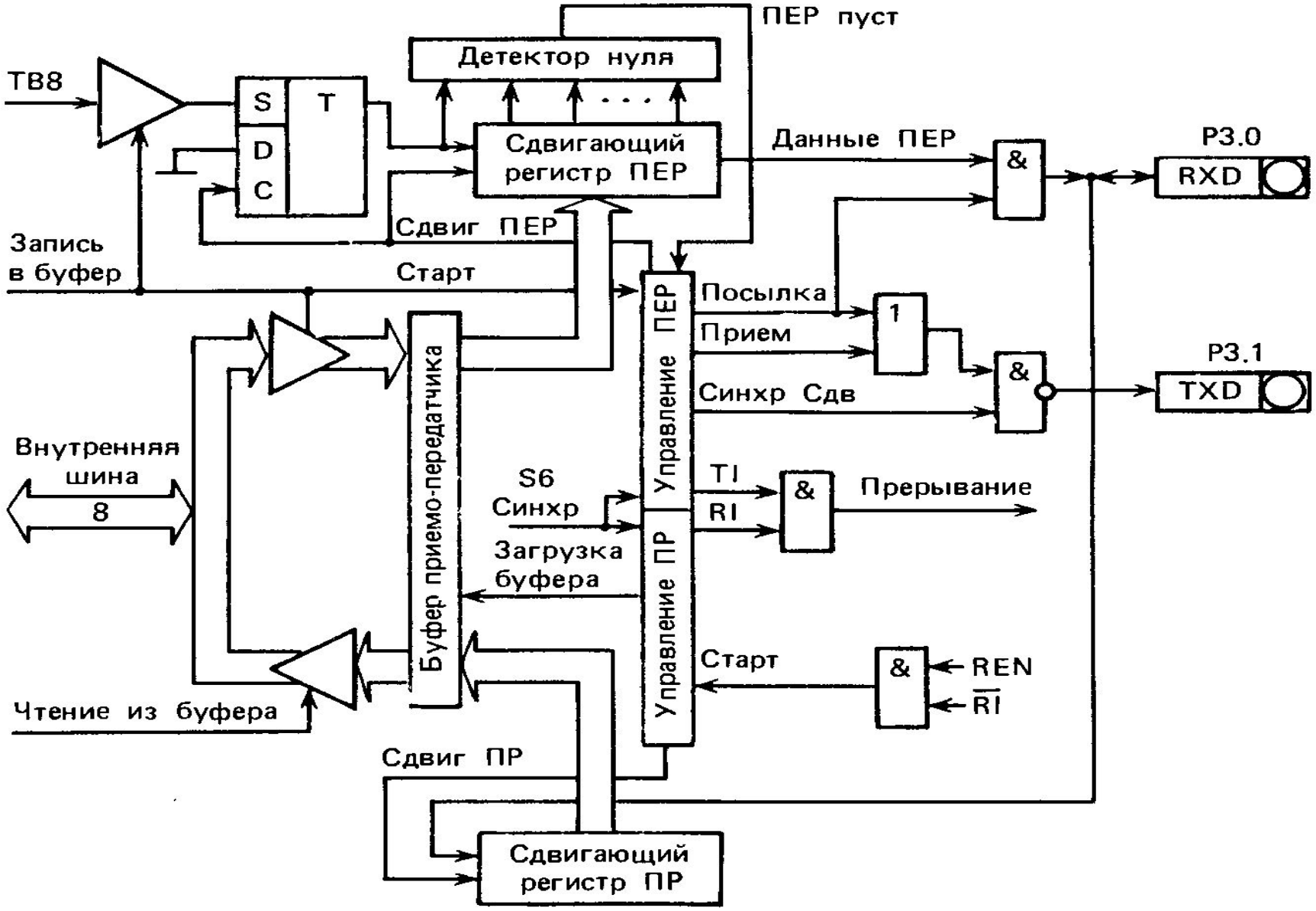
работой последовательного порта управляют:

- Регистр управления/статуса приемопередатчика **SCON**
- Бит **SMOD** регистра управления мощностью (PCON)

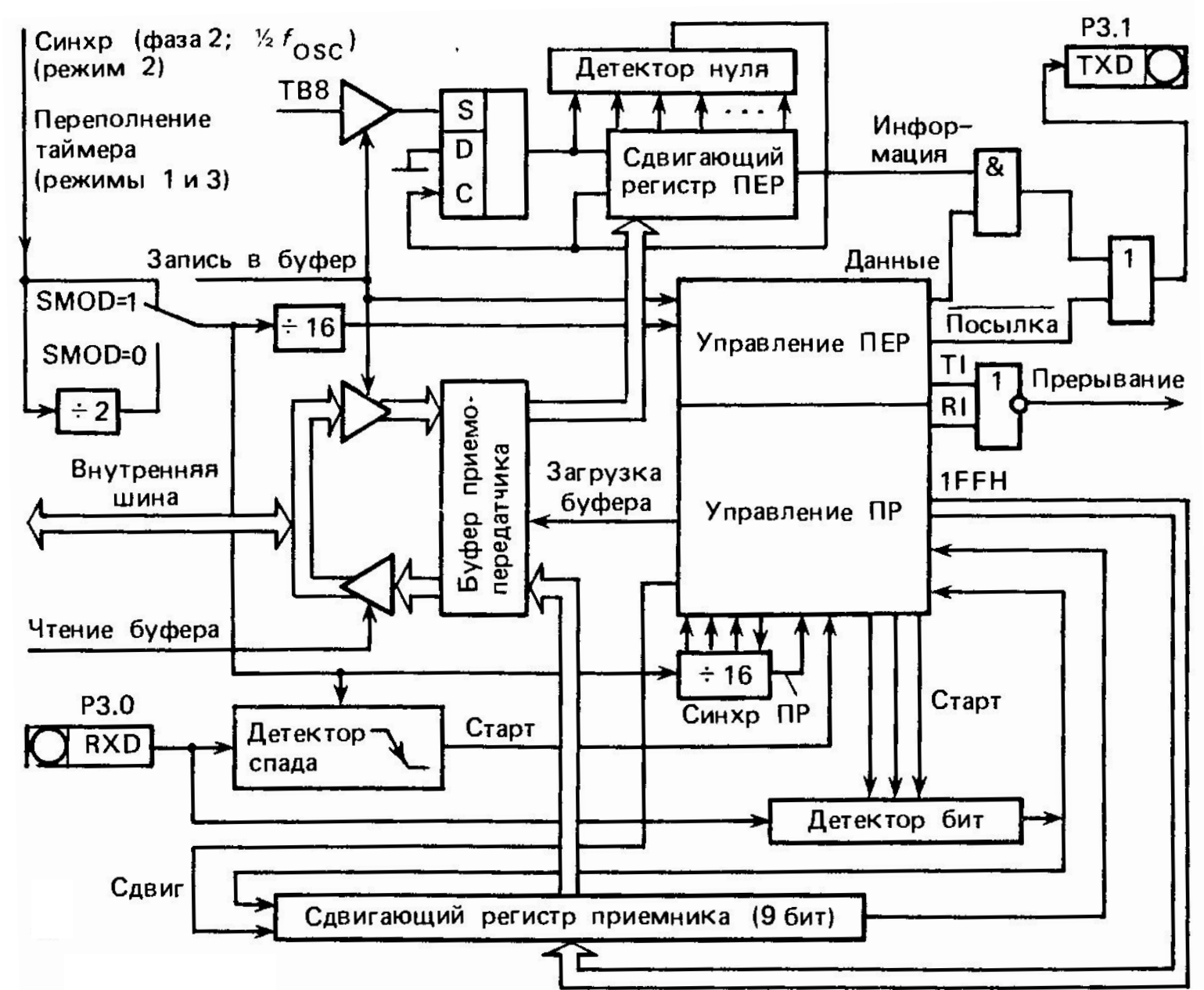
Режимы работы УАПП

- Режим **0.** Информация и передается, и принимается через вывод входа приемника (RxD). Принимаются или передается 8 бит данных. Через вывод выхода передатчика (TxD) выдаются импульсы сдвига, которые сопровождают каждый бит. Частота передачи бита информации равна 1/12 частоты кварцевого резонатора
- Режим **1.** В этом режиме передаются через вывод TxD или принимаются через RxD 10 бит информации: старт-бит (0), 8 бит данных и стоп-бит (1) при приеме информации в бит RB8 регистра управления/статуса приемопередатчика SCON заносятся стоп-бит Скорость приема/передачи —величина переменная и задается таймером.
- Режим **2.** В этом режиме через вывод TxD передаются или через RxD принимаются 11 бит информации: старт-бит, 8 бит данных, программируемый девятый бит и стоп-бит. При передаче девятый бит данных может принимать значение 0 или 1 для повышения достоверности передачи путем контроля по четности в него помещантся значение признака паритета из слова состояния программы (PSW.0). При приеме девятый бит данных помещается в бит RB8 SCON, а стоп-бит, в отличие от режима 1, теряется. Частота приема/передачи выбирается программой и может быть равна либо 1/32, либо 1/64 частоты резонатора в зависимости от управляющего бита SMOD.
- Режим 3. совпадает с режимом 2, но частота приема/передачи является величиной переменной и задается таймером.

УАПП в режиме 0



УАПП в режимах 1, 2, 3



Регистр управления/статуса приемопередатчика (SCON)

Символ	Позиция	Имя и назначение
SM0	SCON.7	Биты управления режимом работы приемопередатчика. Устанавливаются/сбрасываются программно см. примечание 1
SM1	SCON.6	

SM0	SM1	Режим работы приемопередатчика
0	0	Сдвигающий регистр расширения ввода/вывода
0	1	8 битовый приемопередатчик, изменяемая скорость передачи
1	0	9 битовый приемопередатчик. Фиксированная скорость передачи
1	1	9 битовый приемопередатчик, изменяемая скорость передачи

SM2	SCON.5	Бит управления режимом приемопередатчика. Устанавливается программно для запрета приема сообщения, в котором девятый бит имеет значение 0
REN	SCON.4	Бит разрешения приема. Устанавливается/сбрасывается программно для разрешения/запрета приема последовательных данных
TB8	SCON. 3	Передача бита 8. Устанавливается/сбрасывается программно для задания девятого передаваемого бита в режиме 9-битового передатчика
RB8	SCON.2	Прием бита 8. Устанавливается/сбрасывается аппаратно для фиксации девятого принимаемого бита в режиме 9-битового приемника
TI	SCON. 1	Флаг прерывания передатчика. Устанавливается аппаратно при окончании передачи байта. Сбрасывается программно после обслуживания прерывания
RI	SCON.0	Флаг прерывания приемника. Устанавливается аппаратно при приеме байта. Сбрасывается программно после обслуживания прерывания

Скорость приема/передачи информации через последовательный порт.

частота работы приемопередатчика **в режиме 0**:
зависит только от резонансной частоты кварцевого резонатора f РЕЗ:

$$f=f_{рез}/12$$

за машинный цикл последовательный порт передает один бит информации;
в режимах 1, 2 и 3 скорость приема/передачи зависит
от значения управляющего бита **SMOD** в регистре специальных функций **PCON**
в режиме 2 частота передачи определяется выражением

$$f=2SMODf_{рез}/64$$

т.е., при SMOD = 0 частота передачи равна 1/64 частоты fрез,
а при SMOD = 1 — 1/32 частоты fрез.
в режимах 1 и 3 частота передачи, кроме бита SMOD, зависит от таймера 1;
при этом частота передачи f зависит от частоты переполнения f OVT1:

$$f=2SMODf_{OVT1}/32$$

Прерывание от таймера 1 в этом случае должно быть запрещено.

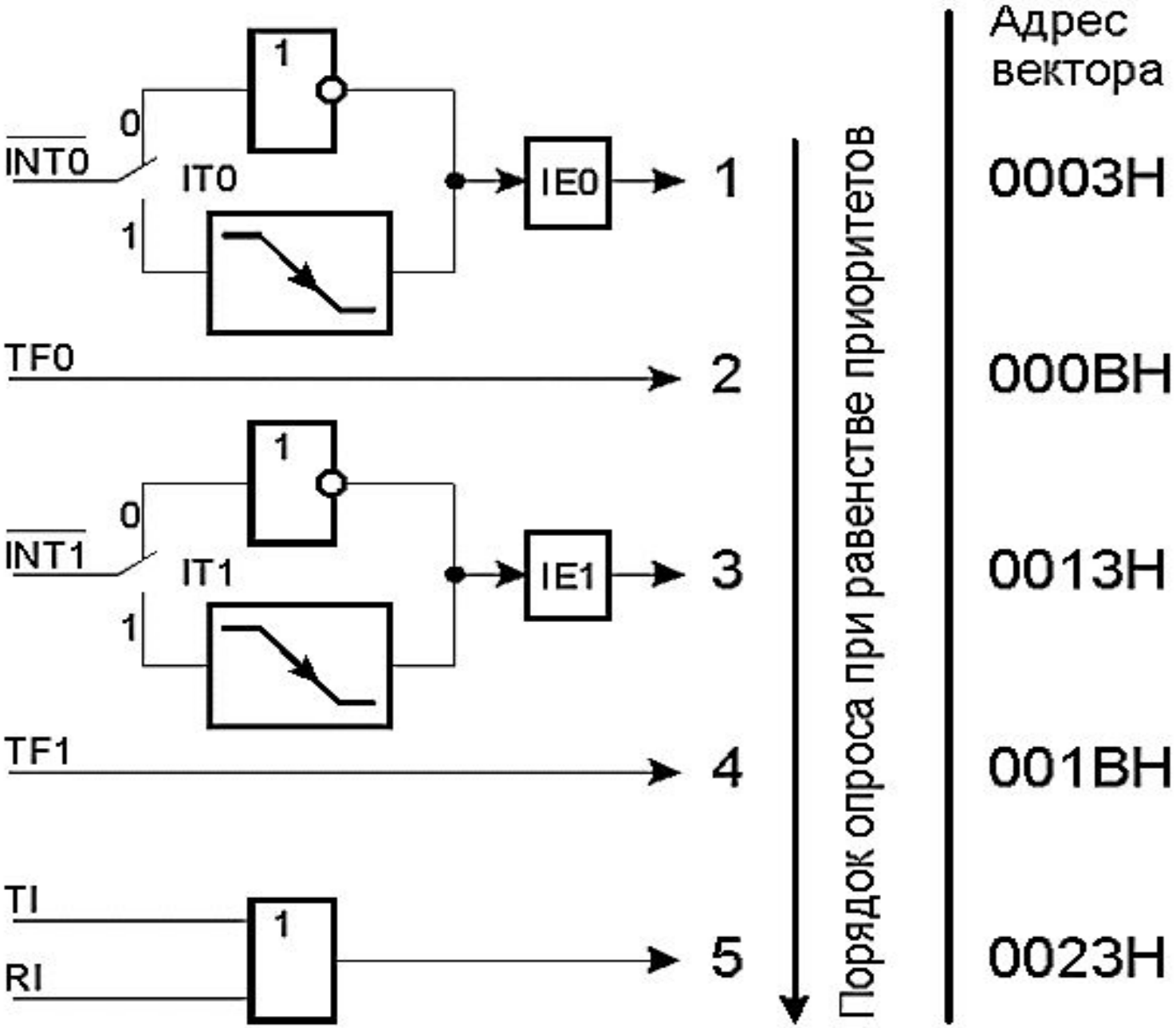
Настройка таймера 1 для управления частотой работы приемопередатчика

Частота приема/передачи (BAUD RATE)	Частота резонатора МГц	Таймер/счетчик 1			
		SMOD	C/T	Режим (MODE)	Перезагружаемое число
Режим 0, макс: 1 МГц	12	X	X	X	X
Режим 2, макс: 375 Кгц	12	1	X	X	X
Режим 1, 3: 62,2 Кгц	12	1	0	2	0FFH
19,2 Кгц	11,059	1	0	2	0FDH
9,6 Кгц	11,059	0	0	2	0FDH
4,8 Кгц	11,059	0	0	2	0FAH
2,4 Кгц	11,059	0	0	2	0F4H
1,2 Кгц	11,059	0	0	2	0F4H
137,5 Гц	11,059	0	0	2	1DH
110 Гц	6	0	0	2	72H
110 Гц	12	0	0	1	0FEEBH

Регистр управления мощностью (PCON)

Символ	Позиция	Наименование и функция
SMOD	PCON.7	Удвоенная скорость передачи. Если бит установлен в 1, то скорость передачи вдвое больше, чем при SMOD = 0. По сбросу SMOD = 0.
	PCON.6	Не используется
	PCON.5	Не используется
	PCON.4	Не используется
GF1 GF0	PCON.3 PCON.2	Флаги, специфицируемые пользователем (флаги общего назначения)
PD	PCON.1	Бит пониженной мощности. При установке бита в 1 микро-ЭВМ переходит в режим пониженной потребляемой мощности
IDL	PCON.0	Бит холостого хода. Если бит установлен в 1, то микро-ЭВМ переходит в режим холостого хода

Система прерываний mc51



Регистр масок прерывания (IE)

Символ	Позиция	Имя и назначение
EA	IE.7	Снятие блокировки прерывания. Сбрасывается, программно для запрета всех прерываний независимо от состояний IE.4 - IE.0
	IE.6	Не используется
	IE.5	Не используется
ES	IE.4	Бит разрешения прерывания, от приемопередатчика Установка/сброс программой для разрешения/запрета прерываний от флагов TI или RI .
ET1	IE.3	Бит разрешения прерывания от таймера. Установка/сброс программой для разрешения/запрета прерываний от таймера 1
EX1	IE.2	Бит разрешения внешнего прерывания 1. Установка/сброс программой для разрешения/запрета прерывания 1
ET0	IE.1	Бит разрешения прерывания от таймера 0. Установка/сброс программой для разрешения/запрета прерываний от таймера 0 .
EX0	IE.0	Бит разрешения внешнего прерывания 0. Установка/сброс программой для разрешения/запрета прерывания 0

Регистр приоритетов прерываний (IP)

Символ	Позиция	Имя и назначение
-	IP.7 - IP.5	Не используется
PS	IP.4	Бит приоритета приемопередатчика. Установка/сброс программой для присваивания прерыванию от приемопередатчика высшего/низшего приоритета
PT1	IP.3	Бит приоритета таймера 1. Установка/сброс программой для присваивания прерыванию от таймера 1 высшего/низшего приоритета
PX1	IP.2	Бит приоритета внешнего прерывания 1. Установка/сброс программой для присваивания высшего/низшего приоритета внешнему прерыванию INT1
PT0	IP.1	Бит приоритета таймера 0. Установка/сброс программой для присваивания прерыванию от таймера 0 высшего/низшего приоритета
PX0	IP.0	Бит приоритета внешнего прерывания 0. Установка/сброс программой для присваивания высшего/низшего приоритета внешнему прерыванию INT0

Система команд mc51

111 базовых команд,

по функциональному признаку подразделяются на группы команд:

- ✔ пересылки данных;
- ✔ арифметических операций;
- ✔ логических операций;
- ✔ операций над битами;
- ✔ передачи управления.

Режимы адресации

Прямая адресация (Direct Addressing)
операнд определяется 8-битным адресом в инструкции,
используется только для внутренней памяти данных и регистров SFR.
Косвенная адресация (Indirect Addressing)
инструкция адресует регистр, содержащий адрес операнда,
для указания 8-битных адресов используются регистры R0 и R1 или указатель стека SP.
Регистровая адресация (Register Instruction)
для доступа к регистрам R0+R7, в байте кода операции трехбитовое поле, определяющее номер регистра.
Непосредственная адресация *(Immediate constants)*
операнд содержится в поле команды вслед за кодом операции – один или два байта (data8, data16).
Индексная адресация (Indexed Addressing)
используется при обращении к памяти программ и только при чтении,
осуществляется просмотр таблиц в памяти программ, базовый адрес требуемой таблицы в DPTR или PC,
а аккумулятор указывает на точку входа в нее;
адрес элемента таблицы находится сложением базы с индексом (содержимым аккумулятора).
Другой тип индексной адресации применяется в командах "перехода по выбору" (Case Jump),
адрес перехода вычисляется как сумма указателя базы и аккумулятора.
Неявная адресация (Register-Specific Instructions)

Типы команд

	$D_7 \ldots D_0$		
1	КОП		
2	КОП	#d	
3	КОП	ad	
4	КОП	bit	
5	КОП	rel	
6	$a_{10}a_9a_8$ КОП	$a_7 \ldots a_0$	
7	КОП	ad	#d
8	КОП	ad	rel
9	КОП	ads	add
10	КОП	#d	rel
11	КОП	bit	rel
12	КОП	ad16h	ad16l
13	КОП	#d16h	#d16l

PCA (Programmable Counter Array)

имеется у моделей 80C51FA, 80C51FB, 80C51 PC и 80C51GB

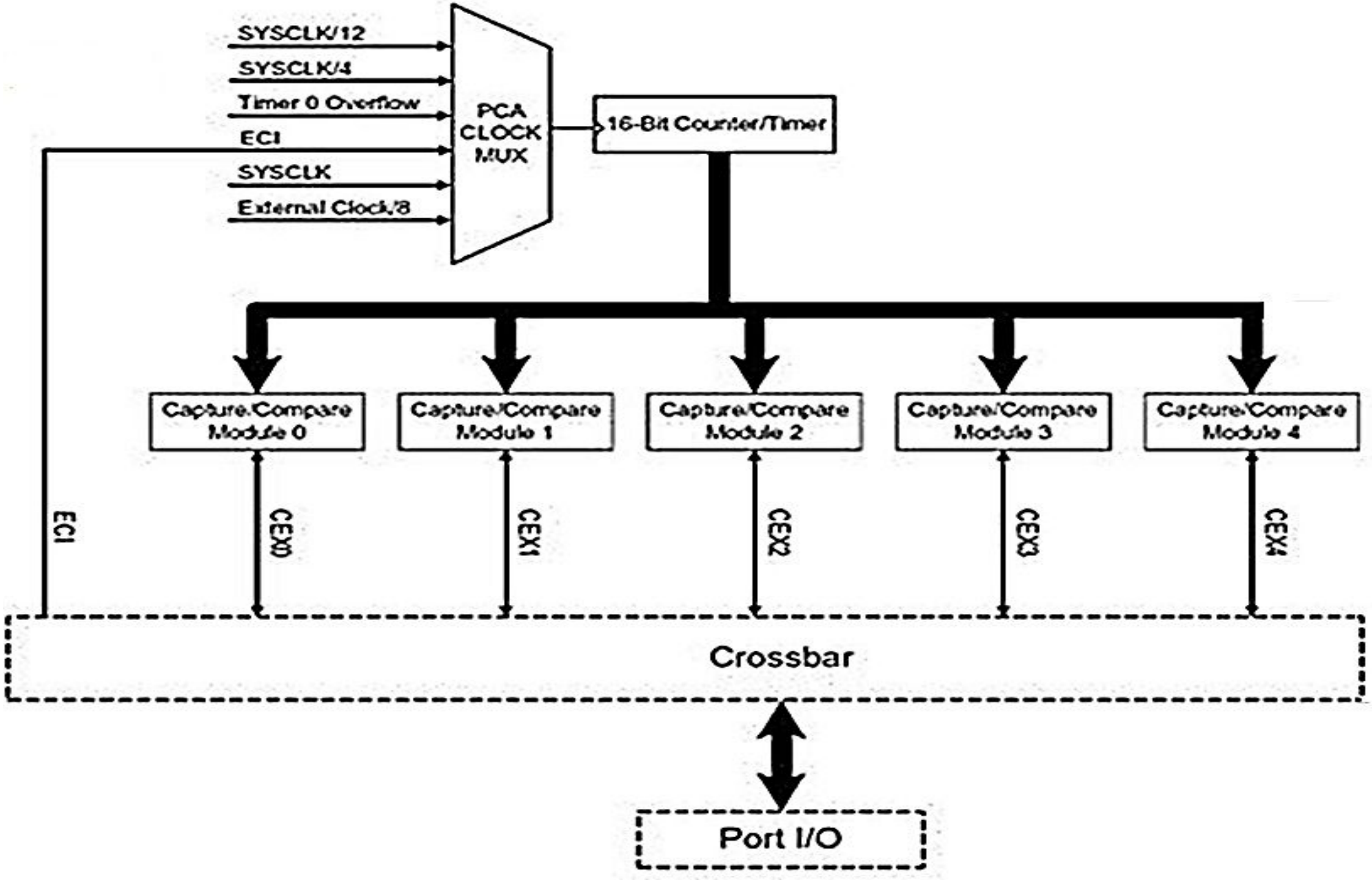
обеспечивает большие "временные" возможности по сравнению
с обычными счетчиками-таймерами, которые имеются на кристалле,
при этом достигается большая точность с меньшими затратами ресурсов.
PCA рекомендуется использовать для измерения ширины импульса, частоты, скважности,
И для формирования прямоугольных импульсов на внешних выводах микроконтроллера.

PCA состоит из 16-разрядного таймера-счетчика с времязадающим узлом (TimeBase)
и пятью модулями захвата/сравнения CCM (Capture/Compare Module).
TimeBase может подавать на вход PCA один из четырех тактовых сигналов:

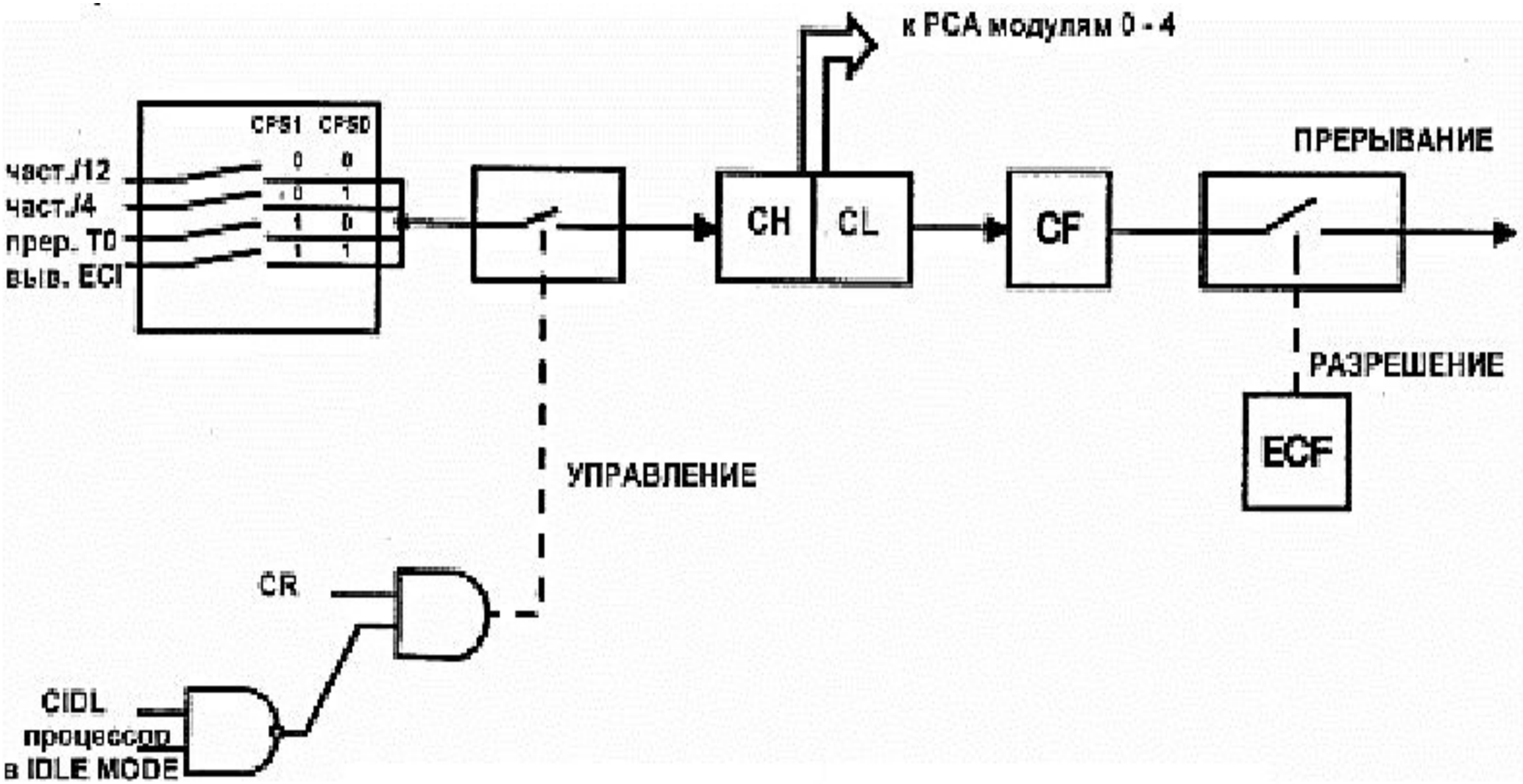
- системную частоту тактирования, деленную на 12 или 4,
- сигнал с выхода переполнения таймера 0 или
- сигнал с внешнего счетного входа ECI (External Clock Input).

Каждый из пяти CCM может быть запрограммирован на выполнение одной из четырех функций:

- переключаемая по фронту защелка,
- программный счетчик,
- высокоскоростной выход и
- широто-импульсный модулятор PWM (Pulse Width Modulator).


SYSCLK/12
SYSCLK/4
Timer 0 Overflow
ECI
SYSCLK
External Clock/8
PCA CLOCK MUX
16-Bit Counter/Timer
Capture/Compare Module 0
Capture/Compare Module 1
Capture/Compare Module 2
Capture/Compare Module 3
Capture/Compare Module 4
ECI
CEX0
CEX1
CEX2
CEX3
CEX4
Crossbar
Port I/O

Структурная схема PCA таймера-счетчика



Регистр режимов PCA таймера-счетчика (CMOD)

Адрес=0D9H

Значение после сброса OOXX X000B адресация к отдельным битам невозможна

Символ	Позиция	Имя и назначение
CIDL	CMOD.7	CIDL=0 разрешает работу PCA в "режиме холостого хода" (Idle Mode), CIDL=1 запрещает работу PCA в режиме "холостого хода".
WDTE	CMOD.6	WDTE=0 запрещает режим сторожевого таймера (watchdog timer) четвертому модулю сравнения-захвата, WDTE=1 разрешает этот режим.
-	CMOD.5	-
-	CMOD.4	-
-	CMOD.3	-
CPS1	CMOD.2	Источник сигналов для таймера-счетчика PCA
CPS0	CMOD.1	
ECF	CMOD.0	ECF=1 разрешает флагу CF в CCON генерировать запрос на прерывание. ECP=0 запрещает данную функцию.

CPS1	CPSO	сигнал на счетном входе PCA таймерасчетчика
0	0	тактовая частота/12
0	1	тактовая частота/4
1	0	переполнение от таймера 0
1	1	внешний сигнал на контакте EC1/P1.2

Регистр управления PCA таймером-счетчиком (CCON)

Адрес=0D8H

Значение после сброса 00X0 0000B возможна адресация к отдельным битам

Символ	Позиция	Имя и назначение
CF	CCON.7	Флаг переполнения PCA таймера-счетчика, устанавливается аппаратно при переполнении счетчика. CF генерирует запрос на прерывание только при установленном бите ECP в CMOO. CP можно установить как программно, так и аппаратно, но сбрасывается он только программно.
CR	CCON.6	Бит запуска PCA таймера-счетчика. При программной установке включает PCA таймер-счетчик. При программном сбросе выключает.
-	CCON.5	-
CCF4	CCON.4	Флаг прерывания модуля 4. Устанавливается аппаратно, когда происходит соответствующее событие. Сбрасывается программно.
CCF3	CCON.3	Флаг прерывания модуля 3. Устанавливается аппаратио, когда происходит соответствующее событие. Сбрасывается программно.
CCF2	CCON.2	Флаг прерывания модуля 2. Устанавливается аппаратно, когда происходит соответствующее событие. Сбрасывается программно.
CCF1	CCON.1	Флаг прерывания модуля 1. Устанавливается аппаратно, когда происходит соответствующее событие. Сбрасывается программно.
CCFO	CCON.0	Флаг прерывания модуля 0. Устанавливается аппаратно, когда происходит соответствующее событие. Сбрасывается программно.

Регистр режимов модуля сравнения захвата (CCAPMn)

Значение после сброса X000
Адреса CCAPMn (n=0..4)

CCAPM0	0DAH
CCAPM1	0DBH
CCAPM2	0DCH
CCAPM3	0DDH
CCAPM4	0DEH

адресация к отдельным битам не возможна

Символ	Позиция	Имя и назначение
-	CCAPMn.7	-
ECOMn	CCAPMn.6	ECOMn=1 разрешение сравнения.
CAPPn	CCAPMn.5	CAPPn=1 разрешение захвата по фронту.
CAPNn	CCAPMn.4	CAPNn=1 разрешение захвата по спаду.
MATn	CCAPMn.3	Если MATn=1, то при совпадении значений в PCA таймере-счетчике и в регистрах CCAPnN, CCAPnL устанавливается флаг CCFn в регистре CCON.
TOGn	CCAPMn.2	Если TOGn=1, то при совпадении значения PCA в таймере-счетчике и в регистрах CCAPnH. CCAPnL. на внешнем контакте CEXn происходит переключение сигнала (0-1 или 1-0).
PWMn	CCAPMn.1	PWMn=1 разрешает использовать внешний контакт CEXn для генерации импульсов заданной скважности.
ECCFn	CCAPMn.0	Разрешение флагу CCFn в регистре CCON генерировать запрос на прерывание.

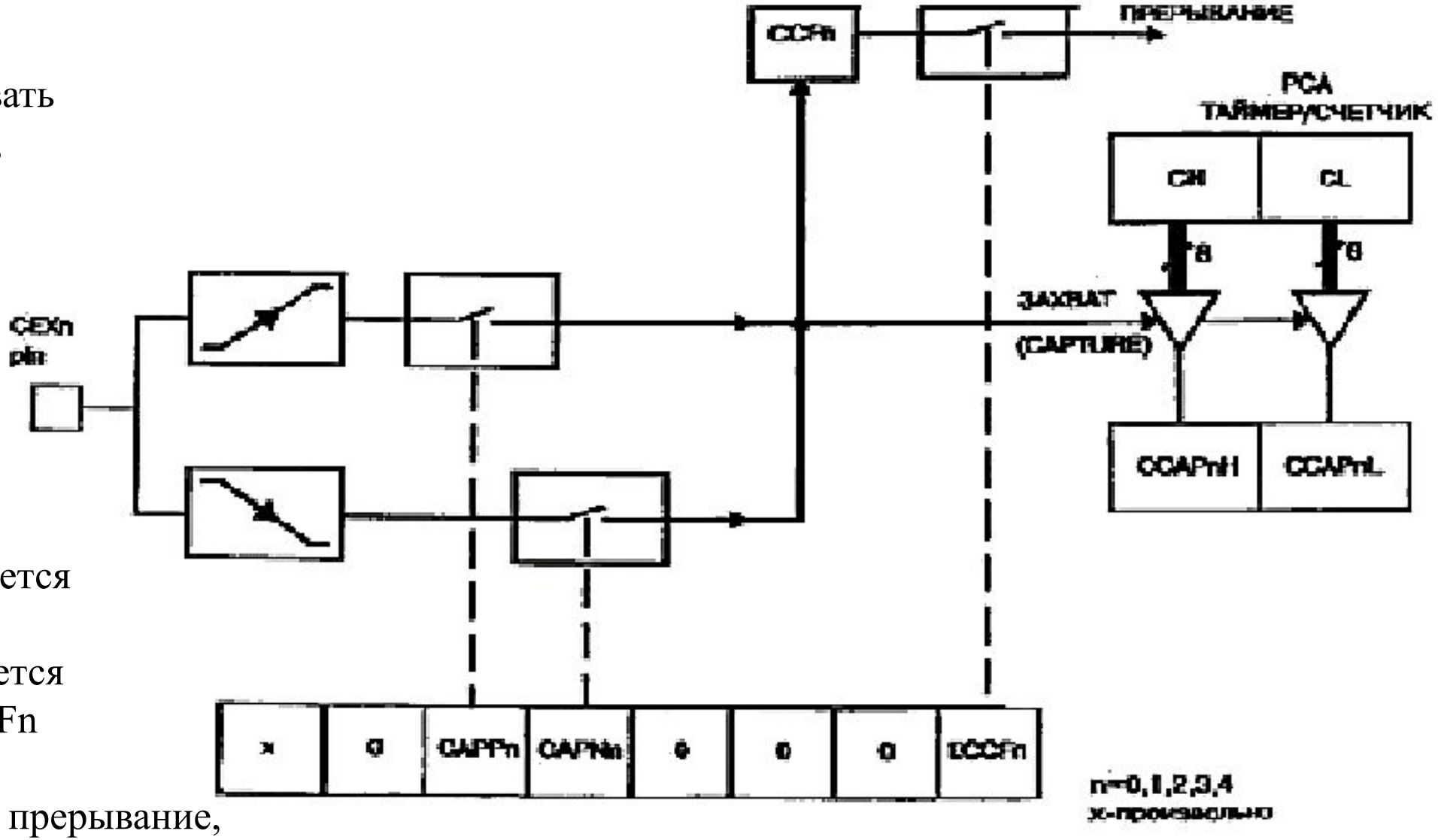
Режимы работы PCA

комбинации битов регистра CCAPMn,
соответствующие различным режимам работы модуля сравнения-захвата

	ECOMn	CAPPn	CAPNn	MATn	TOGn	PWMn	ECCF	Функции модуля
X	0	0	0	0	0	0	0	нет операций
X	X	1	0	0	0	0	X	захват по фронту на CEXn
X	X	0	1	0	0	0	X	захват по спаду на CEXn
X	X	1	1	0	0	0	X	захват по перепаду на CEXn
X	1	0	0	1	0	0	X	программируемый таймер
X	1	0	0	1	1	0	X	скоростной вывод
X	1	0	0	0	0	1	0	модулирование длительности импульса
X	1	0	0	1	X	0	X	сторожевой таймер

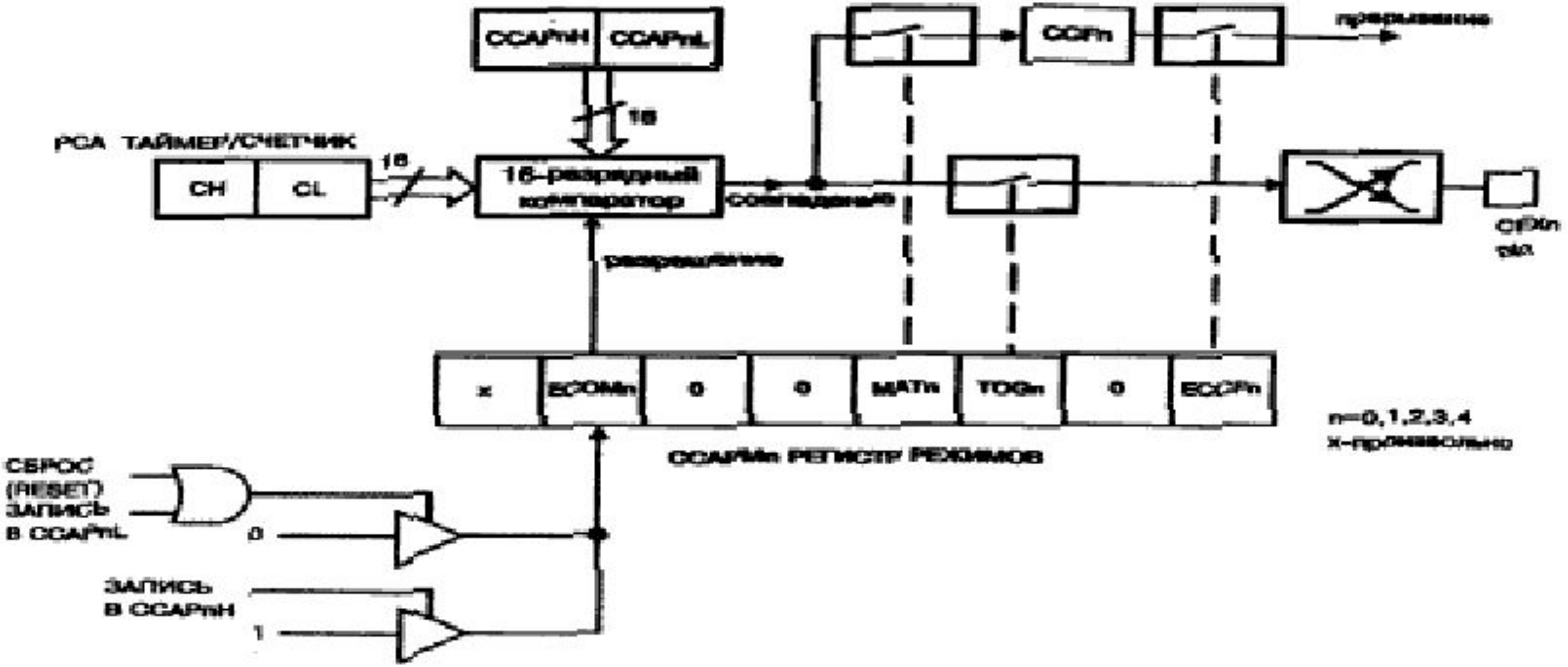
Режим захвата

рекомендуется использовать
при измерении периодов,
длительности,
скважности импульсов,
разности фаз между
различными входами;
Установка битов CAPPn
и/или CAPNn в регистре
CCAPMn определяет
перепад (0-1 или 1-0),
по которому осуществляется
захват.
При захвате устанавливается
флаг события модуля CCFn
в регистре CCON,
и генерируется запрос на прерывание,
если установлен бит ECCFn в регистре CCAPMn.



Режим 16-разрядного программируемого таймера

значение PCA трижды за машинный цикл сравнивается с значением, предварительно загруженным в CCAPnH, CCAPnL, установка бита ECOMn в регистре CCAPMn разрешает функцию сравнения; бит MATn установлен, при совпадении значений устанавливается флаг событий CCFnи генерируется запрос на прерывание



Режим скоростного вывода

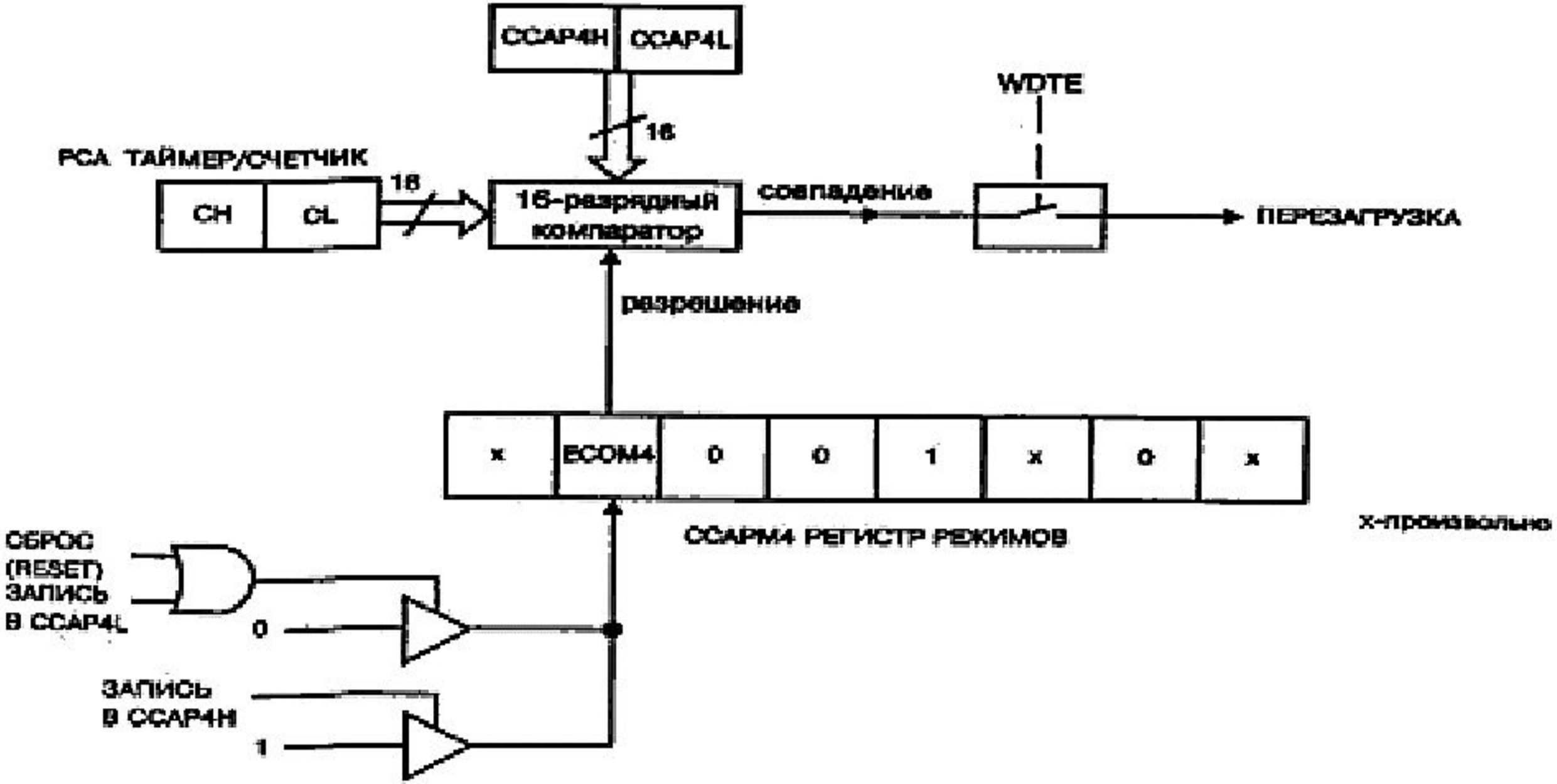
формируется сигнал на внешнем выводе CEXn,
когда происходит совпадение PCA таймера со значением,
предварительно загруженным в регистры CCAPnH, CCAPnL;
режим скоростного вывода является более точным по сравнению с переключением контактов параллельного порта программным путем,
поскольку формирование сигнала на внешнем выводе происходит до обращения к подпрограмме обработки прерывания.
Это значит, что задержка, связанная с выполнением подпрограммы обработки прерывания, не будет влиять на формирование сигнала.
Если подпрограмма обработки прерывания не изменит содержимого CCAPnH, CCAPnL,
то следующий сигнал "совпадение" будет сформирован после того
как значение PCA таймера-счетчика снова совпадет со старым сравниваемым значением

Режим сторожевого таймера (watchdog timer)

Сторожевой таймер - это схема, которая автоматически сбрасывает микроконтроллер, если не получает от управляемой системы сигнала подтверждения, что не произошло никакого сбоя;
это используется в системах, где есть электрические помехи или сбои по питанию;
в режиме сторожевого таймера может работать только четвертый модуль.
Сигнал сброса срабатывает всякий раз, когда происходит совпадение значения PCA таймера-счетчика со значением CCAP4H, CCAP4L
этот режим устанавливает бит WDTE в регистре CMOD;
при этом четвертый модуль должен находиться в режиме программируемого таймера или скоростного вывода;

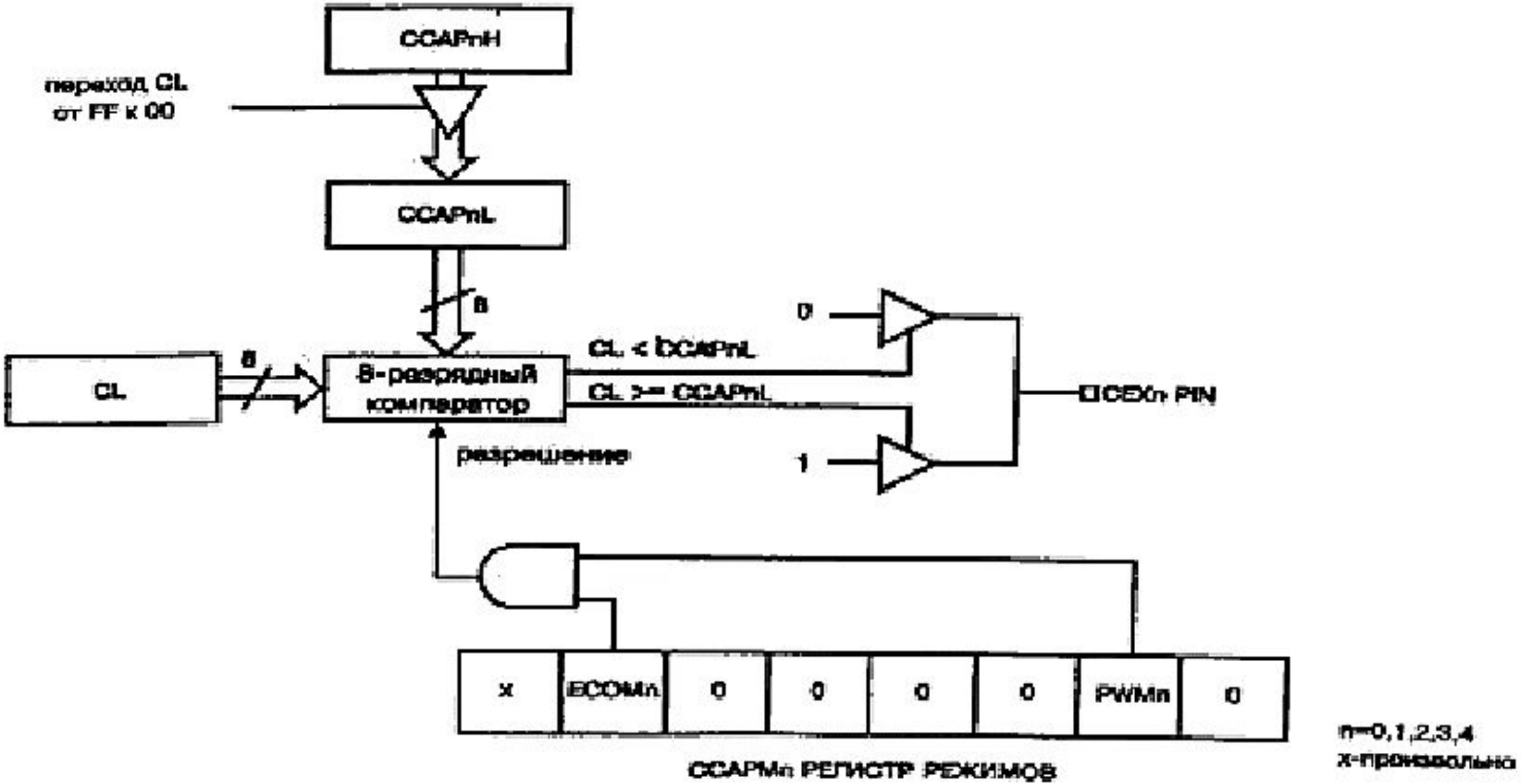
Предотвратить сброс можно тремя способами:
1. периодически изменять значение в регистрах CCAP4H, CCAP4L, так что бы оно никогда не совпало с PCA таймером-счетчиком;
2. периодически изменять регистры CH, CL PCA таймера-счетчика, чтобы они никогда не совпали со значением в регистрах CCAP4H, GCAP4L;
3. выключить режим охранного таймера путем сброса бита WDTE перед тем, как Произойдет совпадение и затем снова включить его.

Сторожевой таймер



Режим генерации импульсов заданной скважности

Значение в CCAPnL задает скважность импульсов



Аналого-цифровой преобразователь

АЦП микроконтроллера в семействе MCS-51/52
(например, типа SAB 80515 фирмы Siemens или 80C51GB)

- обеспечивает 8 битное преобразование
- имеет восемь мультиплексных каналов аналогового входного сигнала "на чипе
- имеет схему выборки-хранения
- возможность программирования опорных напряжений,

что позволяет увеличивать точность преобразования, сужая пределы измерения.

Преобразование осуществляется методом последовательного приближения
с использованием конденсаторной цепи.
Длительность цикла преобразования от 15 до 29 машинных циклов.

Для использования встроенного АЦП есть специальные функциональные регистры:

- ADCON- регистр управления аналого-цифрового преобразователя,
- ADDAT- регистр данных аналого-цифрового преобразователя,
- DAPR- регистр программирования опорных напряжений.

ADCON

(регистр управления преобразователем)

адрес - 0D8H, возможна побитовая адресация

BD	CLK	-	BSY	ADM	MX2	MX1	MX0	Бит
0DFH	0DEH	0D0H	0DCH	0DBH	0DAH	0D9H	0D8H	Адрес

используется, чтобы

• выбрать один из восьми каналов аналогового входного сигнала, которые будут преобразованы,
• определять однократное или циклическое преобразование,
• проверять бит состояния BSY, который сообщает, происходит ли преобразование или нет.

Символ	Позиция	Функция
MX0	ADCON.0	Выбор канала аналогового входного сигнала, см. таблицу.
MX1	ADCON.1	
MX2	ADCON.2	
ADM	ADCON.3	Режим аналого-цифрового преобразования. Если ADM = 1 - непрерывное преобразование. Если ADM = 0, преобразователь останавливается после одного преобразования.
BSY	ADCON.4	Флаг занятости. Этот флаг указывает, происходит преобразование (BSY = 1) или нет (BSY = 0).
-	ADCON.5	Зарезервирован (должен быть 0).
CLK	ADCON.6	(Используется не для управления АЦП) Включение синхронизации системы. Если равно 1, синхросигнал с t /12 частотой генератора подается на вывод P1. 6/CLKOUT. CLK = 0 блокирует синхронизирующий вывод.
BD	ADCON.7	(Используется не для управления АЦП) Включение режима передачи со скоростью в бодах. Если равно 1, то осуществляется прием в режиме 1 и 3 последовательного порта из внутреннего генератора скоростей в бодах.

MX2	MX1	MX0	Выбранный Канал	Вывод ИМС
0	0	0	Аналоговый входной сигнал 0	AN0
0	0	1	Аналоговый входной сигнал 1	AN1
0	1	0	Аналоговый входной сигнал 2	AN2
0	1	1	Аналоговый входной сигнал 3	AN3
1	0	0	Аналоговый входной сигнал 4	AN4
1	0	1	Аналоговый входной сигнал 5	AN5
1	1	0	Аналоговый входной сигнал 6	AN6
1	1	1	Аналоговый входной сигнал 7	AN7

DAPR

(регистр программирования опорных напряжений АЦП).

Регистр DAPR позволяет менять внутренние опорные напряжения IVAREF и IVAGND.
Они могут программироваться с шагом в 1/16
относительно внешних опорных напряжений (VAREF-VAGND).
Биты с 0 по 3 регистра DAPR определяют IVAGND, биты с 4 по 7 определяют IVAREF.

Для нормальной работы АЦП требуется как минимум разность в 1 вольт
между внутренними опорными напряжениями.
Поэтому, внутреннее опорное напряжение IVAREF
должно всегда программироваться на четыре шага выше, чем IVAGND

Значения IVAGND и IVAREF определяются по формуле:
IVAGND = VAGND + DAPR (0 - 3) /16 (VAREF - VAGND)
причем DAPR (0 - 3) < 0 и DAPR (0 - 3) < 13;
IVAREF = VAGND + DAPR (4 - 7) /16 (VAREF - VAGND)
где DAPR (0 - 3) - содержание младшего полубайта,
DAPR (4 - 7) - содержание старшего полубайта DAPR, принимаемого как десятичное целое число без знака.
Если DAPR (0 - 3) или DAPR (4 - 7) = 0,
внутренние опорные напряжения соответствуют внешним опорным напряжениям
Если VAINPUT > IVAREF, то результат преобразования будет равен 0FFH, если VAINPUT < IVAGN0,
то результат преобразования - 00H (VAINPUT - напряжение аналогового входного сигнала).

Регистр программирования АЦП DAPR (0DAH)

7	6	5	4	3	2	1	0
Цифровое Значение для IVAREF				Цифровое Значение для IVAGND			

Если используются внешние опорные напряжения VAGND = 0 V и VAREF = + 5V (относительно GND и VCC), то при помощи регистра DAPR могут быть установлены следующие значения внутренних опорных напряжений IVAGND и IVAREF:

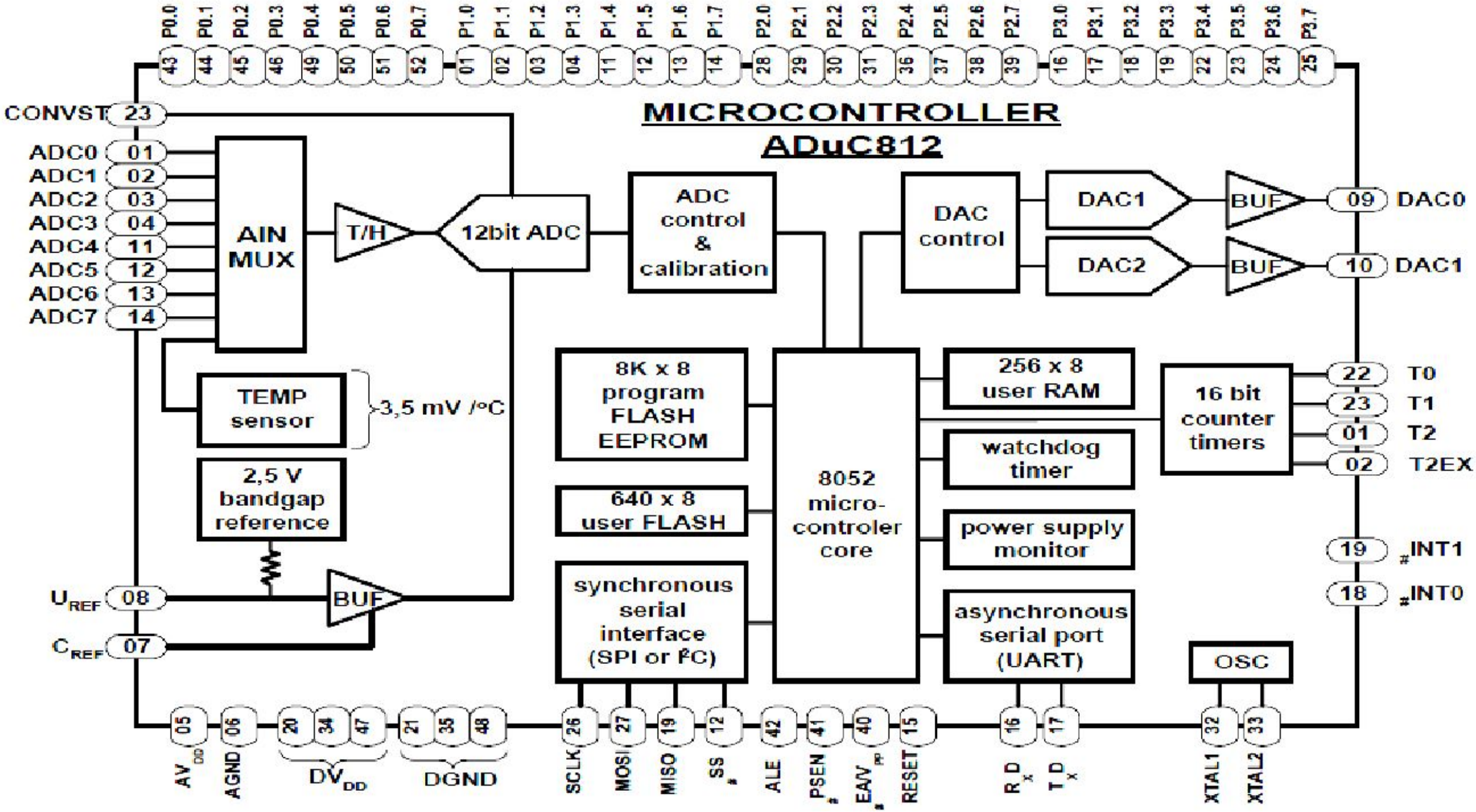
Ступень	DAPR (0-3)	DAPR (4-7)	IVAGND (V)	IVAREF (V)
0	0000	0000	0.0	5.0
1	0001	0001	0.3125	-
2	0010	0010	0.625	-
3	0011	0011	0.9375	-
4	0100	0100	1.25	1.25
5	0101	0101	1.5625	1.5625
6	0110	0110	1. 875	1. 875
7	0111	0111	2. 1875	2. 1875
8	1000	1000	2.5	2.5
9	1001	1001	2.8125	2.8125
10	1010	1010	3.125	3.125
11	1011	1011	3.4375	3.4375
12	1100	1100	3.75	3.75
13	1101	1101	-	4.0625
14	1110	1110	-	4.375
15	1111	1111	-	4.6875

8-канальный прецизионный 12–разрядный АЦП со встроенным микропроцессором и FLASH ЭРПЗУ

ADuC812 - интегральная 12-разрядная система сбора информации, включающая в себя прецизионный многоканальный АЦП с самокалибровкой, два 12-разрядных ЦАП и программируемое 8-битное микропроцессорное ядро (совместимое с 8051, MCU).

MCU поддерживается внутренними 8K FLASH ЭРПЗУ программ, 640 байт ЭРПЗУ памяти данных и 256 байт статической памяти данных с произвольной выборкой (RAM).

MCU поддерживает следующие функции: сторожевой таймер, монитор питания и канал прямого доступа к памяти для АЦП. Для мультипроцессорного обмена и расширения ввода/вывода имеются 32 программируемые линии, I²C, SPI и UART интерфейсы. Для гибкого управления в приложениях с низким потреблением в MCU и аналоговой части предусмотрены 3 режима работы: нормальный, холостой и дежурный. Продукт специфицирован для +3/+5В работы в индустриальном диапазоне температур и поставляется 52-выводном пластмассовом корпусе (PQFP).


MICROCONTROLLER
ADuC812
P0.0 P0.1 P0.2 P0.3 P0.4 P0.5 P0.6 P0.7 P1.0 P1.1 P1.2 P1.3 P1.4 P1.5 P1.6 P1.7 P2.0 P2.1 P2.2 P2.3 P2.4 P2.5 P2.6 P2.7 P3.0 P3.1 P3.2 P3.3 P3.4 P3.5 P3.6 P3.7
43 44 45 46 49 50 51 52 01 02 03 04 11 12 13 14 28 29 30 31 36 37 38 39 16 17 18 19 22 23 24 25
CONVST 23
ADC0 01
ADC1 02
ADC2 03
ADC3 04
ADC4 11
ADC5 12
ADC6 13
ADC7 14
AIN MUX
T/H
12bit ADC
ADC control & calibration
DAC control
DAC1
DAC2
BUF
BUF
09 DAC0
10 DAC1
TEMP sensor
3,5 mV /°C
2,5 V bandgap reference
BUF
U REF 08
C REF 07
8K x 8 program FLASH EEPROM
640 x 8 user FLASH
synchronous serial interface (SPI or I²C)
8052 micro-controler core
256 x 8 user RAM
watchdog timer
power supply monitor
asynchronous serial port (UART)
16 bit counter timers
22 T0
23 T1
01 T2
02 T2EX
19 #INT1
18 #INT0
OSC
05 06 20 34 47 21 35 48 26 27 19 12 42 41 40 15 16 17 32 33
AV DD
AGND
DV DD
DGND
SCLK
MOSI
MISO
SS #
ALE
PSEN #
EA/V PP #
RESET
R D x
T D x
XTAL1
XTAL2

ХАРАКТЕРИСТИКИ

АНАЛОГОВЫЙ ВВОД/ВЫВОД

8-канальный прецизионный 12-разрядный АЦП
Встроенный 20ppm/ºC ИОН
Высокая скорость выборок 200 кSPS
Контроллер канала ПДП к внешней памяти данных
Два 12-разрядных ЦАП с вольтовым выходом
Внутренний температурный сенсор

ПАМЯТЬ

8 Кбайт FLASH памяти программ
640 байт FLASH памяти данных
Внутренний генератор подкачки заряда
256 байт внутренней памяти данных
16 Мбайт пространства внешней памяти данных
64 Кбайт пространства внешней памяти программ

8051 - СОВМЕСТИМОЕ ЯДРО

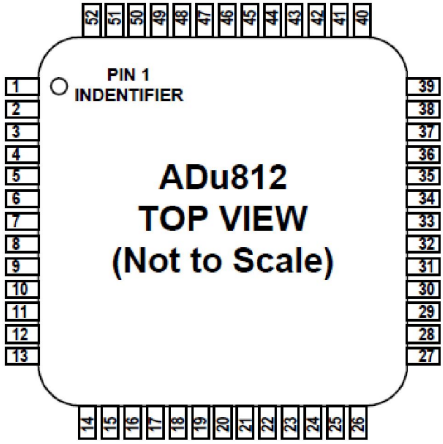
12МГц номинальная частота [16МГц – макс.]
Три 16-разрядных счетчика/таймера
32 программируемые линии ввода/вывода
Порт с высоким током - Порт3
9 источников прерываний, 2 уровня приоритета

ПИТАНИЕ

Специфицирован для работы от 3В до 5В
Режимы: нормальный, холостой и дежурный
Последовательный порт UART
2-Проводной (I^2C) и/или SPI порт
Сторожевой таймер (WDT)
Монитор источника питания

ПРИЛОЖЕНИЯ

Интеллектуальные сенсоры (IEEE 1451.2)
Батарейные системы
(портативные PC, инструмент, мониторы)
Системы слежения
Системы сбора информации, коммуникация



РАСПОЛОЖЕНИЕ КОНТАКТОВ ADuC812

№	Наименование	№	Наименование	№	Наименование	№	Наименование
1	P1.0/ADC0/T2	14	P1.7/ADC7	27	SDATA/MOSI	40	EA//Vpp
2	P1.1/ADC1/T2EX	15	RESET	28	P2.0/A8/A16	41	PSEN/
3	P1.2/ADC2	16	P3.0/RxD	29	P2.1/A9/A17	42	ALE
4	P1.3/ADC3	17	P3.1/TxD	30	P2.2/A10/A18	43	P0.0/AD0
5	AVdd	18	P3.2/INT0/	31	P2.3/A11/A19	44	P0.1/AD1
6	AGND	19	P3.3/INT1//MISO	32	XTAL1 (in)	45	P0.2/AD2
7	CREF	20	DVdd	33	XTAL2 (out)	46	P0.3/AD3
8	VREF	21	DGND	34	DVdd	47	DGND
9	DAC0	22	P3.4/T0	35	DGND	48	DVdd
10	DAC1	23	P3.5/T1/CONVST/	36	P2.4/A12/A20	49	P0.4/AD4
11	P1.4/ADC4	24	P3.6/WR/	37	P2.5/A13/A21	50	P0.5/AD5
12	P1.5/ADC5/SS/	25	P3.7/RD/	38	P2.6/A14/A22	51	P0.6/AD6
13	P1.6/ADC6	26	SCLOCK	39	P2.7/A15/A23	52	P0.7/AD7

ОПИСАНИЕ КОНТАКТОВ

Мнемоника	Тип	Функция
DV_{DD}	P	Положительное номинальное цифровое питание +3В или +5В.
AV_{DD}	P	Положительное номинальное аналоговое питание +3В или +5В.
C_{REF}	I	Блокирующий конденсатор для внутреннего ИОН. 0.1мкФ на AGND
V_{REF}	I/O	ИОН Вход/Выход. Этот контакт внутри соединен через последовательный резистор с ИОН для АЦП. Номинальное напряжение ИОН 2.5В и появляется на контакте (как только АЦП и ЦАП разрешены). Внутренний ИОН подавляется подключением к этому контакту внешнего источника.
AGND	G	Аналоговая земля. Общая точка аналоговых цепей.
P1.0-P1.7	I	Порт1 только ввод, по умолчанию настраивается на ввод аналоговых сигналов, для конфигурирования контактов на цифровой ввод следует записать 0 соответствующий бит порта. Порт1 – многофункционален.
ADC0-ADC7	I	Аналоговые входы. 8 однофазных входов. Выбор канала осуществляется через регистр специального назначения (SFR) ADCCON2.
T2	I	Цифровой вход Таймера/Счетчика 2. Когда разрешен Счетчик 2 инкрементируется по перепаду 1-0 на входе T2.
T2EX	I	Цифровой вход для триггера Захвата/Перезагрузки Счетчика2, так же работает как вход управления направлением счета Счетчика2.
SS/	I	Выбор ведомого (Slave Select). Для синхронного интерфейса (SPI).
SDATA	I/O	Выбираемый пользователем ввод/вывод для I^2C и SPI.
SCLOCK	I/O	Синхронизация для I^2C и SPI.
MOSI	I/O	Для SPI Ведущий Выход/Ведомый Вход.
MISO	I/O	Для SPI Ведущий Вход/Ведомый Выход.
DAC0	O	Выходное напряжение с ЦАП 0.
DAC1	O	Выходное напряжение с ЦАП 1.
RESET	I	Цифровой вход. Высокий уровень сигнала на этом контакте в течение 24 периодов тактовой частоты при работающем осцилляторе вызывает выполнение устройством сброса.

P3.0-P3.7	I/O	Двунаправленный Порт3 с внутренними, подтягивающими к питанию резисторами. Контакты Порта3, с записанными в них 1 подтянуты вверх и могут использоваться как входы. При таком использовании, следует иметь в виду, что они дают ток во внешнюю цепь. Контакты Порта3 - мультиплексны.
RxD	I/O	Вход приемника асинхронного последовательного интерфейса (UART) или Вод/Вывод данных для синхронного.
TxD	O	Выход передатчика асинхронного последовательного интерфейса (UART) или Выход синхронизации для синхронного.
INT0/	I	Вход внешнего прерывания 0, программируется по перепаду/уровню; устанавливается один из 2-х уровней приоритета. Контакт может использоваться как строб управления для Таймера 0.
INT1/	I	Вход внешнего прерывания 1, программируется по перепаду/уровню; устанавливается один из 2-х уровней приоритета. Контакт может использоваться как строб управления для Таймера 1.
T0	I	Вход Таймера/Счетчика 0
T1	I	Вход Таймера/Счетчика 1.
CONVST/	I	Вход Запуска Преобразования АЦП (активный низкий уровень) при разрешенном внешнем запуске. Переход 0-1 переводит схему в режим хранения и запускает цикл преобразования.
WR/	O	Выход сигнала управления Записью. Защелкивает байт данных из Порта 0 во внешнюю память данных.
RD/	O	Выход сигнала управления Чтением. Разрешает ввод данных из внешней памяти в Порт 0.
XTAL2	O	Инвертирующий выход генераторного усилителя.
XTAL1	I	Вход усилителя и вход доступа к внутренним цепям генератора.
DGND	G	Цифровая земля. Общая точка цифровых цепей.

P2.0-P2.7 (A8-A15) (A16-A23)	I/O	Двунаправленный Порт 2 с внутренними, подтягивающими к питанию резисторами. Контакты Порта 2, с записанными в них 1 подтянуты вверх и могут использоваться как входы. При таком использовании, следует иметь в виду, что они дают ток во внешнюю цепь. При выборке памяти программ Порт 2 содержит старший байт адреса, при обращении к памяти данных порт выдает средний и старший байты 24-разрядного адресного пространства.
PSEN/	O	Выход строба разрешения внешней памяти программ. Является сигналом управления внешней памяти программ. Активен в течение 6 периодов тактового генератора, исключая время доступа к внешней памяти данных. Контакт находится в состоянии Лог.1 при работе с внутренней памятью программ. Его можно использовать для разрешения режима последовательной загрузки в ЭРПЗУ, для этого контакт подключается через последовательный резистор к земле на время включения питания или генерации сигнала RESET/.
ALE	O	Выход строба записи адреса. Используется для защелкивания младшего байта адреса (при 24-битном пространстве - среднего байта адреса) при обращении к внешней памяти. Активен дважды в одном машинном цикле, исключая обращение к внутренней памяти данных.
EA/	I	Вход разрешения доступа к внешней памяти программ. Если =1, выборка производится из внутренней памяти 0000H .. 1FFFH, если=0, то все инструкции выбираются из внешней памяти.
P0.0-P0.7 (A0-A7)	I/O	Двунаправленный Порт 0 с открытым истоком. Контакты порта с записанными в них 1 являются плавающими и могут быть высокоимпедансными входами. При обращении к внешней памяти программ или данных Порт0 мультиплексирован магистралями младшего байта адреса и данных. При такой операции порт подтянут внутренним образом при наличии в нем 1.

ТЕРМИНОЛОГИЯ

СПЕЦИФИКАЦИИ АЦП

Интегральная нелинейность

Представляет собой максимальное отклонение любого кода от прямой линии, проведенной через крайние точки передаточной функции АЦП. Крайними точками являются: нулевая - на ½LSB ниже точки появления первого кода и последняя - на ½LSB выше границы шкалы.

Дифференциальная нелинейность

Представляет собой разницу между измеренной и идеальной шириной 1 кванта (1 LSB) АЦП.

Ошибка смещения

Представляет собой отклонение момента первичной смены кода с (000H) до (001H) от идеального значения, т.е. +½ LSB.

Ошибка полной шкалы

Представляет собой отклонение момента последней смены кода от идеального входного напряжения, соответствующего (полной шкале–1.5LSB) после компенсации ошибки смещения.

Отношение сигнал/шум (SNR)

Представляет собой измеренное отношение сигнала к шуму на выходе АЦП. Сигнал - среднеквадратичный выходной сигнал с АЦП. Шум - среднеквадратичная сумма составляющих в полосе до ($f_S/2$ - половина частоты выборки), исключая постоянную составляющую. Отношение зависит от величины квантования в процессе преобразования сигнала. Чем больше число квантов, тем меньше шум. Для идеального АЦП с синусоидальным сигналом на входе С/Ш равен *6.02*N + 1.76 (дБ)*, где *N*-число разрядов. Для 12-разрядного АЦП С/Ш = 74 дБ.

Коэффициент гармоник

Представляет собой отношение суммы среднеквадратичных сигналов гармоник к основной гармонике.

СПЕЦИФИКАЦИЯ ЦАП

Относительная точность

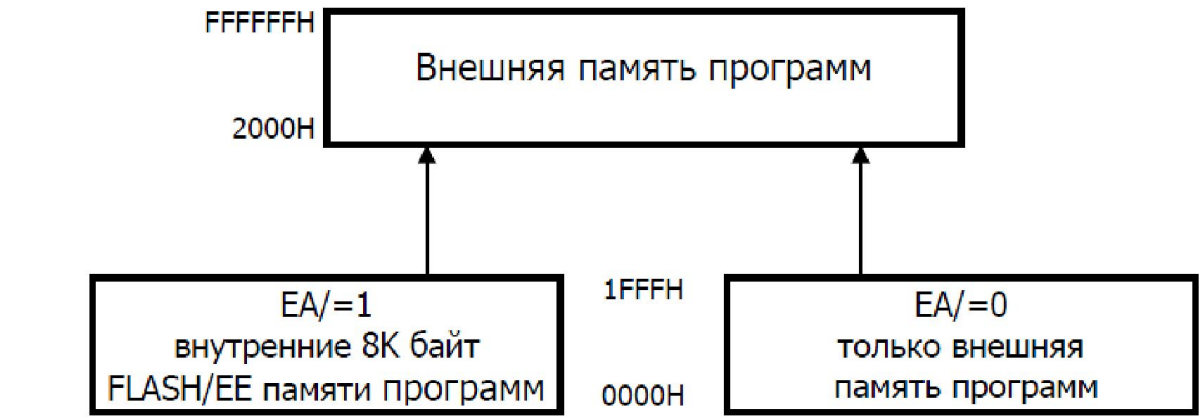
Относительная точность (линейность в конечной точке шкалы) это величина максимального отклонения функции передачи ЦАП от идеальной прямой, проведенной через крайние точки. Она измеряется после компенсации ошибок сдвига нуля и полной шкалы.

Время установления вых. напряжения

Представляет собой интервал времени, в течение которого выходное напряжение достигает заданного уровня при изменении входного кода до значения полной шкалы.

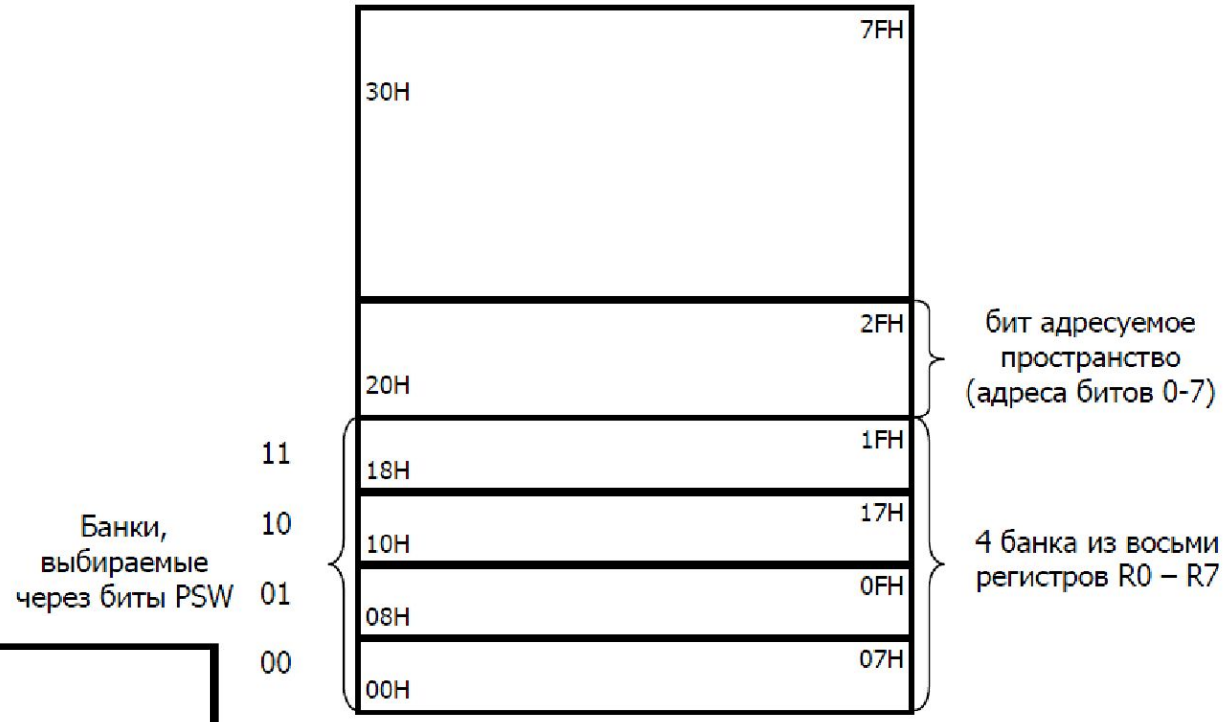
Импульсная помеха на аналоговом выходе со стороны цифрового входа

Представляет собой некоторую величину заряда, инжектированного на аналоговый выход при изменении входного кода. Помеха специфицируется площадью импульса в (нВ·с).


FFFFFFH
Внешняя память программ
2000H
EA/=1
внутренние 8K байт
FLASH/EE памяти программ
1FFFH
0000H
EA/=0
только внешняя
память программ

9FH
страница 159
640 байт FLASH/EE
памяти данных,
доступные косвенно
через SFR регистры
страница 0
00H
Внутренняя
память программ
FFH
Доступна только косвенно
SFR (регистры
специального назначения)
только косвенно
80H
7FH
Доступна непосредственно
и косвенно
00H

FFFFFFH
Внешняя
память программ
Адресное
пространство
24 разряда
000000H


7FH
30H
2FH
20H
бит адресуемое
пространство
(адреса битов 0-7)
1FH
18H
17H
10H
0FH
08H
07H
00H
Банки,
выбираемые
через биты PSW
11
10
01
00
4 банка из восьми
регистров R0 – R7

Программная модель ADuC812

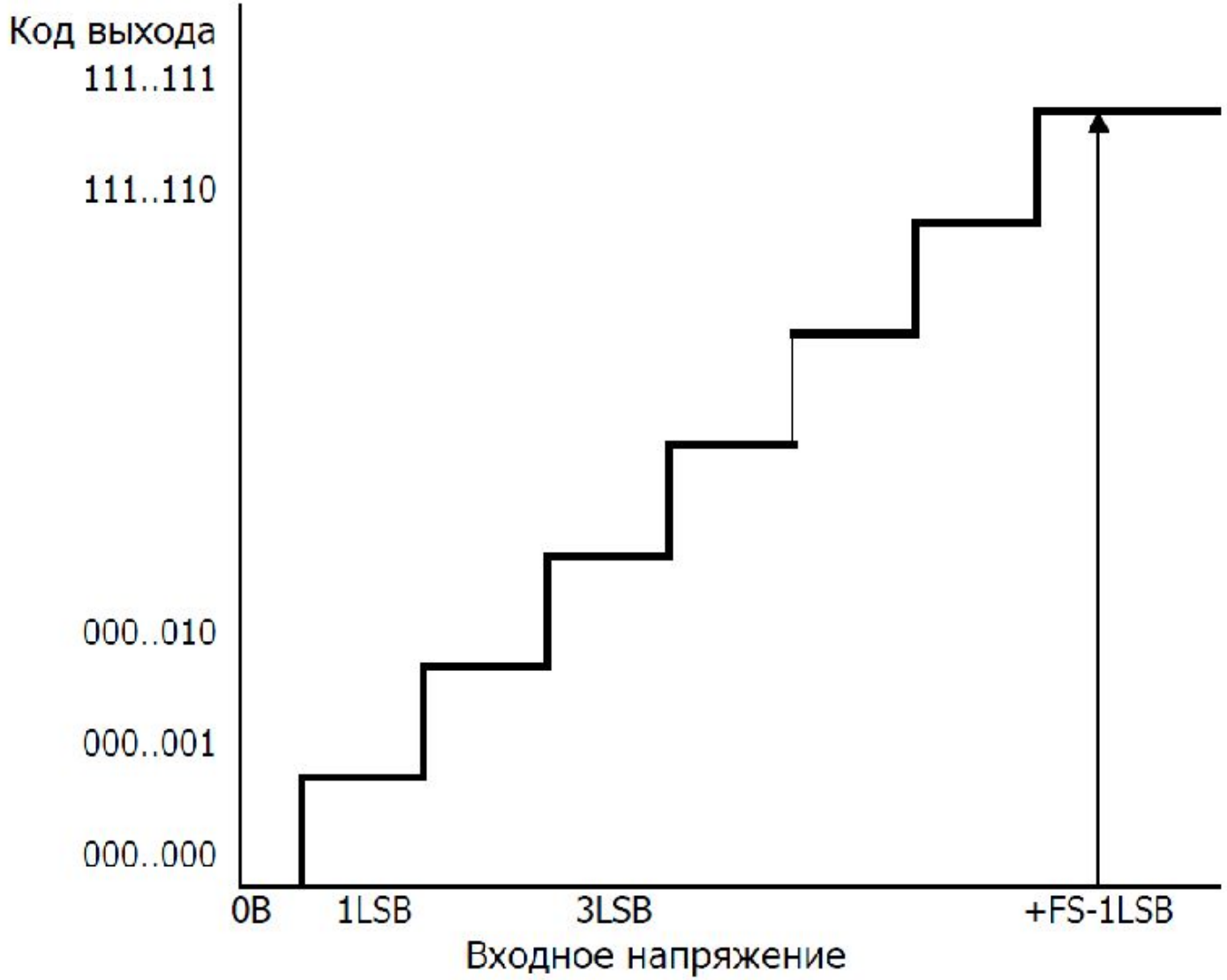
Блок АЦП включает в себя восьмиканальный пяти микросекундный А/Ц преобразователь с однополярным питанием. Пользователю предоставлены многоканальный мультиплексор, устройство выборки-хранения, встроенный ИОН, система калибровок и собственно АЦП. Все компоненты блока легко управляется через три интерфейсных регистра специального назначения.

А/Ц преобразователь состоит из стандартного конвертера последовательного приближения и емкостного ЦАП. Конвертер получает аналоговые входные сигналы в диапазоне 0 - Vref. На кристалле расположен ИОН - прецизионный блок с низким дрейфом, откалиброванный изготовителем до 2.5В. На контакте Vref внутренний ИОН может быть подавлен внешним. Внешний ИОН может быть в диапазоне от 2.3В до Vref .

Однократный или повторяющийся режимы преобразования могут выполняться программно или подачей внешнего сигнала Запуска Преобразования на контакт 25 (CONVST/). Также для инициирования повторяющегося процесса преобразования можно использовать сигналы Таймера2. АЦП можно установить в режим передачи данных по каналу прямого доступа к памяти - ПДП (DMA), когда блок повторяет циклы преобразования и посылает выборки во внешнюю память данных (RAM), минуя процессор. Этот процесс может охватывать весь объем внешней памяти 16МБ.

ADuC812 поставляется с заводскими калибровочными коэффициентами, которые загружаются автоматически по включению питания, обеспечивая тем самым оптимальную работу устройства. Ядро АЦП содержит внутренние регистры калибровок Смещения и Усиления, причем, обеспечено, чтобы программная процедура калибровки пользователя подавляла заводские установки, давая тем самым минимум ошибок в конечной системе. Если необходимо, то через АЦП можно так же преобразовать сигнал внутреннего температурного сенсора (канал-9).

Диапазон входных напряжений АЦП 0..Vref. Для этого диапазона напряжений смена соответствующих кодов происходит посередине между последовательными квантами (т.е. 1/2LSB, 3/2LSBs, 5/2LSBs, .., FS-3/2LSBs). Выходной код - прямая в двоичном коде с 1LSB=FS/4096 или 2.5В/4096=0.61мВ при Vref=2.5В. Идеализированная функция передачи от 0 до Vref показана на Рис.4.



Работа АЦП полностью контролируется тремя SFR: **ADCCON1**, **ADCCON2** и **ADCCON3**.

ADCCON1 - (SFR #1 управления АЦП)

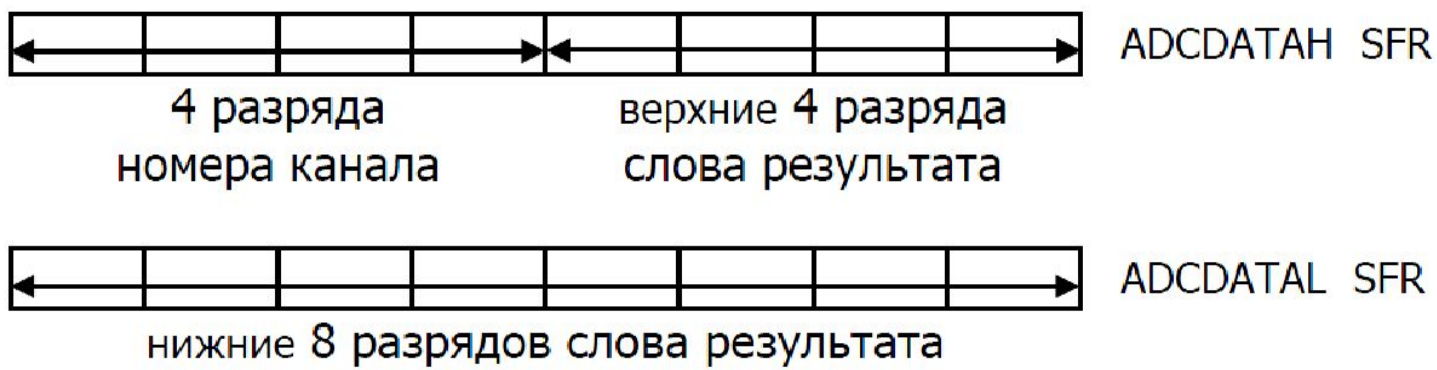
MD1	MD0	CK1	CK0	AQ1	AQ0	T2C	EXC

Регистр ADCCON1 управляет преобразованием, временем переключения, режимами преобразования и потреблением устройства.

Адрес SFR	EFH
Значение SFR по включению питания	20H
Наличие битовой адресации	нет

Замечание: Если АЦП находится в Холостом Режиме, Vref удерживается включенным, в то время как в Дежурном Режиме вся периферия АЦП выключена. Среднее потребление тока блоком АЦП = 1.6 мА при Vdd = 5В.

Как только АЦП сконфигурирован с помощью ADCCON1-3, он начнет преобразовывать аналоговые входные сигналы и давать 12-разрядные выходные коды в регистрах ADCDATAH(L). В четырех разрядах ADCDATAH хранится номер канала. Формат слова результата показан на Рис.5.



Расположение бит	Мнемоника	Описание
ADCCON1.7 ADCCON1.6	MD1 MD0	Биты режима выбирают режимы работы АЦП следующим образом: **MD1 MD0 Режим АЦП** 0 0 Дежурный 0 1 Нормальный 1 0 Дежурный, если не выполняется цикл преобразования 1 1 Холостой, если не выполняется цикл преобразования
ADCCON1.5 ADCCON1.4	CK1 CK0	Биты деления тактовой частоты, выбирают коэффициент деления основной частоты микропроцессора для получения тактовой частоты АЦП. Цикл преобразования АЦП занимает 16 тактов, в дополнении к числу тактов переключения (см. ниже AQ0-AQ1). Коэффициент выбирается из: **CK1 CK0 Делитель для MCLK** 0 0 1 0 1 2 1 0 4 1 1 8
ADCCON1.3 ADCCON1.2	AQ1 AQ0	Биты задержки переключения, выбирают время, необходимое для перезарядки УВХ при переключении мультиплексора: **AQ1 AQ0 Число тактов задержки запуска АЦП** 0 0 1 0 1 2 1 0 3 1 1 4 Примечание: при импедансе входного источника сигналов менее 8 КОм (AQ1-AQ0=00 т.е. AQ=1). Иначе задержку увеличивают до 2 - 4 тактов.
ADCCON1.1	T2C	Бит запуска преобразования от Таймера2. Если бит установлен, то сигнал переполнения Таймера2 используется для запуска АЦП.
ADCCON1.0	EXC	Бит разрешения внешнего запуска. Если установлен, то контакт 23 (CONVST/) будет использоваться как сигнал запуска (активный низкий должен быть не менее 100 нс).

ADCCON3 - (SFR #3 управления АЦП)

BUSY	RSVD	RSVD	RSVD	CTYP	CAL1	CAL0	CALST

Регистр ADCCON3 Дает индикацию занятости АЦП для прикладных программ.

Адрес SFR F5H

Значение SFR по включению питания 00H

Наличие битовой адресации нет

Расположение бит	Мнемоника	Описание
ADCCON3.7	BUSY	Бит занятости АЦП (только для чтения). Устанавливается на время преобразования или калибровки АЦП. Автоматически очищается по завершению циклов преобразования или калибровки.
ADCCON3.6-3.0	RSVD	Биты ADCCON3.0-ADCCON3.6 - зарезервированы. Они считываются с нулевым значением, и их следует записывать только нулями.

ADCCON2 - (SFR #2 управления АЦП)

ADCI	DMA	CCONV	SCONV	CS3	CS2	CS1	CS0

Регистр ADCCON2 управляет выбором номера канала и режимами преобразования.

Адрес SFR D8H

Значение SFR по включению питания 00H

Наличие битовой адресации есть

Расположение бит	Мнемоника	Описание
ADCCON2.7	ADCI	Бит прерывания АЦП устанавливается аппаратно по окончанию однократного цикла преобразования АЦП или по окончанию передачи блока в режиме ПДП. ADCI очищается аппаратно при переходе по вектору на Процедуру Обслуживания Прерывания.
ADCCON2.6	DMA	Бит разрешения режима ПДП. Устанавливается пользователем для начала операции ПДП со стороны АЦП.
ADCCON2.5	CCONV	Бит циклического преобразования. Устанавливается пользователем для установки АЦП в режим непрерывного циклического преобразования. В этом режиме АЦП выполняет преобразование в соответствии с типом синхронизации и конфигурацией каналов, выбранными в других SFR.
ADCCON2.4	SCONV	Бит запуска однократного преобразования. Устанавливается пользователем для однократного запуска АЦП. Бит сбрасывается автоматически по завершению преобразования.
ADCCON2.3 ADCCON2.2 ADCCON2.1 ADCCON2.0	CS3 CS2 CS1 CS0	Биты выбора входных каналов (CS3..CS0). Позволяют осуществлять выбор номера канала АЦП под управлением программы. Преобразование будет выполняться для канала, номер которого указан данными битами. В режиме ПДП выбор номера канала осуществляется из ID канала, записанного во внешней памяти. **CS3 CS2 CS1 CS0 CH#** 0 n2 n1 n0 Номер входного канала (n2n1n0) 1 0 0 0 Температурный сенсор (внутренний) 1 X X X Другие комбинации 1 1 1 1 Останов ПДП

ВСТРОЕННЫЙ ИОН АЦП

Если используется внутренний ИОН оба контакта Vref и Cref должны быть блокированы конденсаторами 100 нФ на аналоговую землю AGND. Емкости следует располагать к контактам так близко, как это только возможно. Для правильной работы устройства при использовании внешнего ИОН его величина должна быть в пределах от 2.3 В до аналогового питания AVdd. Если требуется, чтобы внутренний ИОН использовался вне устройства, его необходимо буферизовать от контакта Vref, так же следует использовать конденсатор емкостью 100 нФ на AGND. Внутренний ИОН калибруется на заводе с точностью 2.5 В ± 50 мВ. Следует отметить, что внутренний ИОН будет выключен до тех пор пока ЦАП или АЦП не будут включены соответствующими битами разрешения.

КАЛИБРОВКА

Блок АЦП имеет четыре SFR, ответственные за проведение калибровки. Эти регистры управляют логикой калибровки, гарантируя оптимальную работу 12-разрядного АЦП. Являясь частью логики инициализации по включению питания, эти регистры автоматически и прозрачно для пользователя загружаются константами, запрограммированными при производстве устройства. Во многих приложениях использование заводских констант является достаточным, однако иногда для компенсации ошибок коэффициента усиления и смещения нуля всей системы в целом заводские константы могут быть подавлены пользовательскими, загружаемыми в SFR.

Блок АЦП включает в себя аппаратуру, которая гарантирует оптимальную работу АЦП. Режимы калибровки выполняются как часть заводских процедур конечного тестирования. Результаты заводской калибровки записываются в ЭРПЗУ и автоматически перегружаются в регистры калибровки при инициализации АЦП по включению питания. Во многих приложениях эта функция автокалибровки является достаточной. В противном случае, для компенсации значительных изменений эксплуатационных условий (например, тактовой частоты, диапазона входных сигналов, напряжения питания или ИОН), калибровку можно выполнить с помощью пользовательских программ. Это свойство встроенной программной калибровки позволяет ликвидировать системные ошибки (какой бы характер они не носили: внутренний или внешний) и использовать весь динамический диапазон АЦП путем подстройки диапазона входных сигналов для каждой конкретной системы. Для получения дополнительной информации по применению процедур калибровки в ваших конкретных приложениях смотрите технические замечания.

Режим ПДП

РЕЖИМЫ РАБОТЫ АЦП

Внутренний АЦП сконструирован таким образом, что может осуществлять выборки каждые 5 мкс. Таким образом, от пользовательских программ требуется обслужить прерывание, прочитать результат и записать его для дальнейшей обработки, и выполнить это в течение 5 мкс, иначе результат следующей выборки можно потерять. Для приложений, где устройство не может поддерживать высокую скорость обработки прерываний существует режим прямого доступа к памяти (ПДП).

Режим ПДП включается битом разрешения ПДП (ADCCON2.6), позволяющим АЦП выполнять циклические выборки, как при конфигурировании через ADCCON SFR. Результат каждой выборки записывается во внешнюю статическую память (СЗУПВ), минуя микропроцессорное ядро. Этот режим работы гарантирует выполнение циклических выборок с максимальной скоростью. До включения режима ПДП необходимо разметить внешнюю память, в которую будут записываться выборки. Разметка состоит в записи идентификаторов номеров каналов ID (четыре старших разряда) во внешней памяти. На Рис.6. показана типовая разметка внешней памяти

00000AH	1	1	1	1		команда СТОП ПДП
	0	0	1	1		повторить последний канал
	0	0	1	1		преобразовать канал №3
	1	0	0	0		преобразовать Температурный Сенсор
	0	1	0	1		преобразовать канал №5
000000H	0	0	1	0		преобразовать канал №2

После разметки заносится значение указателя памяти ПДП в регистры DMAP, DMAH и DMAL. В этих SFR следует указывать стартовый адрес ПДП во внешней памяти. Например, 000000H, как в примере на Рис.6. Три байта стартового адреса следует записывать в следующем порядке: DMAL, DMAH и DMAP. Конец таблицы ПДП обозначается записью «1 1 1 1» в поле выбора канала. Теперь, для запуска ПДП и передачи результатов в последовательные ячейки внешней памяти можно установить бит разрешения (ADCCON2.6, DMA). Помните, что режим ПДП включится только тогда, когда пользователь предварительно установит время преобразования и режим запуска через SFR ADCCON1 и ADCCON2. Окончание ПДП преобразования устанавливается битом прерывания АЦП в ADCCON2.7. По окончанию ПДП внешняя память данных окажется загруженной новыми результатами работы АЦП, как показано на Рис.7. Следует отметить, что результаты разметки сохраняются.

00000AH	1	1	1	1					сюда не записывается
	x	x	x	x	x	x	x	x	Результат преобразования
	0	0	1	1	x	x	x	x	для канала №3
	x	x	x	x	x	x	x	x	Результат преобразования
	0	0	1	1	x	x	x	x	для канала №3
	x	x	x	x	x	x	x	x	Результат преобразования
	1	0	0	0	x	x	x	x	для канала Температурного Сенсора
	x	x	x	x	x	x	x	x	Результат преобразования
	0	1	0	1	x	x	x	x	для канала №5
	x	x	x	x	x	x	x	x	Результат преобразования
000000H	0	0	1	0	x	x	x	x	для канала №2

Микрооперации во время выполнения режима ПДП

Во время ПДП преобразования ядро свободно для выполнения кода программы, включая внутреннее обслуживание и связь. Однако, следует особо отметить, что доступ MCU к Портам2 и 3 (которые используются контроллером ПДП) во время выполнения ПДП блоком АЦП запрещен. Это означает, что если даже при выполнении программы встретится обращение к Портам2 или 3, данных на внешних контактах этих портов не будет. Как только требуемый блок данных по ПДП будет набран и записан во внешнюю память, MicroConverter вызывает прерывание, что позволяет выполнять постобработку данных без потери времени.

SFR ИНТЕРФЕЙС К БЛОКУ ЦАП

ADuC812 на кристалле содержит два 12-разрядных Ц/А преобразователя. Один SFR управления и четыре SFR данных осуществляют управление работой ЦАП:

DAC0L/DAC1L - содержат 8 младших разрядов данных ЦАП
DAC0H/DAC1H - содержат 4 старших разрядов данных ЦАП
DACCON - содержат биты управления ЦАП общего назначения

При нормальной работе каждый ЦАП модифицируется только тогда, когда записывается младшая часть разряда SFR (DACxL). Можно модифицировать оба ЦАП одновременно, используя бит SYNC в регистре SFR DACCON. При 8-разрядной работе байт, записанный в регистры DACxL, автоматически направляется в верхнюю часть 12-разрядного регистра данных ЦАП.

DACCON (SFR управления ЦАП)

DACI	DMA	CCONV	SCONV	CS3	CS2	CS1	CS0

Адрес SFR	FDH
Значение SFR по включению питания	04H
Наличие битовой адресации	нет

Расположение бит	Мнемоника	Описание
DACCON.7	MODE	Бит устанавливает режим работы обоих ЦАП. Если = 1, то 8-разрядный (запись восьми бит в DACxL SFR). Если = 0, то 12-разрядный.
DACCON.6	RNG1	Бит выбора диапазона ЦАП1. Если = 1, то диапазон ЦАП1 0 .. Vdd. Если = 0, то диапазон ЦАП1 0 .. Vref.
DACCON.5	RNG0	Бит выбора диапазона ЦАП0. Если = 1, то диапазон ЦАП0 0 .. Vdd. Если = 0, то диапазон ЦАП0 0 .. Vref.
DACCON.4	CLR1	Бит очистки ЦАП1. Если = 1, то выход ЦАП1 соответствует коду. Если = 0, то выход ЦАП1 = 0В.
DACCON.3	CLR0	Бит очистки ЦАП0. Если = 1, то выход ЦАП0 соответствует коду. Если = 0, то выход ЦАП0 = 0В.
DACCON.2	SYNC	Бит синхронизации ЦАП0/1. Если = 1, то выходы ЦАП изменяются одновременно, как только данные попадают в регистры DACxL SFR. Можно одновременно обновить выходы обоих ЦАП путем предварительной записи данных в DACxL/H при SYNC=0. Выходы ЦАП одновременно обновятся теперь при установке SYNC = 1.
DACCON.1	PD1	Бит выключения ЦАП1. Если = 1, то ЦАП1 включен. Если = 0, то ЦАП1 выключен.
DACCON.0	PD0	Бит выключения ЦАП0. Если = 1, то ЦАП0 включен. Если = 0, то ЦАП0 выключен.

Обзор FLASH памяти

ADuC812 включает в себя внутреннее ЭРПЗУ, выполненное по FLASH технологии для предоставлению пользователю неразрушаемой, программируемой в системе памяти программ (кода) и данных. FLASH РПЗУ - новейший тип в технологии памяти и основывается на архитектуре одно-транзисторной ячейки. Эта технология вышла из известной технологии создания ЭПЗУ и была разработана в конце 1980-х годов. FLASH память обладает гибкостью программирования в системе (изделии), присущей электрически стираемой программируемой памяти (ЭСПЗУ) и минимальным объемом, присущем электрически программируемой памяти (ЭПЗУ) (см. Рис.8.).

Так как FLASH технология базируется на архитектуре одно-транзисторной ячейки, то FLASH память, подобно ЭПЗУ, можно применять в изделиях, где требуется очень высокая плотность размещения памяти. Подобно ЭСПЗУ FLASH память можно программировать в составе системы на уровне байтов, хотя прежде она должна быть стерта; причем, стирание выполняется блоками. Таким образом, FLASH память часто и, более правильно, называют FLASH/EE память (с электрическим стиранием).

В итоге, FLASH/EE память представляет следующий шаг в направлении идеального устройства памяти, обладающего свойством не разрушаемости, программируемостью в составе системы, высокой плотностью упаковки и низкой стоимостью. FLASH/EE память в составе ADuC812 позволяет модифицировать программный код дистанционно в узлах системы без необходимости их смены в случае однократно программируемых устройств (OTP).

FLASH/EE память и ADuC812

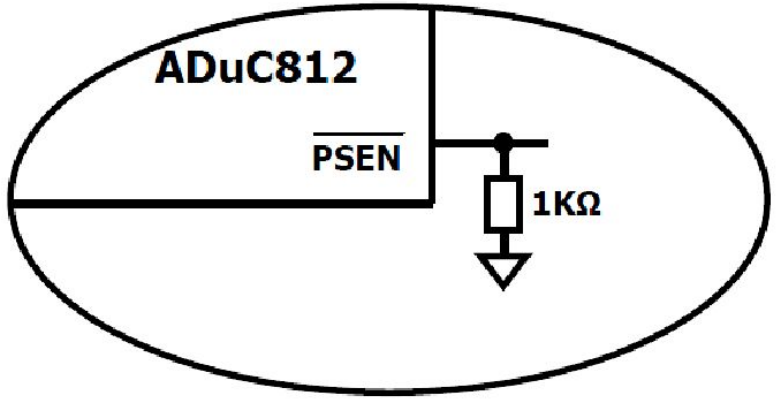
Для приложений пользователя ADuC812 предоставляет два массива FLASH/EE памяти. 1) 8К байт внутренней FLASH/EE памяти программ для выполняемого кода без необходимости установки внешней дискретной памяти ПЗУ. Эту память можно программировать стандартными программаторами от третьих производителей. Кроме того, данную память можно программировать в составе системы, используя имеющийся режим последовательной загрузки. 2) 640 байт внутренней FLASH/EE памяти данных. Она может использоваться как неразрушаемая память данных общего применения. Доступ к данной памяти осуществляется через группу из шести SFR регистров. Память можно программировать на байтовом уровне, но сначала ее следует стереть 4-х байтовыми секторами.

Использование FLASH/EE памяти программ

Это 8К байт FLASH/EE памяти программ в нижней части 64 КБ полной памяти программ, адресуемой устройством и они используются для пользовательского кода его приложений. Память программ может быть запрограммирована одним из двух способов:

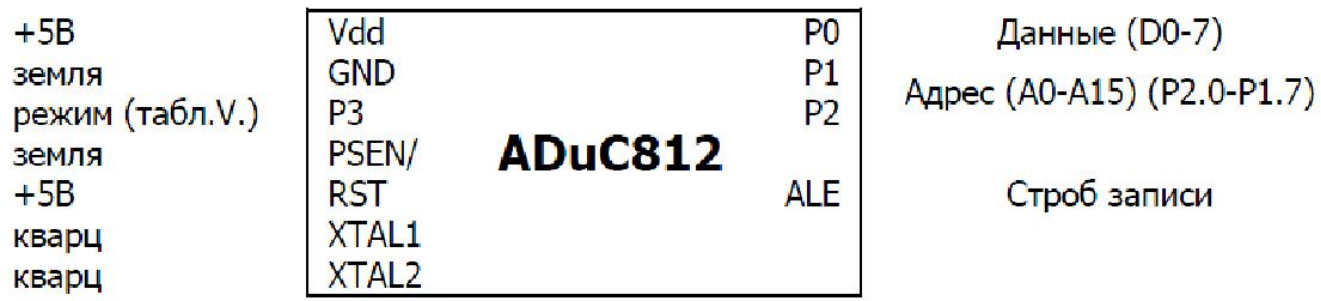
Последовательная загрузка (программирование в составе системы)

ADuC812 обладает программой загрузки кода через стандартный асинхронный последовательный порт (UART), являющейся частью заводского загрузчика. Режим последовательной загрузки включается автоматически при подаче питания, если контакт PSEN/ подключен через внешний резистор на землю, как показано на Рис.9. Находясь в этом режиме, можно загружать код в память программ в то время, как устройство находится в составе аппаратуры конечной системы. Программа загрузки с PC так же существует как часть системы разработки QuickStart для ADuC812. Протокол последовательной загрузки детализирован в технических замечаниях по применению ADuC812.



Параллельное программирование

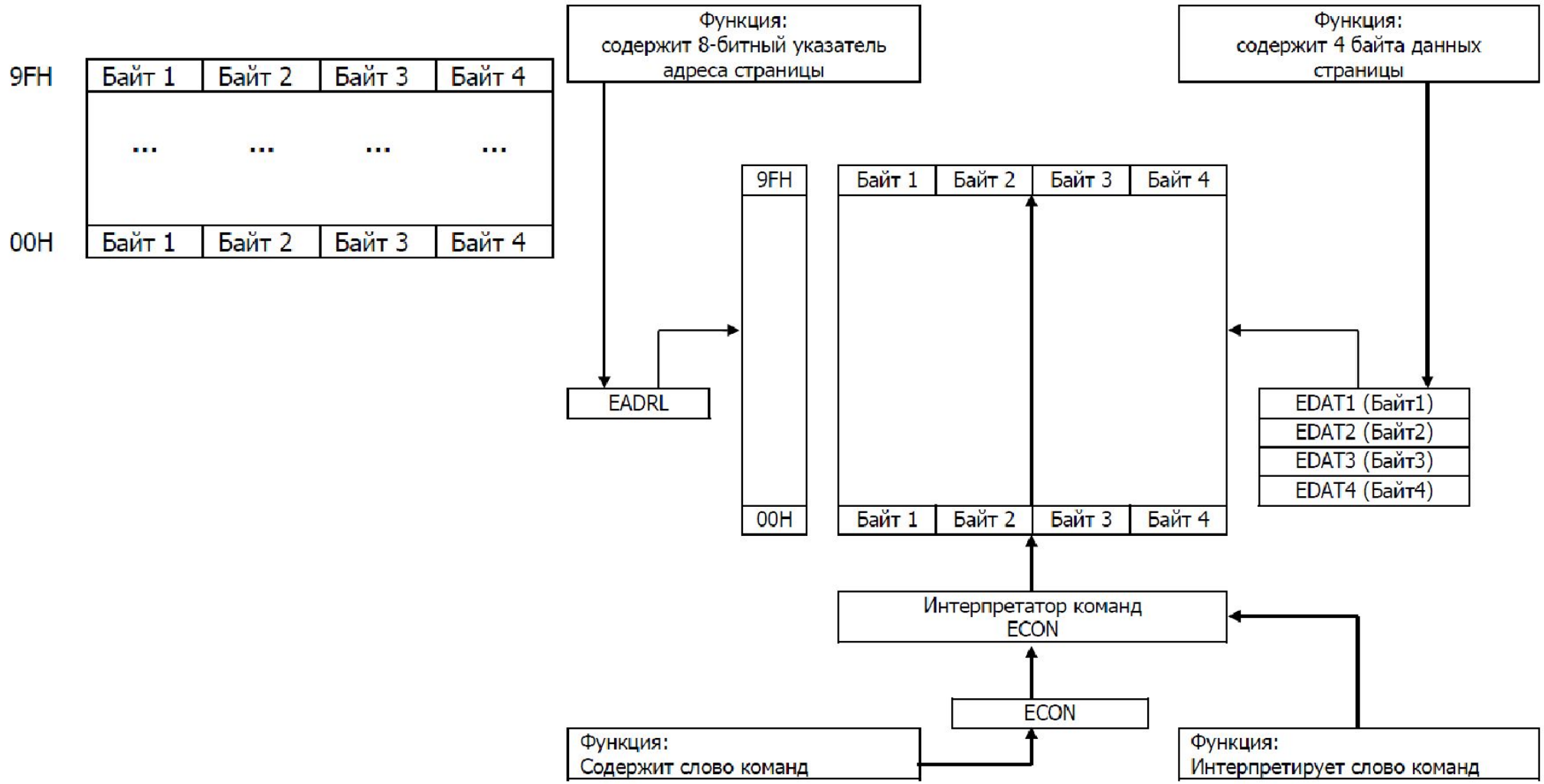
Режим параллельного программирования полностью совместим с работой стандартных программаторов FLASH/EE памяти, поставляемых другими поставщиками. На Рис.10. приводится блок-схема и конфигурация внешних контактов, требуемых для поддержки параллельного программирования. В этом режиме Порты P0, P1 и P2 работают как интерфейсные магистрали внешних данных и адреса, сигнал ALE служит стробом разрешения записи, а Порт P3 используется в качестве порта общей конфигурации, задающего при параллельном программировании режимы программирования и стирания. Источник высокого напряжения (12В), необходимый для программирования FLASH/EE памяти выполнен на кристалле в виде «зарядного насоса».



Контакты Порта (P3.0-P3.7) 7	6	5	4	3	2	1	0	Режим программирования
1	X	X	X	0	0	0	1	Стирание FLASH программ, Стирание FLASH данных
1	X	X	X	0	0	1	1	Чтение идентификаторов производителя и кристалла
1	X	X	X	0	1	0	1	Программирование байта
1	X	X	X	0	1	1	1	Чтение байта
1	X	X	X	1	0	0	1	Зарезервирована
1	X	X	X	1	0	1	1	Зарезервирована
Остальные коды								Резервные

Использование памяти данных

Память данных пользователя состоит из 640 байт, которые составляют 160 (от 00H до 9FH) четырехбайтовых страниц, как показано на Рис.11. Как и для прочей периферии, доступ к этой памяти производится через SFR регистры. Группа из 4-х регистров (EDATA1-4) используется для хранения данных четырех байт страницы из последнего обращения. EADRL используется для хранения адреса страницы, куда будет осуществляться доступ. И, наконец, ECON - 8-разрядный регистр управления, в который записывается одна из пяти команд управления доступом к памяти, допускающие различные операции чтения, записи, стирания и верификации. Блок-схема регистрового интерфейса к памяти показана на Рис.12.



ECON (Регистр управления памятью)

Регистр является интерпретатором команд и в него можно записать одну из пяти чтения, программирования и стирания, как указано в Таблице VI.

Байт управления	Команда
01H	Команда Чтения. Результаты заносятся в регистры EDATA 1-4 со страницы, адрес которой содержится в EADRL.
02H	Команда Записи. Данные, содержащиеся в 4-х байтах (EDATA 1-4) записываются в память по адресу, указанному в EADRL. Предполагается, что обозначенная для записи страница предварительно стерта.
03H	Резервная команда. Не использовать.
04H	Команда Верификации. Позволяет пользователю проверить данные, которые содержатся в EDATA 1-4 с уже записанными по адресу указателя EADRL. Следующее чтение ECON SFR даст ноль, если проверка прошла успешно и не ноль, в противном случае.
05H	Команда Стирания. Приводит к стиранию страницы, адрес которой указан в EADRL.
06H	Команда Стирать Все. Приводит к стиранию всей памяти пользователя (640 байт).
07H .. FFH	Резервные команды. Зарезервированы для дальнейшего применения.

Стирание всей памяти

Хотя 640-байтовая FLASH/EE память пользователя отгружается с завода стертой, т.е. в ячейки записан код FFH, является хорошей практикой включать цикл Стереть Всю Память при выполнении процедур ее реконфигурирования. Команда Стереть Все состоит в записи в регистр ECON SFR кода 06H, при этом инициируется стирание всех 640 байт памяти. На ассемблере это выглядит следующим образом:

```
MOV  ECON, #06H
;Команда Стереть Все
;Длительность 20 мс
```

Использование интерфейса к FLASH/EE памяти

Как в случае памяти программ, данная память может быть запрограммирована в составе системы побайтно, при этом, она предварительно должна быть стерта страничными блоками.

Типовой цикл доступа к FLASH/EE памяти включает в себя установку адреса страницы доступа EADRL SFR, запись данных для программирования в EDATA 1-4 (в случае чтения - не записываются) и, наконец, запись команды в ECON, инициирующей действие в соответствие с Таблицей VI.

Следует отметить, что заданный режим работы инициируется по записи слова команды в ECON SFR. При этом микропроцессорное ядро переходит в холостой режим и находится там до тех пор, пока выполнение команды не завершится.

На практике это означает, что даже если режим работы с FLASH/EE памятью инициируется двумя машинными циклами (инструкция MOV для записи в ECON SFR), следующая инструкция будет выполнена только после окончания цикла обслуживания FLASH/EE памяти (т.е. спустя 250 мкс или 20 мс). Это означает, что ядро не будет обслуживать запросы на прерывание до тех пор, пока операция с FLASH/EE памятью не завершится, хотя функции управления ядра периферией будет выполняться, как, например, продолжение счета времени/событий Счетчиками/Таймерами на протяжении всего псевдохолостого режима.

Временные соотношения при записи и стирании FLASH/EE памяти

Средние временные соотношения для FLASH/EE памяти составляют:

- Стирание всего массива (640 байт) - 20 мс
- Стирание одной страницы (4 байта) - 20 мс
- Программирование страницы (4 байта) - 250 мкс
- Чтение страницы (4 байта) - 1 командный цикл.

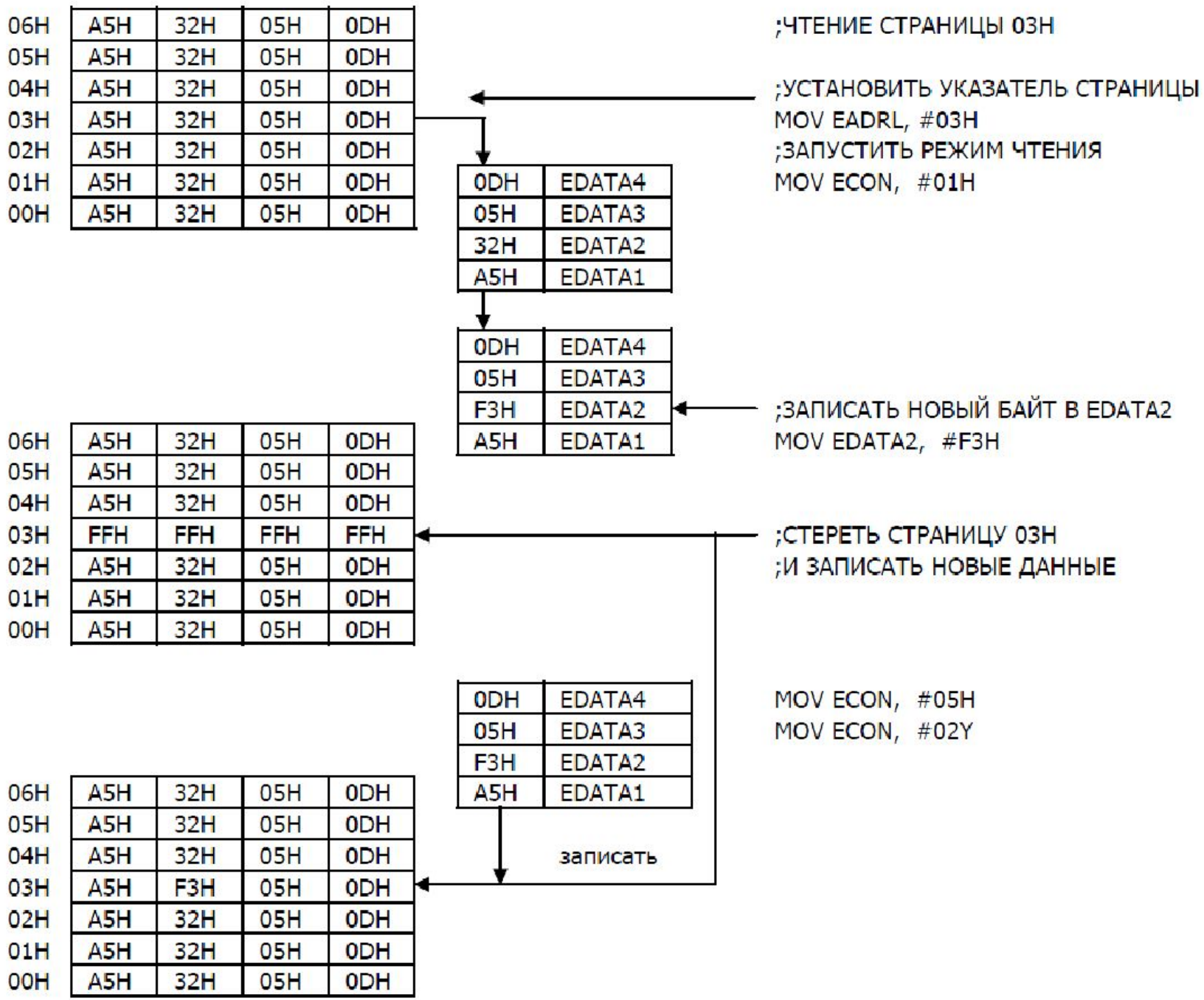
Программирование байта

Вообще говоря, в FLASH/EE памяти запрограммировать байт можно только тогда, когда этот байт был предварительно стерт (в ячейке записано FFH). Вследствие особенности архитектуры FLASH/EE памяти, стирание можно производить только для 1 страницы (минимум 4-байта) при инициировании Команды Стирания.

Пример процесса побайтного программирования графически показан на Рис.13. В этом примере во второй байт на странице 03H пользовательской FLASH/EE памяти записывается код F3H. Однако страница 03H уже содержит данные в четырех байтах, а пользователю требуется изменить только содержимое одного байта; всю страницу следует сначала прочитать с тем, чтобы можно было стереть содержимое этой страницы без потери данных.

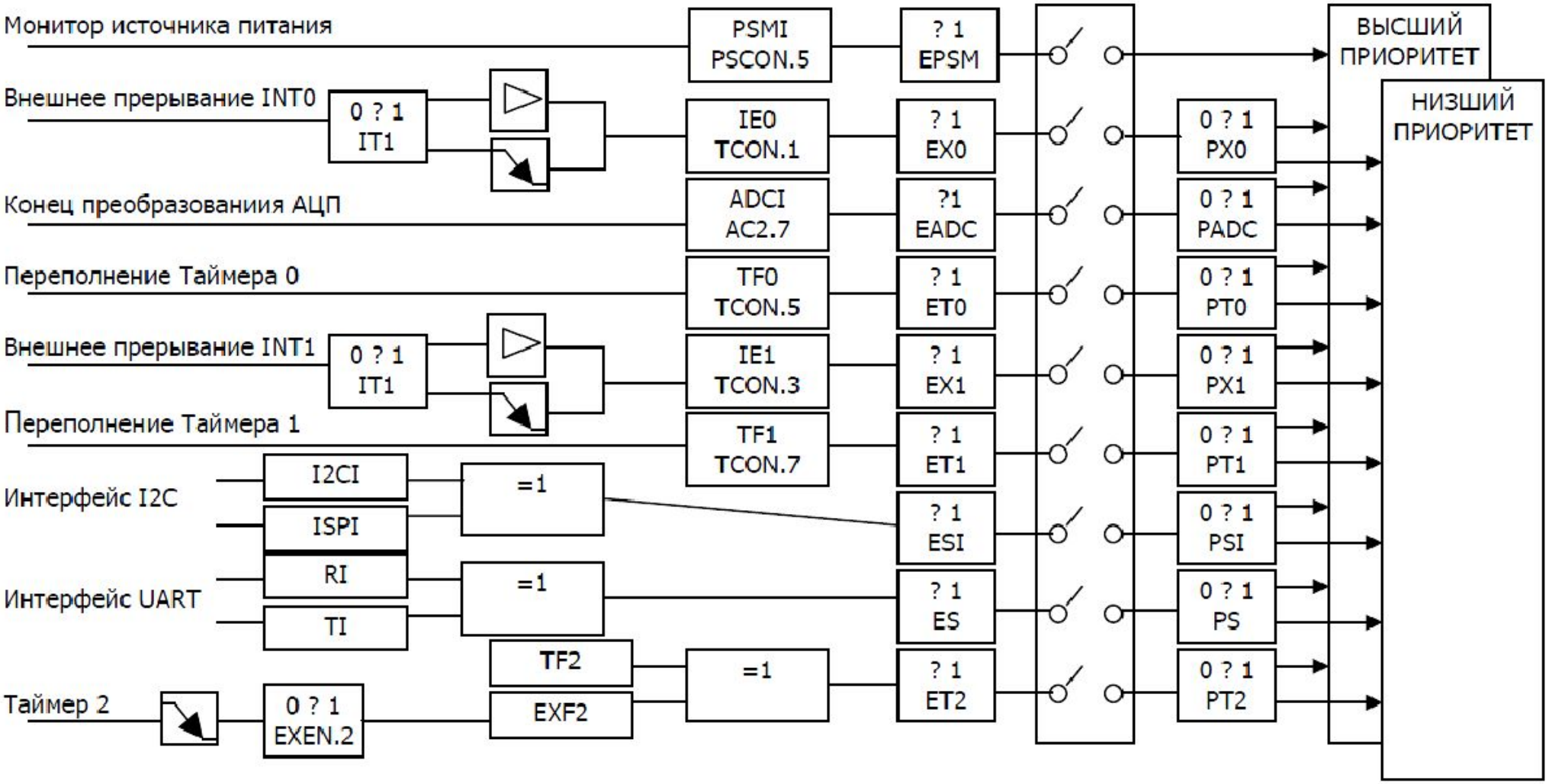
Затем новый байт записывается в EDATA SFR вслед за циклом стирания. Если попытаться начать цикл Программирования (ECON=02H), не выполняя цикла Стирания (ECON=05H), то в этом случае будут модифицированы только те разряды, которые содержат единицы, т.е. для правильной записи массива необходимо выполнить его предварительное стирание. Следует отметить, что циклы стирания страницы и всей памяти имеют одинаковую длительность – 20 мс. Ассемблерный код приведенного примера выглядит следующим образом:

```
MOV  EADRL, #03H      ;Установка указателя страницы
MOV  ECON, #01H       ;Команда Чтения Страницы
MOV  EDATA2, #0F3H    ;Запись нового байта
MOV  ECON, #02H       ;Команда стирания страницы
MOV  ECON, #05H       ;Команда Программирования Страницы
```


06H A5H 32H 05H 0DH
05H A5H 32H 05H 0DH
04H A5H 32H 05H 0DH
03H A5H 32H 05H 0DH
02H A5H 32H 05H 0DH
01H A5H 32H 05H 0DH
00H A5H 32H 05H 0DH
;ЧТЕНИЕ СТРАНИЦЫ 03H
;УСТАНОВИТЬ УКАЗАТЕЛЬ СТРАНИЦЫ
MOV EADRL, #03H
;ЗАПУСТИТЬ РЕЖИМ ЧТЕНИЯ
MOV ECON, #01H
0DH EDATA4
05H EDATA3
32H EDATA2
A5H EDATA1
0DH EDATA4
05H EDATA3
F3H EDATA2
A5H EDATA1
;ЗАПИСАТЬ НОВЫЙ БАЙТ В EDATA2
MOV EDATA2, #F3H
06H A5H 32H 05H 0DH
05H A5H 32H 05H 0DH
04H A5H 32H 05H 0DH
03H FFH FFH FFH FFH
02H A5H 32H 05H 0DH
01H A5H 32H 05H 0DH
00H A5H 32H 05H 0DH
;СТЕРЕТЬ СТРАНИЦУ 03H
;И ЗАПИСАТЬ НОВЫЕ ДАННЫЕ
0DH EDATA4
05H EDATA3
F3H EDATA2
A5H EDATA1
MOV ECON, #05H
MOV ECON, #02Y
06H A5H 32H 05H 0DH
05H A5H 32H 05H 0DH
04H A5H 32H 05H 0DH
03H A5H F3H 05H 0DH
02H A5H 32H 05H 0DH
01H A5H 32H 05H 0DH
00H A5H 32H 05H 0DH
записать

СИСТЕМА ПРЕРЫВАНИЙ

ADuC812 обеспечивает восемь источников и два уровня прерываний. На Рис.14. приводятся прерывания данного уровня в порядке убывания приоритета, там же дается общий обзор источников прерываний, флагов запросов и управления. Адреса векторов прерываний приводятся в Таблице VII.



Прерывание	Наименование источника прерывания	Адрес вектора	Уровень приоритета
PSMI	Монитор Источника Питания	43H	1
IE0	Внешнее прерывание INT0/	03H	2
ADCI	Конец преобразования АЦП	33H	3
TF0	Переполнение Таймера 0	0BH	4
IE1	Внешнее прерывание INT1/	13H	5
TF1	Переполнение Таймера 1	1BH	6
I2CI/ISPI	Прерывание Последовательного интерфейса	3BH	7
RI/TI	Прерывание Асинхронного интерфейса UART	23H	8
TF2/EXF2	Прерывание от Таймера 2	2BH	9

Использование прерываний

Для обработки любого из прерываний следует предпринять следующие три действия:

1. Расположить процедуру обслуживания прерывания по адресу соответствующего прерывания.
2. Установить бит разрешения всех прерываний (EA) «1» в регистре IE SFR.
3. Установить бит разрешения индивидуального прерывания в «1» в IE или IE2 SFR.

Для разрешения и установки приоритета различных прерываний используются три регистра SFR. Распределение разрядов этих регистров приводится в Таблицах VIII, XI и X. Следует отметить, что в то время как регистры IE и IP являются бит адресуемыми, регистр IE2 - адресуется только байтом

IE - (SFR #1 разрешения прерываний)

EA	EADC	ET2	ES	ET1	EX1	ET0	EX0

IE регистр разрешает прерывание в системе и семи источникам прерываний.

Адрес SFR A8H
Значение SFR по включению питания 00H
Наличие битовой адресации есть

Расположение бит	Мнемоника	Описание
IE.7	EA	Бит Разрешения Глобального Прерывания (EA); должен быть установлен для опознания любого источника прерывания ядром. Если EA=0, все прерывания запрещены.
IE.6	EADC	Бит Разрешения Прерывания АЦП (EADC).
IE.5	ET2	Бит Разрешения Прерывания по Переполнению Таймера 2 (ET2).
IE.4	ES	Бит Разрешения Прерывания от Последовательного Порта UART (ES).
IE.3	ET1	Бит Разрешения Прерывания по Переполнению Таймера 1 (ET1).
IE.2	EX1	Бит Разрешения Внешнего Прерывания INT1 (EX1).
IE.1	ET0	Бит Разрешения Прерывания по Переполнению Таймера 0 (ET0).
IE.0	EX0	Бит Разрешения Внешнего Прерывания INT0 (EX0).
		Указанные биты устанавливаются в «1» для разрешения прерываний.

IE2 - (SFR #2 разрешения прерываний)

NU	NU	NU	NU	NU	NU	EPSM	ESI

IE регистр разрешает прерывание двум дополнительным источникам прерываний.

Адрес SFR A9H
Значение SFR по включению питания 00H
Наличие битовой адресации нет

Расположение бит	Мнемоника	Описание
IE2.7-2.2	NU	Не используются
IE2.1	EPSM	Бит Разрешения Прерывания по Монитору Питания (EPSM).
IE2.0	ESI	Бит Разрешения Прерывания от Интерфейсов SPI/I2C (ESI).
		Указанные биты устанавливаются в «1» для разрешения прерываний

IP - (SFR приоритета прерываний)

PS1	PADC	PT2	PS	PT1	PX1	PT0	PX0

Регистр IP устанавливает один из двух возможных уровней прерывания для различных источников прерывания. Установите соответствующий бит в «1» для присвоения высокого уровня данному прерыванию или «0» для низкого.

Адрес SFR	B8H
Значение SFR по включению питания	00H
Наличие битовой адресации	есть

Расположение бит	Мнемоника	Описание
IP.7	PSI	Устанавливает приоритет прерывания от SPI/I2C
IP.6	PADC	Устанавливает приоритет прерывания от АЦП
IP.5	PT2	Устанавливает приоритет прерывания от Таймера 2
IP.4	PS	Устанавливает приоритет прерывания от последовательного порта UART
IP.3	PT1	Устанавливает приоритет прерывания от Таймера 1
IP.2	PX1	Устанавливает приоритет прерывания от Внешнего источника INT1
IP.1	PT0	Устанавливает приоритет прерывания от Таймера 0
IP.0	PX0	Устанавливает приоритет прерывания от Внешнего источника INT0

Параллельные порты ввода/вывода

Для обмена с внешними устройствами в составе ADuC812 имеется четыре порта общего назначения. В дополнении к функции общего ввода/вывода, некоторые порты могут управлять операциями с внешней памятью, в то время как другие мультиплексируются альтернативными функциями для периферии. В общем случае, когда периферийная функция для контакта порта разрешена, данный контакт не может употребляться в качестве бита порта ввода/вывода общего назначения.

Порты 0, 2 и 3 - двунаправленные, Порт 1 служит только для ввода. Все порты содержат выходную защелку и входной буфер, порты ввода/вывода содержат также выходной буфер (драйвер). Доступ к контактам Портов 0 - 3 по Чтению и Записи выполняется через соответствующие регистры специального назначения. Контакты Портов 0, 2 и 3 можно конфигурировать независимо как для цифрового ввода, так и для вывода через соответствующие биты SFR. Контакты Порта 1 можно конфигурировать только либо на цифровой ввод, либо на аналоговый; возможность цифрового вывода по Порту 1 не поддерживается.

Порты последовательного ввода/вывода

Асинхронный интерфейс (UART)

Последовательный порт - полнодуплексный, что означает возможность одновременной передачи и приема. Имеется буфер приема, что подразумевает возможность приема второго байта до считывания из регистра приемника предыдущего. Однако если предыдущий байт не будет считан из регистра к моменту окончания приема второго байта, то один из байтов будет утерян.

Физический интерфейс к сети последовательных данных осуществляется через контакты RxD(P3.0) и TxD(P3.1), а сам порт можно конфигурировать на четыре режима работы.

Последовательный периферийный интерфейс (SPI)

SPI является промышленным стандартным интерфейсом синхронного последовательного обмена, который допускает одновременную синхронную передачу и прием восьми бит данных. Систему можно конфигурировать как Ведущую (Master) или как Ведомую (Slave).

I2C - совместимый последовательный интерфейс

ADuC812 поддерживает 2-проводный I2C-совместимый последовательный интерфейс. Этот интерфейс можно сконфигурировать как Программно Ведущий (Software Master) или как Аппаратно Ведомый (Hardware Slave). Он мультиплексируется с Портом SPI.

Таймеры/Счетчики

ADuC812 содержит три 16-разрядных Счетчика/Таймера: Таймер 0, Таймер 1 и Таймер 2. Аппаратура Таймеров/Счетчиков включена в состав чипа для того, чтобы освободить микропроцессорное ядро от излишних затрат ресурса, свойственных программной эмуляции процесса счета. Каждый Таймер/Счетчик состоит из двух 8-разрядных регистров THx и TLx (x = 0, 1 и 2). Все три можно сконфигурировать как таймеры, либо как счетчики событий.
В режиме «Таймера» регистр TLx инкрементируется в каждом машинном цикле. В этом режиме работу можно рассматривать как счет машинных циклов. Так как машинный цикл состоит из 12 периодов осциллятора, то максимальная скорость счета составляет 1/12 от частоты осциллятора. В режиме «Счетчика» регистр TLx инкрементируется по перепаду 1 - 0 на соответствующем контакте микросхемы T0, T1 или T2.

Охранный таймер (WDT)

Назначение охранного таймера (WDT) - сгенерировать сигнал Сброса устройства, если ADuC812 выполняет ошибочные действия, например, по причине сбоя программы или из-за электрических/электромагнитных помех. Действие WDT можно запретить очисткой бита Разрешения WDE в регистре Управления Охранным Таймером (WDCON) SFR.

При разрешенном охранном таймере, он будет генерировать системный сброс, если программа пользователя не обновляет его содержимое в интервале предустановленного времени. Интервал можно менять с помощью установки через специальный регистр в диапазоне от 16 мс до 2048 мс.

Внутренние мониторы

Для минимизации повреждения кода или данных вследствие возникновения катастрофических программных или внешних сбоев системы ADuC812 включает в себя две мониторных функции. Обе мониторные функции конфигурируются через регистры SFR.

Монитор источника питания (PSM)

Монитор источника питания (PSM) генерирует прерывание, когда значение аналогового или цифрового напряжения питания падает ниже одной из пяти, устанавливаемой пользователем, пороговой величины (от 2.6 В до 4.6 В). Бит прерывания не будет очищаться в течение не менее 256 мс и до тех пор, пока напряжение источника не станет выше порогового значения.

Эта функция гарантирует, что пользователь успеет спасти рабочие регистры во избежание возможной потери данных из-за низкого питания. Выполнение программного кода не продолжится до тех пор, пока не установится «безопасный» уровень питания. Монитор питания также защищен от импульсных помех в цепи прерывания.

РЕГИСТРЫ СПЕЦИАЛЬНОГО НАЗНАЧЕНИЯ (SFR)

Все регистры, исключая счетчик команд и четырех банков регистров общего назначения, располагаются в области регистров специального назначения (SFR). Эти регистры включают в себя регистры управления и настройки, а также регистры данных, которые обеспечивают интерфейс между CPU и внутренней периферией. На Рис.16. показано расположение регистров специального назначения в памяти и их состояние после выполнения Сброса системы.

SPICON[1] F8H 00H	**DAC0L** F9H 00H	**DAC0H** FAH 00H	**DAC1L** FBH 00H	**DAC1H** FCH 00H	**DACCON** FDH 00H	РЕЗЕРВ	НЕ ИСП.
B[1] F0H 00H	**ADCOFSL**[3] F1H 00H	**ADCOFSH**[3] F2H 20H	**ADCGAINL**[3] F3H 00H	**ADCGAINH**[3] F4H 0H	**ADCCON3** F5H 00H	РЕЗЕРВ	**SPIDAT** F7H 00H
I2CCON[1] E8H 00H	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	**ADCCON1** EFH 20H
ACC[1] E0H 00H	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ
ADCCON2[1] E0H 00H	**ADCDATAL** D9H 00H	**ADCDATAH** DAH 00H	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	**PSMCON** DFH DCH
PSW[1] D0H 00H	РЕЗЕРВ	**DMAL** D2H 00H	**DMAH** D3H 00H	**DMAL** D4H 00H	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ
T2CON[1] C8H 00H	РЕЗЕРВ	**RCAP2L** CAH 00H	**RCAP2H** CBH 00H	**TL2** CCH 00H	**TH2** CDH 00H	РЕЗЕРВ	РЕЗЕРВ
WDCON[1] C0H 00H	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	**ETIM3** C4H C9H	РЕЗЕРВ	**EDARL** C6H 00H	РЕЗЕРВ
IP[1] B8H 00H	**ECON** B9H 00H	**ETIM1** BAH 52H	**ETIM2** BBH 04H	**EDATA1** BCH 00H	**EDATA2** BDH 00H	**EDATA3** BEH 00H	**EDATA4** BFH 00H
P3[1] B0H FFH	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.
IE[1] A8H 00H	**IE2** A9H 00H	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.
P2[1] A0H FFH	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.
SCON[1] 98H 00H	**SBUF** 99H 00H	**I2CDAT** 9AH 00H	**I2CADD** 9BH 00H	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.
P1[1,2] 90H FFH	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.
TCON[1] 88H 00H	**TMOD** 89H 00H	**TL0** 8AH 00H	**TL1** 8BH 00H	**TH0** 8CH 00H	**TH1** 8DH 04H	НЕ ИСП.	НЕ ИСП.
P0[1] 80H FFH	**SP** 81H 07H	**DPL** 82H 00H	**DPH** 83H 00H	**DPP** 84H 00H	РЕЗЕРВ	РЕЗЕРВ	**PCON** 87H 00H

ADCCON1	Регистр управления АЦП #1
ADCCON1.7	Биты управления питанием АЦП
ADCCON1.6	(выключено, норма,
	автовыключено, автохолостое)
ADCCON1.5	Время преобразования =
ADCCON1.4	16/ADCCLK;ADCCLK=MCLK/(1,2,4,8)
ADCCON1.3	Выбор задержки переключения
ADCCON1.2	AQT=(1,2,3,4)/ADCCLK
ADCCON1.1	Разрешение запуска от Таймера 2
ADCCON1.0	Разрешение внешнего запуска

ADCCON2	Регистр управления АЦП #2
ADCI.7	Флаг прерывания АЦП
DMA.6	Разрешение режима ПДП
CCONV.5	Циклическое преобразование
SCONV.4	Однократный запуск АЦП
CS3.3	Биты выбора входного канала
CS2.2	0000-0111=ADC0-ADC7
CS1.1	1XXX=Температурный сенсор
CS0.0	1111=Команда остановки ПДП
	(Только для режима ПДП)

DACCON	Регистр управления ЦАП
DACCON.7	Режим ЦАП (0 =12 бит, 1 = 8 бит)
DACCON.6	Диапазон ЦАП1 (0 = Vref, 1 = Vdd)
DACCON.5	Диапазон ЦАП0 (0 = Vref, 1 = Vdd)
DACCON.4	Очистка ЦАП1
	(0 = 0В, 1 = нормальная работа)
DACCON.3	Очистка ЦАП0
	(0 = 0В, 1 = нормальная работа)
DACCON.2	Синхронизация ЦАП
	(1 = синхронизация)
DACCON.1	Питание ЦАП1
	(0 = выключено, 1 = включено)
DACCON.0	Питание ЦАП1
	(0 = выключено, 1 = включено)

ADCCON3	Регистр управления АЦП #3
ADCCON3.7	Флаг занятости (0=АЦП свободен)
ADCCON3.6	Бит должен содержать ноль
ADCCON3.5	Бит должен содержать ноль
ADCCON3.4	Бит должен содержать ноль
ADCCON3.3	Бит должен содержать ноль
ADCCON3.2	Бит должен содержать ноль
ADCCON3.1	Бит должен содержать ноль
ADCCON3.0	Бит должен содержать ноль

ADCDATAH **ADCDATAL**	Регистры данных АЦП
DMAP, **DMAL,** **DMAH**	Указатель адреса ПДП
ADCGAINH **ADCGAINL**	Калибровочный коэффициент по усилению
ADCOFSH **ADCOFSL**	Калибровочный коэффициент по смещению

DAC1H **DAC1L**	Регистры данных ЦАП1
DAC0H **DAC0L**	Регистры данных ЦАП0

P0	Регистр Порта 0 (A0-A7, D0-D7)
P1	Регистр Порта 1 (ввод)
T2EX.1	Таймер/Счетчик или Триггер
T2.0	Внешний вход Таймера/Счетчика 2
P2	Регистр Порта 2 (A8-A15, A16-A23)
P3	Регистр Порта 3
RD.7	Строб чтения внеш. памяти данных
WR.6	Строб записи в внеш. память данных
T1.5	Внешний вход Таймера/Счетчика 1
T0.4	Внешний вход Таймера/Счетчика 0
INT1.3	Внешнее прерывание 1
INT0.2	Внешнее прерывание 0
TxD.1	Выход передатчика посл. порта
RxD.0	Вход приемника посл. порта
SCON	Регистр управления последовательной связью
SM0.7	Биты управления скоростью
SM1.6	00 - 8 бит регистр сдвига Fosc/12 01 - 8бит UART Таймер2/32*2 10 - 9бит UART Fosc/64*2 11 - 9бит UART Таймер2/32*2
SM2.5	В режимах 2 и 3 разрешает многопроцессорную связь
REN.4	Бит разрешения приема
TB8.3	В режимах 2 и 3 9-й переданный бит
RB8.2	В режимах 2 и 3 9-й принятый бит
TI.1	Флаг прерывания передатчика
RI.0	Флаг прерывания приемника

SBUF	Буферный регистр последовательного порта
PCON	Регистр управления питанием
PCON.7	Удвоение скорости передачи
PCON.4	Запрет строба «ALE» (0=норма, 1=ALE-высокий уровень)
PCON.3	Флаг общего назначения
PCON.2	Флаг общего назначения
PCON.1	Бит выключения питания
PCON.0	Управление Холостым Режимом
PSW	Статусное слово программы
CY.7	Флаг переноса
AC.6	Флаг вспомогательного переноса
F0.5	Флаг общего назначения 0
RS1.4	Биты выбора банка регистров
RS0.3	Активный банк = [0, 1, 2, 3]
OV.2	Флаг переполнения
F1.1	Флаг общего назначения 1
P.0	Паритет аккумулятора
DPP	Указатель страницы данных
DPH, DPL (DPTR)	Указатель данных
ACC	Аккумулятор
B	
SP	Указатель Стека

WDCON	Регистр управления WDT
PRE2.7	Биты выбора тайм аута WDT
PRE1.6	Тайм-аут (16, 32, 64, 128, 256, 512,
PRE0.5	1024, 2048) мс
WDR1.3	Биты обновления WDT
WDR2.2	Устанавливать последовательно
WDS.1	Флаг статуса WDT
WDE.0	Разрешение WDT
PSMCON	Управление монитором питания
PSMCON.7	Не используется
PSMCON.6	Бит статуса PSM (1=норма, 0=сбой)
PSMCON.5	Бит прерывания от PSM
PSMCON.4	Биты установки порога срабатывания
PSMCON.3	[4.63В, 4.37В, 3.08В, 2.93В, 2.63В]
PSMCON.2	
PSMCON.1	Слежение (1 аналог, 0 цифровое)
PSMCON.0	Управление питанием PSM (1 вкл)

ECON	Регистр команд управления FLASH памятью данных
EADRL	Регистр адреса FLASH памяти данных
EDATA1	Регистры FLASH памяти данных
EDATA2	
EDATA3	
EDATA4	
ETIM1	Регистры синхронизации FLASH
ETIM2	памяти данных
ETIM3	

SPICON	Регистр управления SPI
ISPI.7	Прерывание от SPI (устанавливается в конце передачи)
WCOL.6	Флаг ошибки по Столкновению
SPE.5	Разрешение SPI (0=запрет)
SPIM.4	Выбор режима Ведущий (0=Ведомый)
CPOL.3	Выбор полярности синхронизации
SPHA.2	Выбор фазы синхронизации (защелкивание по перед. фронту)
SPR1.1	Биты выбора скорости обмена по SPI.
SPR0.0	Скорость = Fosc/[4, 8, 32, 64]
I2CADD	Адресный регистр I2C
I2CDAT	Регистр данных I2C

SPIDAT	Регистр данных SPI
I2CCON	Регистр управления I2C
MDO.7	Выход последовательных данных в режиме Ведущий
MDE.6	Разрешение Выхода посл. данных в режиме Ведущий
MCO.5	Синхронизация в режиме Ведущий
MDI.4	Вход последовательных данных в режиме Ведущий
I2CM.3	Выбор режима Ведущий
I2CRS.2	Сброс последовательного порта
I2CTX.1	Состояние направления передачи
I2CI.0	Прерывание посл. интерфейса

IE	Регистр разрешения прерываний #1
EA.7	Разрешение прерываний (0=все прерывания запрещены)
EADC.6	Прерывание от АЦП
ET2.5	Прерывание по Таймеру2
ES.4	Прерывание от посл. порта
ET1.3	Прерывание по Таймеру1
EX1.2	Внешние прерывание 1
ET0.1	Прерывание по Таймеру0
EX0.0	Внешние прерывание 0
IE2	Регистр разрешения прерываний #2
IE2.1	Прерываний от монитора питания
IE2.0	Прерывание от интерфейса ISPI/I2CI
IP	Регистр приоритета прерывания
PSI.7	Приоритет интерфейса I2CI/ISPI
PADC.6	Приоритет АЦП
PT2.5	Приоритет переполнения Таймера2
PS.4	Приоритет послед. порта RI/TI
PT1.3	Приоритет переполнения Таймера1
PX1.2	Приоритет внешнего прерывания 1
PT0.1	Приоритет переполнения Таймера0
PX0.0	Приоритет внешнего прерывания 0
TMOD	Регистр режима таймера
TMOD.3/.7	Бит контроля (0=игнорируются прерывания INTx)
TMOD.2/.6	Бит выбора режима Счетчик/Таймер (0=Таймер)
TMOD.1/.5	Биты выбора режима таймера
TMOD.0/.4	Биты (0-3): Таймер 1, (4-7):Таймер 2

TCON	Регистр управления таймером
TF1.7	Флаг переполнения Таймера1
TR1.6	Бит управления работой Таймера1 (0=выключен, 1=включен)
TF0.5	Флаг переполнения Таймера0
TR0.4	Бит управления работой Таймера0 (0=выключен, 1=включен)
IE1.3	Флаг внешнего прерывания 1
IT1.2	Тип IE1 (0=по уровню, 1=по фронту)
IE0.1	Флаг внешнего прерывания 0
IT0.0	Тип IE0 (0=по уровню, 1=по фронту)
TH0, TL0	Регистры Таймера0
TH1, TL1	Регистры Таймера1
T2CON	Регистр управления Таймером2
TF2.7	Флаг переполнения Таймера2
EXF2.6	Внешний флаг
RCLK.5	Синхронизация приемника (0= использовать Таймер1)
TCLK.4	Синхронизация передатчика (1= использовать Таймер1)
EXEN2.3	Разрешение внешнего (0= игнорировать T2EX, 1=CAP/RL)
TR2.2	Бит управления работой Таймера2 (0= выключен, 1=включен)
CNT2.1	Бит выбора режима Счетчик/Таймер (0= Таймер, 1=Счетчик)
CAP2.0	Выбор режима Захват/Перезагрузка (0= Перезагрузка, 1=Захват)
TH2, TL2	Регистры Таймера2
RCAP2H, RCAP2L	Таймер2 Захват/Перезагрузка