

ИНФОРМАТИКА

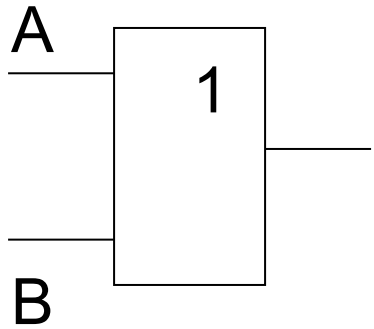
1.3. Логические основы построения компьютеров

1.3.1. Логические операции

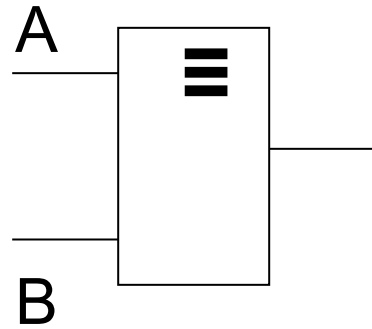
1.3.2. Логические элементы ЭВМ

- ❑ **Базовые логические схемы**
- ❑ **Триггеры**
- ❑ **Регистры**
- ❑ **Полусумматор**
- ❑ **Сумматор**

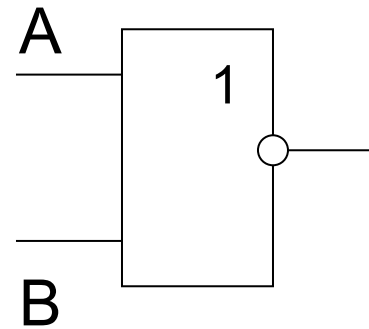
ГОСТ 2.743-91 Базовые элементы (УГО)



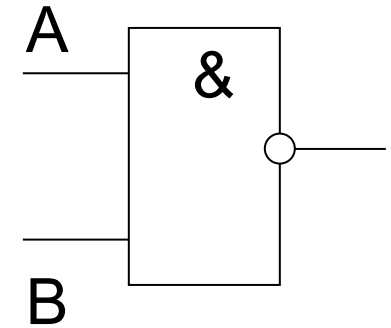
Дизъюнкция



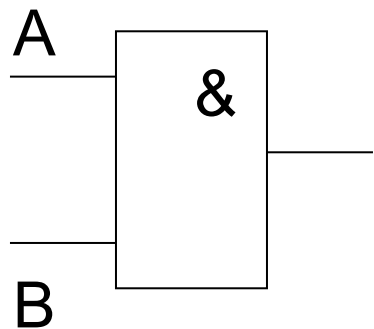
Эквивалентность



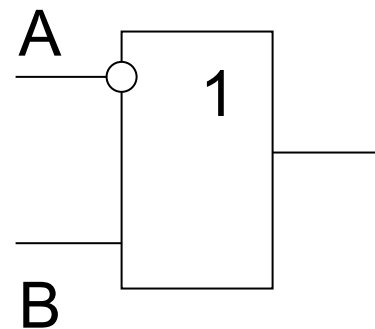
Элемент Вебба



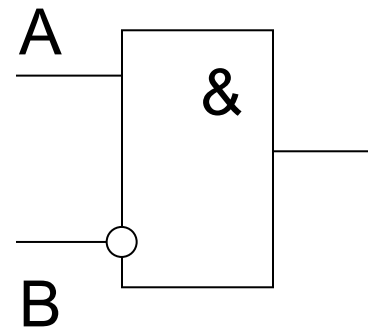
Элемент Шеффера



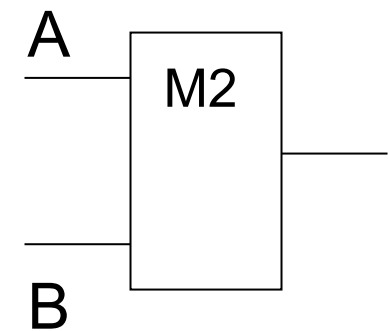
Конъюнкция



Импликация



Коимпликация

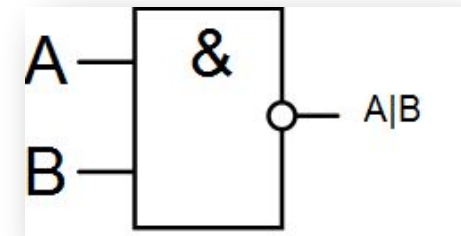
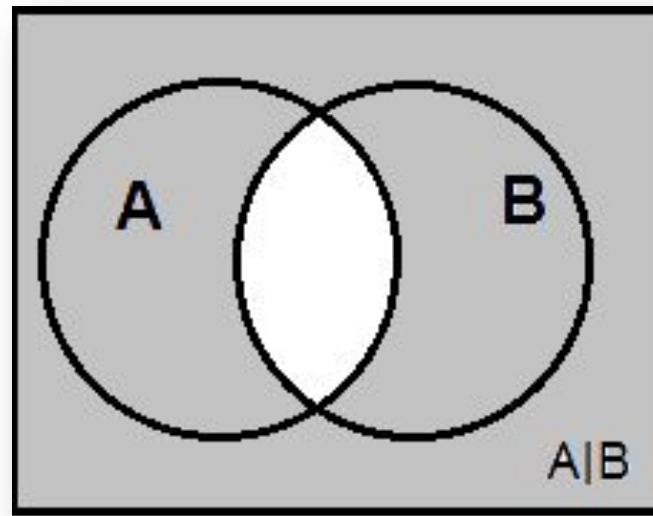


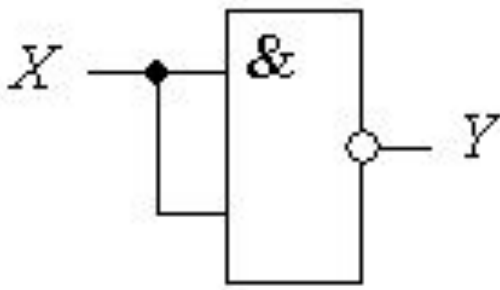
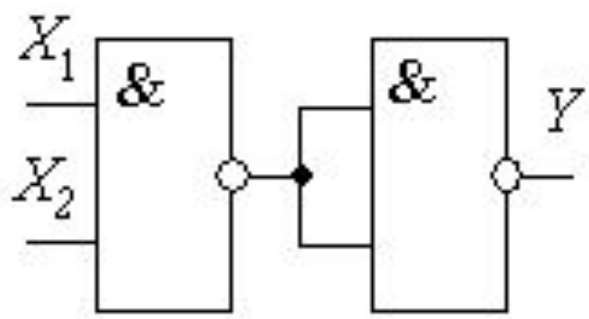
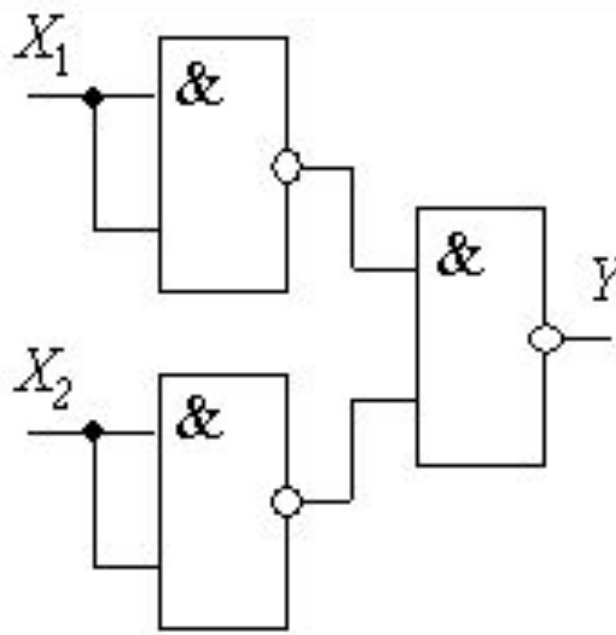
XOR

Базовые логические схемы

И-НЕ (штрих Шеффера) — логический элемент, реализующий операцию значение которой ложно только тогда когда ложны значения обоих ее аргументов.

A	B	A B
0	0	1
0	1	1
1	0	1
1	1	0

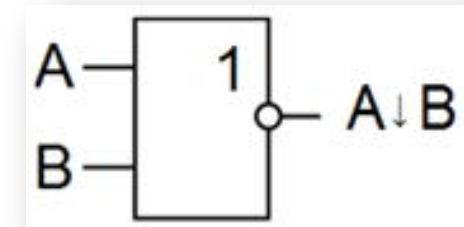
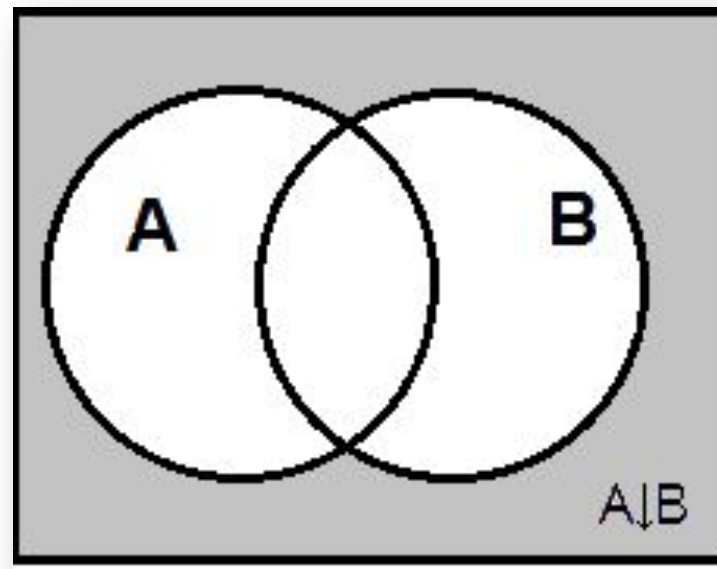


Базис	$Y = \bar{X}$	$Y = X_1 \cdot X_2$	$Y = X_1 + X_2$
2И-НЕ	 <p>A circuit diagram showing a single input X connected to both inputs of a NAND gate (represented by a rectangle with an ampersand & inside). The output of the NAND gate is Y.</p>	 <p>A circuit diagram showing two inputs X_1 and X_2 connected to the inputs of a first NAND gate. The output of this gate is connected to both inputs of a second NAND gate. The output of the second NAND gate is Y.</p>	 <p>A circuit diagram showing two inputs X_1 and X_2. Each input is connected to both inputs of a separate NAND gate. The outputs of these two NAND gates are connected to the inputs of a third NAND gate. The output of the third NAND gate is Y.</p>

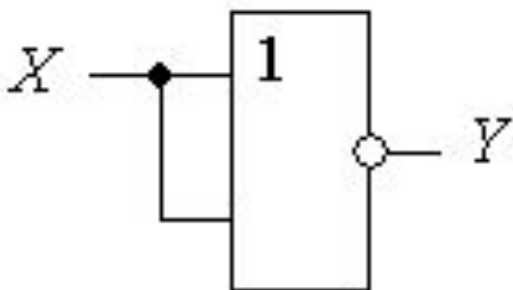
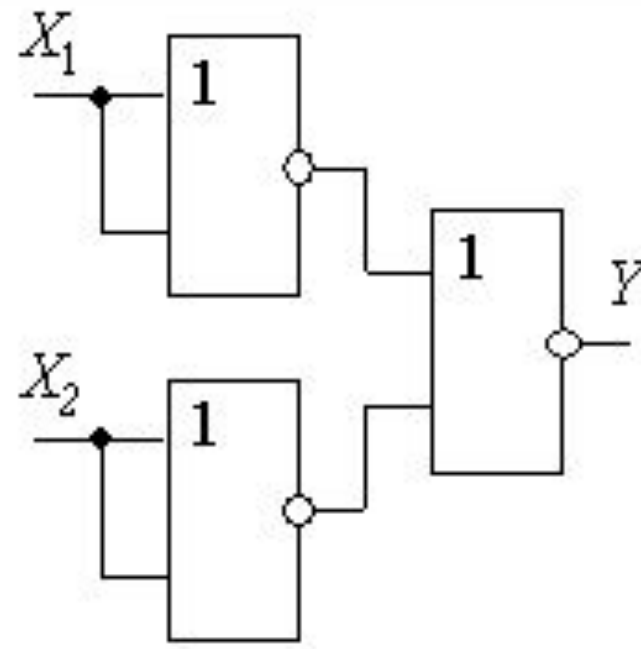
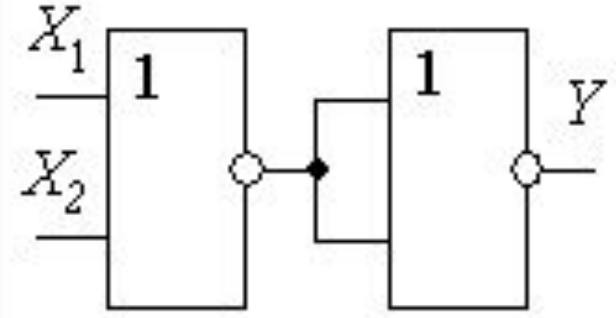
Базовые логические схемы

ИЛИ-НЕ (стрелка Пирса) — логический элемент, реализующий операцию значение которой истинно только тогда когда ложны значения обоих ее аргументов.

A	B	$A \downarrow B$
0	0	1
0	1	0
1	0	0
1	1	0



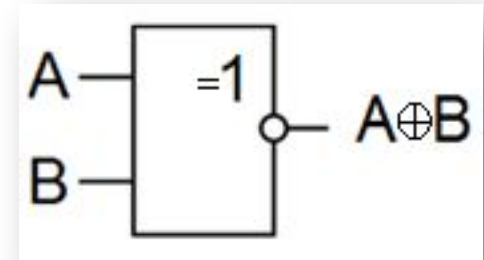
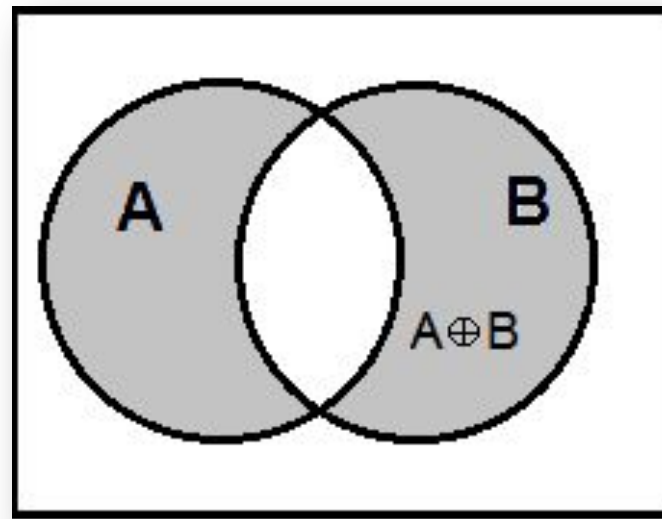
Базис ИЛИ-НЕ

Базис	$Y = \bar{X}$	$Y = X_1 \cdot X_2$	$Y = X_1 + X_2$
2ИЛИ-НЕ			

Базовые логические схемы

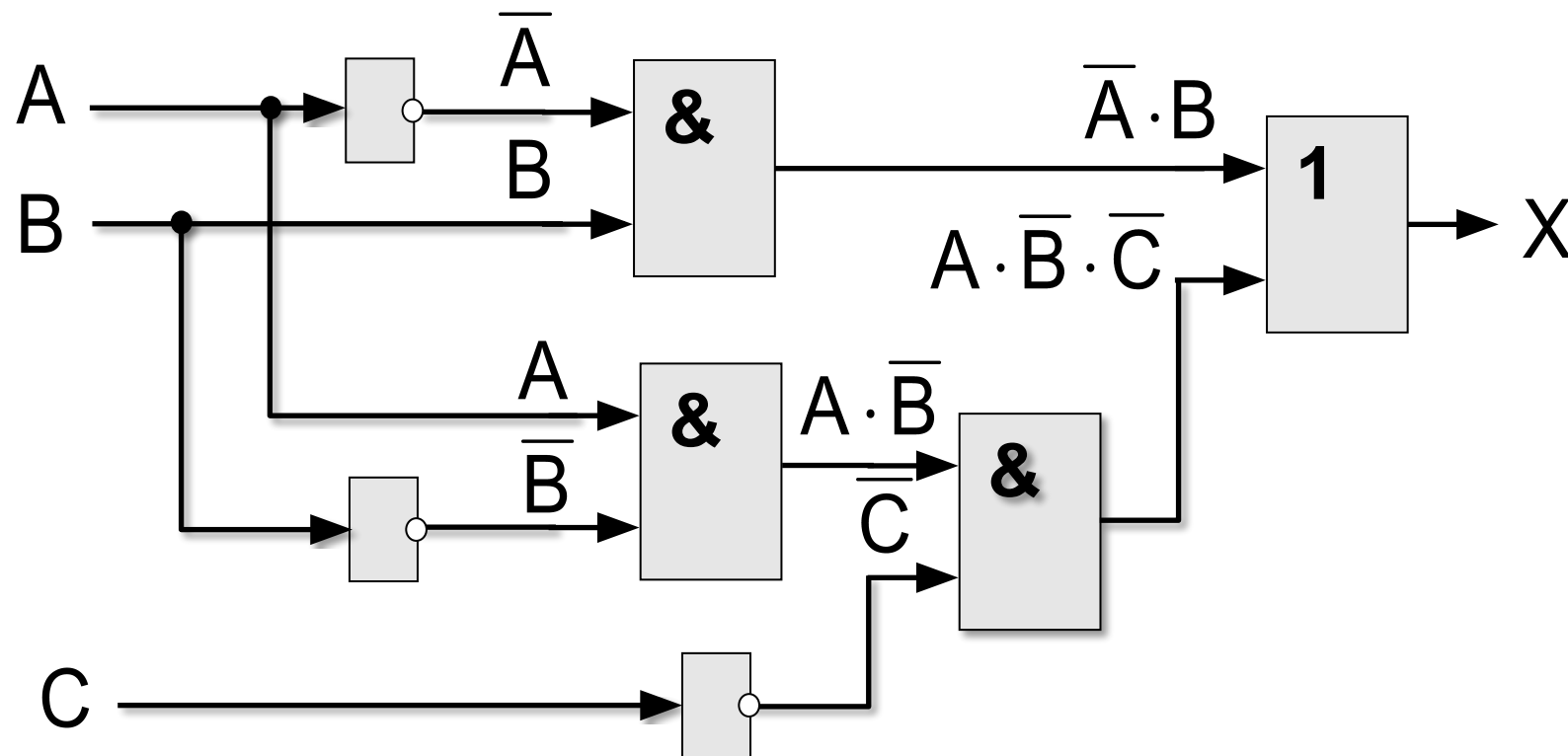
Исключающее ИЛИ (XOR) — логический элемент, реализующий операцию значение которой истинно тогда, когда значение одного из аргументов истинно, а второго – ложно.

A	B	$A \oplus B$
0	0	0
0	1	1
1	0	1
1	1	0



Пример 1

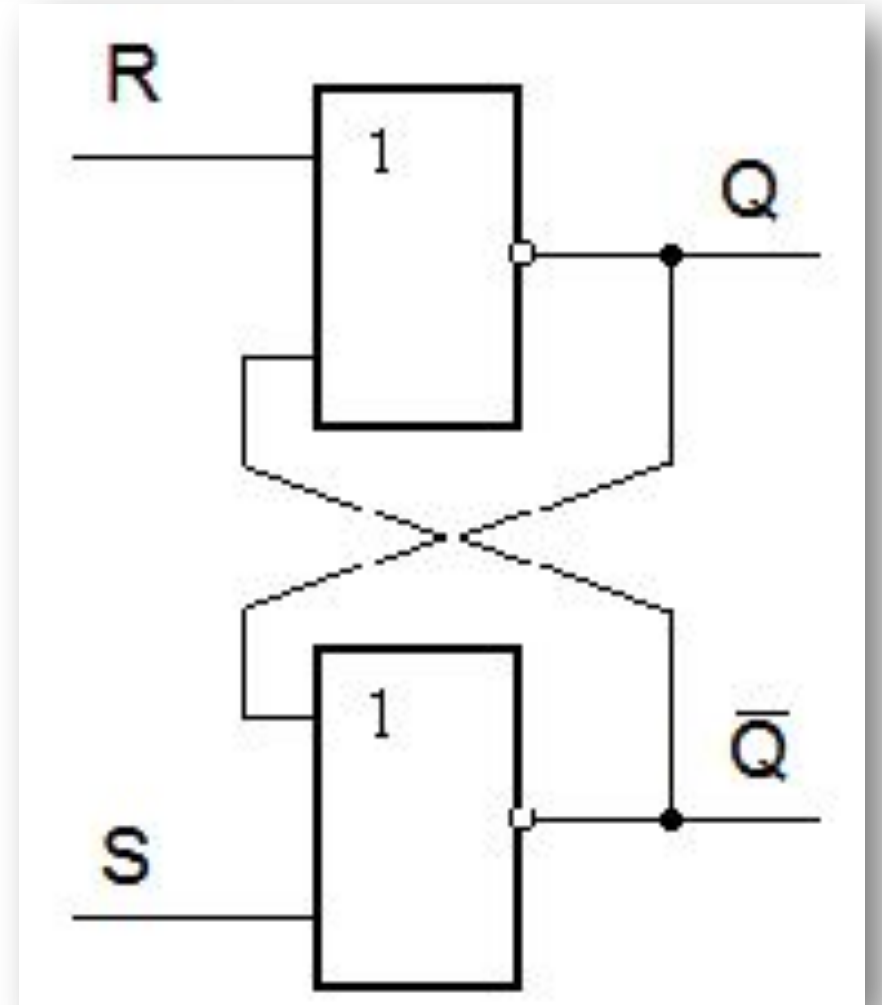
$$X = \bar{A} \cdot B + A \cdot \bar{B} \cdot \bar{C}$$

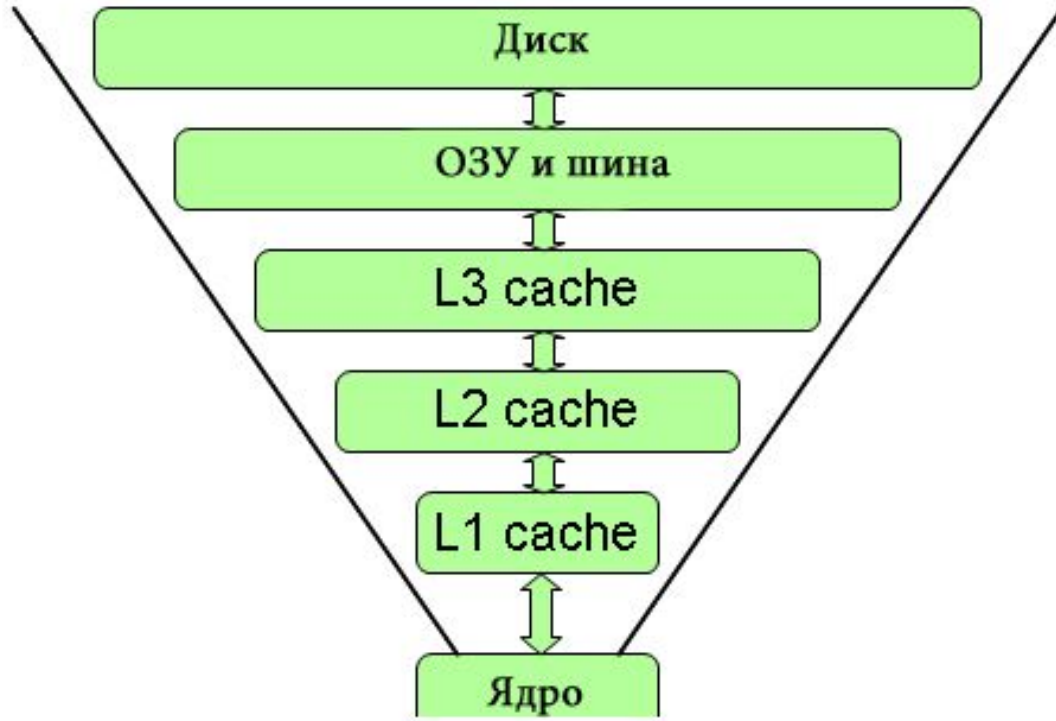


Пример взят с сайта: <http://krolyakov.spb.ru/>

Триггер — класс устройств, способных длительно находиться в одном из двух устойчивых состояний (логический «0» или логическая «1») и чередовать их под действием внешних сигналов.

S	R	Q	Режим	
1	0	1	0	Установка 1
0	1	0	1	Установка 0
0	0		Последнее значение	Хранение информации
1	1			Запрещено



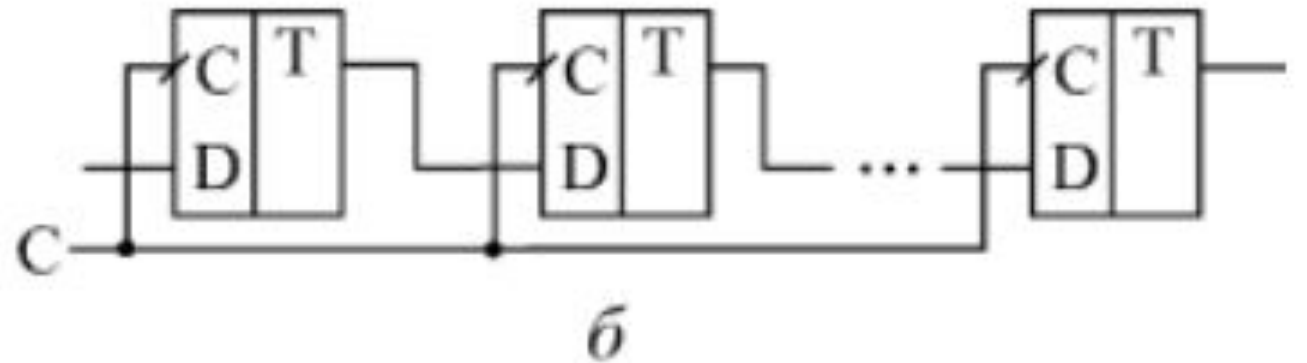
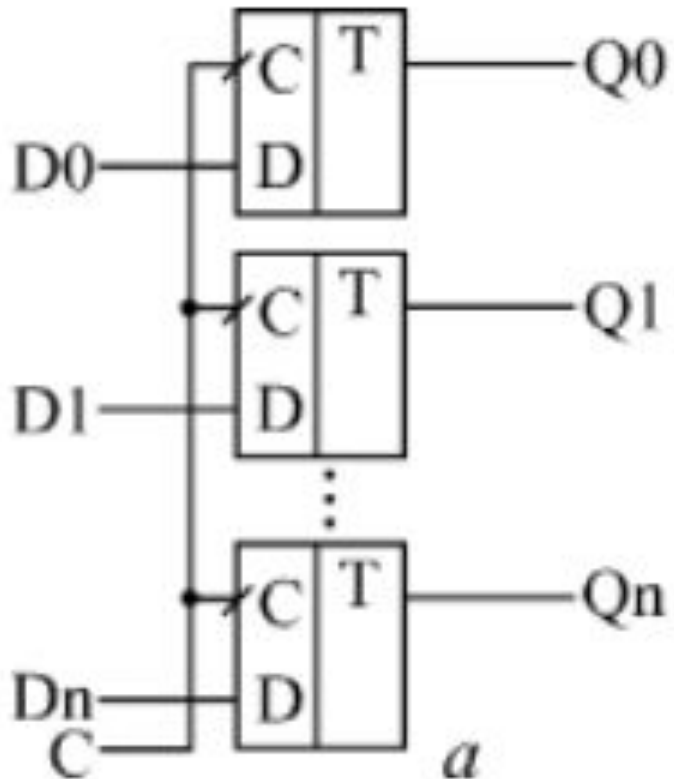


Регистр — класс устройств, представляющих собой несколько **триггеров**, соединенных способом, зависящим от типа регистра.

Регистры — основа сверхоперативной памяти компьютера.

Регистры. Пример

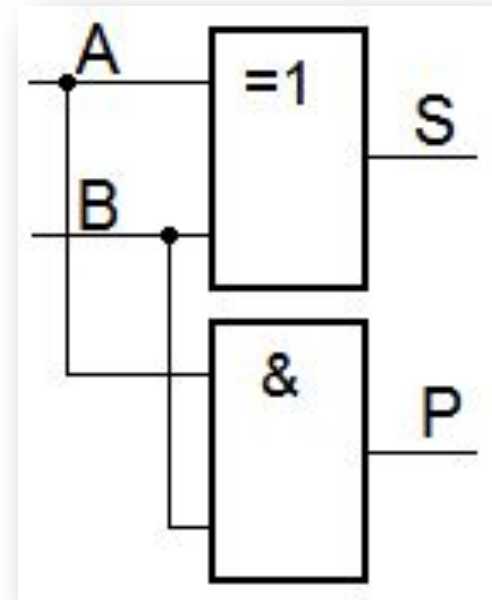
В зависимости от способа соединения регистры делятся на **параллельные регистры (а)** и **регистры сдвига (б)**.



Полусумматор

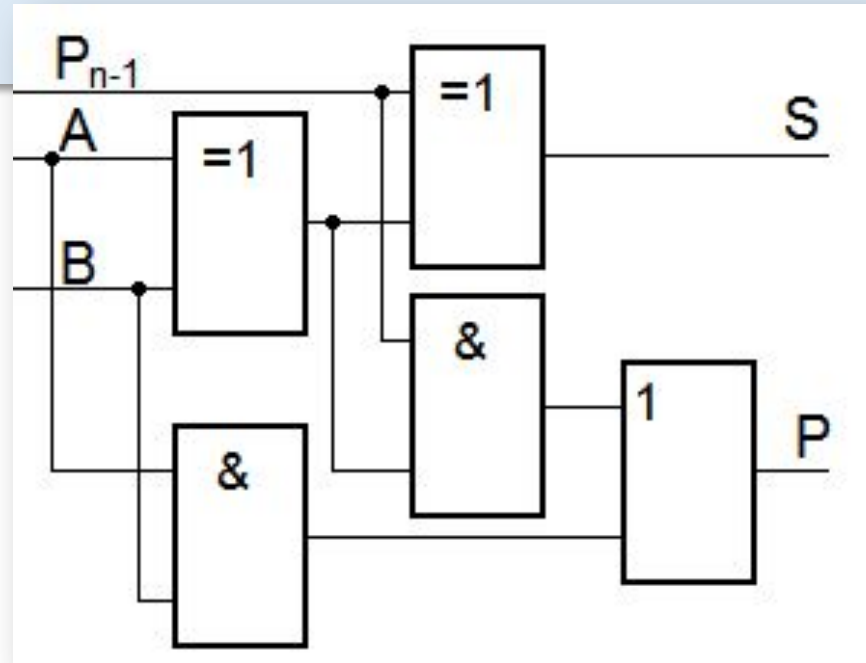
Полусумматор — логическая схема, имеющая два входа и два выхода (двухразрядный бинарный сумматор), которая позволяет вычислить сумму разрядов двоичных чисел **A** и **B**, результатом будут два бита **S** — бит суммы по модулю 2, **P** — бит переноса.

A	B	S	P
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0



Сумматор

Сумматор — логическая схема, имеющая три входа и два выхода, которая позволяет вычислить сумму разрядов двоичных чисел **A** и **B** с учетом переноса из предыдущего разряда P_{n-1} , результатом будут **S** —бит суммы по модулю и **P** — бит переноса.



A	B	P_{n-1}	S	P
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

The background features a complex network of white lines connecting various nodes, set against a blue gradient. The nodes are represented by small white circles of varying sizes, some of which are highlighted with a slight glow. The lines form a web-like structure that spans the entire frame, creating a sense of connectivity and digital space.

Спасибо за внимание!

Уржумов Даниил Владимирович
старший преподаватель кафедры информатики
ФГБОУ ВО «ПГТУ», г. Йошкар-Ола
urzhumovdv@volgatech.net

Ипатов Юрий Аркадьевич
к.т.н., доцент кафедры информатики
ФГБОУ ВО «ПГТУ», г. Йошкар-Ола
ipatovya@volgatech.net



Источники информации

- 1. Информатика: теоретические разделы : учебное пособие / Л. А. Бояркина, Л. П. Ледак, А. В. Кревецкий ; под ред. А. В. Кревецкого ; М-во образования и науки Рос. Федерации, ФГБОУ ВПО "Поволж. гос. технол. ун-т". - Йошкар-Ола : ПГТУ, 2015. - 210 с.**
 - 2. Симонович С. В. Информатика. Базовый курс: Учебник для вузов. 3-е изд. Стандарт третьего поколения. — СПб.: Питер, 2011. — 640 с.**
- 