

Цифровая схемотехника

10. Цифровые устройства комбинационного типа.

Шифратор (CD — CoDer — кодер) — это устройство, осуществляющее преобразование десятичных чисел (позиционный или унитарный код) в двоичный код. Шифратор имеет m входов, пронумерованных десятичными числами $(0, 1, 2... m - 1)$ и n выходов, причем $2^n \geq m$. Подача управляющего сигнала на один из входов приводит к появлению на выходе n -разрядного двоичного числа, соответствующего номеру возбужденного входа.

Шифраторы широко применяются в устройствах автоматики, особенно в устройствах ввода/вывода информации. На клавиатуре ввода имеются клавиши с десятичными цифрами, буквенный алфавит, а при нажатии клавиши позиционный код должен преобразоваться в двоичный.

Рассмотрим вариант построения шифратора для случая, когда при нажатии кнопки вырабатывается сигнал с активным уровнем, соответствующим логической 1. Имеем десятичный позиционный код x_0, x_1, \dots, x_9 , образуемый набором из 10 клавиш, пронумерованных 0–9. Необходимо получить нормально взвешенный код 8-4-2-1 — y_8, y_4, y_2, y_1 , соответствующий номеру нажатой кнопки. Чтобы получить логические выражения для выходных сигналов, воспользуемся таблицей истинности (табл. 5.1).

Таблица 5.1

N	Входные сигналы										Выходной код			
	x_0	x_1	x_2	x_3	x_4	x_5	x_6	x_7	x_8	x_9	y_8	y_4	y_2	y_1
0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0	0	0	0	0	1
2	0	0	1	0	0	0	0	0	0	0	0	0	1	0
3	0	0	0	1	0	0	0	0	0	0	0	0	1	1
4	0	0	0	0	1	0	0	0	0	0	0	1	0	0
5	0	0	0	0	0	1	0	0	0	0	0	1	0	1
6	0	0	0	0	0	0	1	0	0	0	0	1	1	0
7	0	0	0	0	0	0	0	1	0	0	0	1	1	1
8	0	0	0	0	0	0	0	0	1	0	1	0	0	0
9	0	0	0	0	0	0	0	0	0	1	1	0	0	1

Решение задачи в общем виде в случае десяти переменных представляется весьма трудным. Однако решение задачи упрощается, так как исходная функция принимает единичное значение в каждой строке всего лишь один раз. Нетрудно заметить, что выходные сигналы можно получить дизъюнкцией входных переменных:

$$\begin{aligned} y_8 &= x_8 + x_9; \\ y_4 &= x_4 + x_5 + x_6 + x_7; \\ y_2 &= x_2 + x_3 + x_6 + x_7; \\ y_1 &= x_1 + x_3 + x_5 + x_7 + x_9. \end{aligned}$$

Судя по полученным выражениям, входной сигнал x_0 не участвует в формировании выходного кода. Отсутствие сигнала на любом из остальных входов $x_1 - x_9$ указывает на то, что установлен нулевой набор.

При реализации шифратора на элементах ИЛИ-НЕ, выходные сигналы окажутся инвертированными (рис. 5.1, а). На рис. 5.1, б представлено условное графическое обозначение данного шифратора, здесь символ CD образован из букв, входящих в английское слово CODER. Входной сигнал x_0 на условном изображении шифратора отсутствует, поскольку не участвует в формировании сигналов выхода.

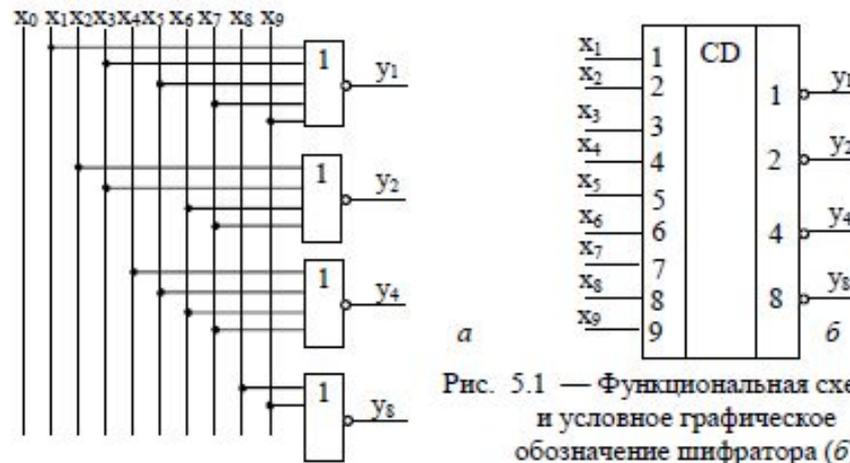


Рис. 5.1 — Функциональная схема (а) и условное графическое обозначение шифратора (б)

Пример интегральной микросхемы приоритетного шифратора приведен на рис. 5.2. Микросхема К555ИВ3 имеет 9 инверсных входов для подачи кодируемого сигнала и 4 инверсных выхода кода 8-4-2-1. В исходном состоянии на всех входах и выходах логическая 1.

При подаче на любой из входов логического 0 на выходе формируется инверсный код номера этого входа. Если логический 0 подан сразу на несколько входов, код на выходе соответствует наибольшему номеру входа, на который подан логический 0.

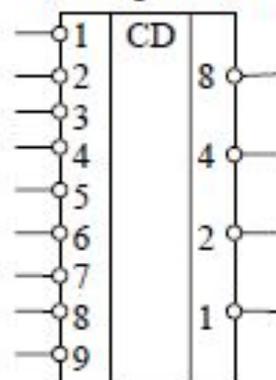


Рис. 5.2 — Приоритетный шифратор К555ИБ3

Дешифратор

Дешифратор (DC — DeCoder — декодер) — преобразователь n -разрядного двоичного кода в унитарный код «1 из m ». Каждой кодовой комбинации на входах дешифратора соответствует активный уровень только на одном из выходов. Условное графическое обозначение и таблица истинности полного дешифратора на два входа ($n = 2$) представлены на рис. 5.3. Логическая 1 (при активном высоком уровне на выходе) формируется на том выходе дешифратора, адрес которого соответствует набору двоичных сигналов на входах A и B . Выходной код носит название «один из четырех». По таблице истинности легко записать в СДНФ логические функции, связывающие сигналы на каждом выходе дешифратора с его входными сигналами (они показаны на рисунке). Для реализации дешифратора требуются логические элементы И и НЕ.

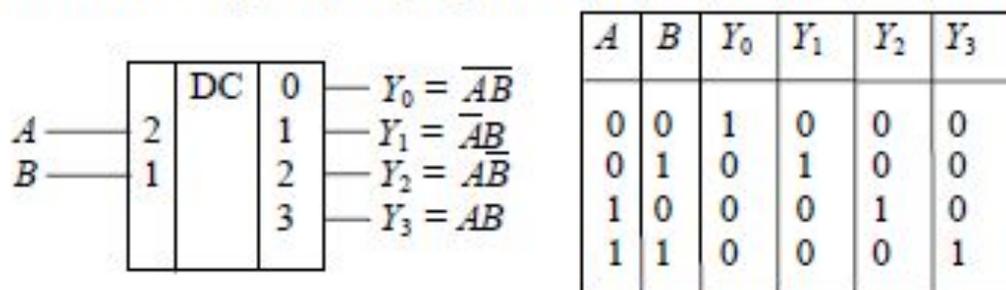


Рис. 5.3 — Полный дешифратор на два входа

При наличии разрешающего входа E (рис. 5.4, *а*) дешифратор можно использовать как *демультиплексор* — коммутатор сигнала с одного входа на несколько выходов. Сигнал, подаваемый на вход E , повторяется на том выходе Y_i , адрес которого подан на входы A и B . При $E = 0$ работа дешифратора запрещена (на всех выходах устройства логический 0). Реализация демультиплексора на логических элементах показана на рис. 5.4, *б*.

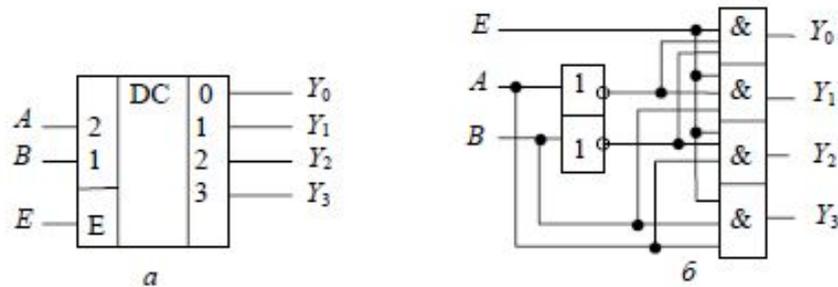


Рис. 5.4 — Демультиплексор

Интегральные микросхемы дешифраторов/демультиплексоров часто имеют инверсные выходы, а также группу разрешающих входов (прямых и инверсных), объединенных логикой И (рис. 5.5).

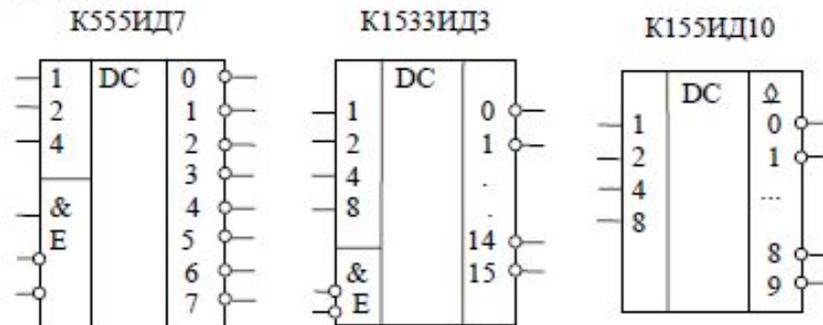


Рис. 5.5 — Примеры микросхем дешифраторов/демультиплексоров

При $E = E_1 \cdot \overline{E_2} \cdot \overline{E_3} = 1$ на входах управления микросхемы K555ИД7 логический 0 (активный уровень — низкий) формируется на том выходе, код которого подан на информационные входы дешифратора.

Сигнал, подаваемый на один из входов E демультиплексора К1533ИД3 при заземлении второго входа повторится на том выходе микросхемы, код которого подан на адресные входы.

Дешифратор К155ИД10 имеет прямой четырехразрядный двоичный вход и десять инверсных выходов. К открытым коллекторным выходам микросхемы можно подключать любые нагрузки, включая обмотку реле (15 В, 80 мА). Такую же функциональную схему имеет микросхема К155ИД1, предназначенная для управления цифровым газоразрядным индикатором (70 В, 7 мА).

Преобразователи двоичного кода в двоично-десятичный, и наоборот

Микросхемы К155ПР6 и К155ПР7 служат для преобразования двоично-десятичного кода в двоичный и наоборот. Микросхемы являются постоянными запоминающими устройствами, программирование которых произведено на заводе-изготовителе. Одна микросхема К155ПР6 позволяет выполнить преобразование чисел 0–39 из двоично-десятичного кода в двоичный код. Разряд единиц не подвергается преобразованию, так как он совпадает в двоично-десятичном и двоичном кодах. Аналогично, одну микросхему К155ПР7 можно использовать для преобразования двоичного кода чисел 0–63 в двоично-десятичный. Как правило, разрядности одиночных микросхем недостаточно для решения задач преобразования многоразрядных кодов, в этих случаях применяют каскадное соединение микросхем (рис. 5.6, рис. 5.7).

Для преобразования двоично-десятичных кодов чисел 0–999 в двоичный требуется шесть, а чисел 0–9999 — девятнадцать микросхем К155ПР6, для преобразования двоичных кодов чисел 0–4095 и 0–65535 в двоично-десятичный — соответственно 8 и 16 микросхем К155ПР7.

Микросхемы К155ПР6 и К155ПР7 выполнены с открытым коллекторным выходом, поэтому для обеспечения помехоустойчивой работы микросхем между их выходами и плюсом питания следует устанавливать нагрузочные резисторы 1÷5,1 кОм. Эти резисторы на приведенных схемах не показаны. Вход разрешения работы микросхем E (CS) должен быть подключен к общему проводу, при подаче на него логической 1 все выходные транзисторы переходят в выключенное состояние.

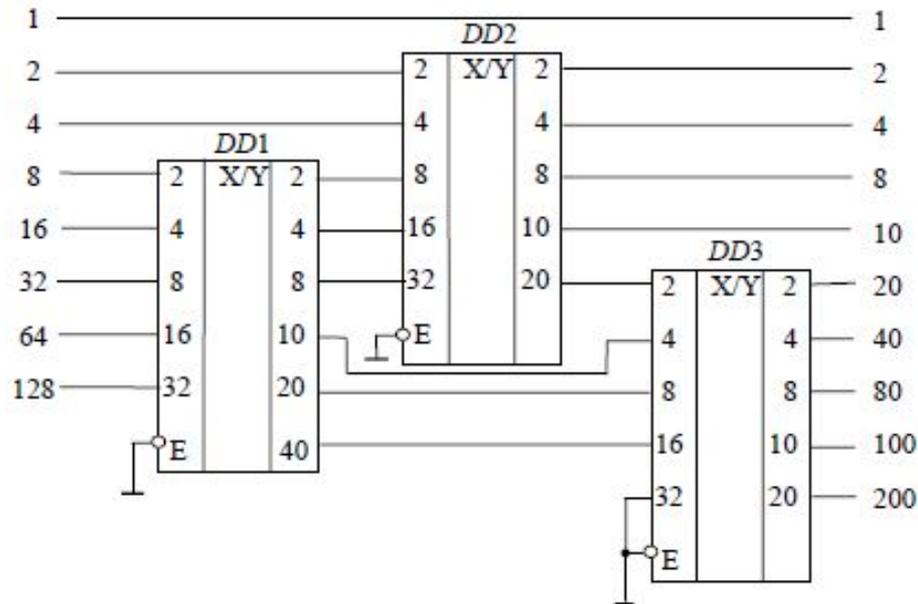


Рис. 5.6 — Преобразователь двоичного кода чисел от 0 до 255 в двоично-десятичный на микросхемах K155PI7

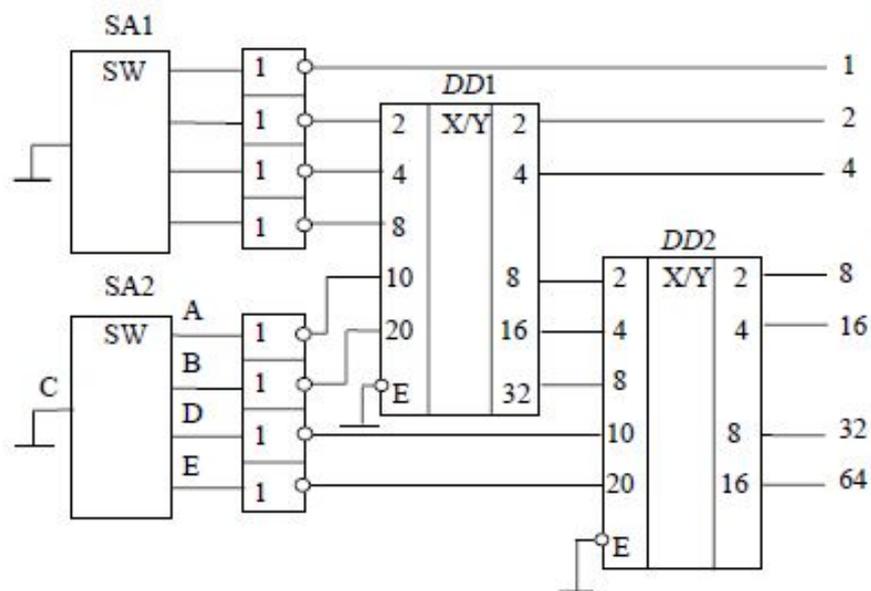


Рис. 5.7 — Преобразователь двоично-десятичного кода чисел от 0 до 99 в двоичный на микросхемах K155PI6

На рис. 5.7 показано устройство, формирующее на выходе двоичный код десятичного числа (от 00 до 99), набираемого на лимбах программного переключателя. Программный переключатель *SW* (ПП10-ХВ) представляет собой механическую систему, содержащую вращающийся диск с нанесенными на него металлизированными сегментами и скользящими по ним контактами. При заземленных контактах (вывод *C*) на выводах *A*, *B*, *D*, *E* формируется инверсный двоично-десятичный код числа, набираемого на лимбе вращаемого диска. На лимбе переключателя *SA2* набираются десятки, переключателя *SA1* — единицы.

Дешифратор для управления семисегментным индикатором

На рис. 5.8, *а* представлена схема подключения дешифратора К514ИД1 для управления семисегментным цифровым индикатором АЛС324А на светодиодах с объединенными катодными выводами (они соединены с общим выводом). При высоком потенциале на входе *E* (активные выходные уровни дешифратора — высокие) ток порядка 5 мА протекает через светодиоды тех сегментов, которые формируют изображение цифры от 0 до 9, двоично-десятичный код которой подан на входы микросхемы К514ИД1. На рис. 5.8, *б* приведено стандартное обозначение сегментов семисегментных преобразователей. Сегменты обозначаются латинскими буквами *a*, *b*, *c*, *d*, *e*, *f*, *g*, а точка — буквой *h*.

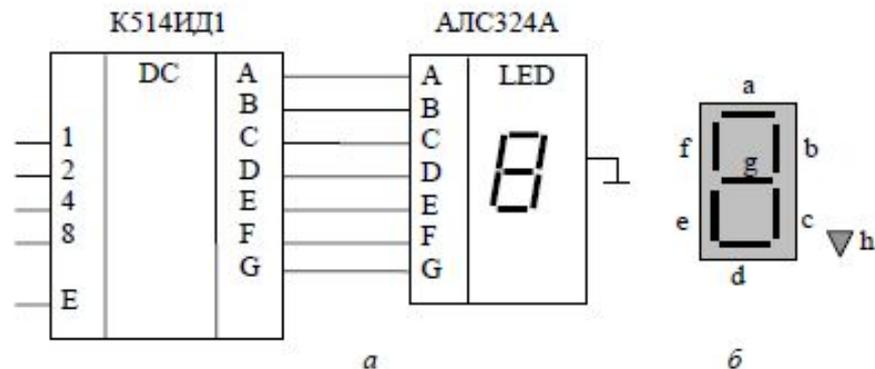


Рис. 5.8 — Соединение дешифратора с 7-сегментным индикатором

При $E = 0$ на выходах дешифратора устанавливаются низкие уровни, и все светодиоды гаснут.

При применении семисегментного цифрового индикатора на светодиодах с объединенными анодными выводами (например, АЛС324Б) на них подается внешний потенциал от источника питания +5 В, а выводы A, B, C, D, E, F, G соединяются с соответствующими выводами дешифратора К514ИД2 (активные выходные уровни дешифратора — низкие) через резисторы номиналом 330–510 Ом, с помощью которых можно управлять яркостью свечения цифрового индикатора.

Преобразователи кода Грея

В преобразователях аналоговых физических величин (например, угла поворота вала) в цифровые сигналы с погрешностью, не превышающей значения младшего разряда, используется код Грея (он соответствует непозиционной системе счисления). Код Грея строится таким образом, что при переходе от одного числа к следующему изменяется всегда только один двоичный разряд. Таблица преобразования четырехразрядных двоичных чисел $X(x_4, x_3, x_2, x_1)$ в код Грея $G(g_4, g_3, g_2, g_1)$ приведена ниже. Прямые и обратные преобразователи кода Грея в двоичный код реализуются с помощью логических элементов «Исключающее ИЛИ» (рис. 5.9). Код Грея не позволяет осуществлять арифметические операции. Поэтому его применяют только в тех случаях, когда это дает существенные преимущества, а затем переходят к двоичному коду.

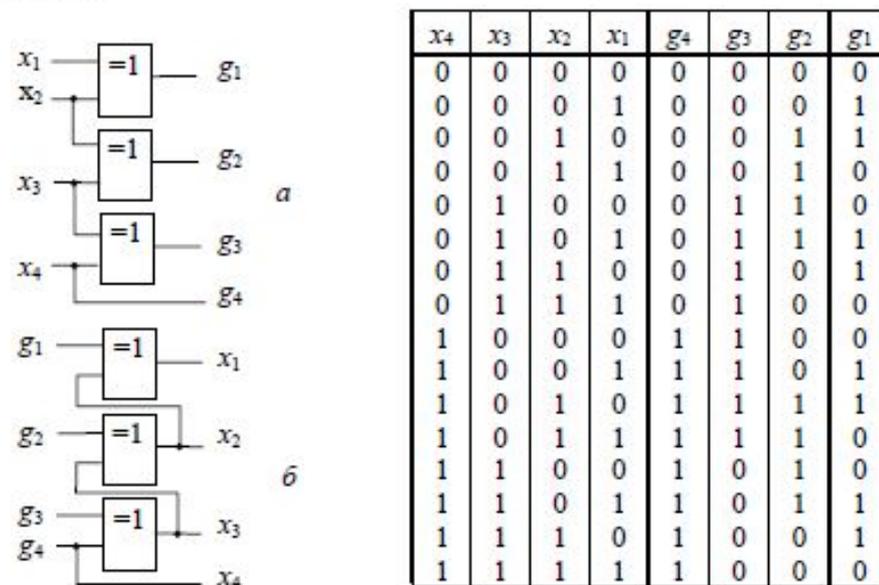


Рис. 5.9 — Схемы преобразования четырехразрядных кодов:
 а — двоичного в код Грея; б — кода Грея в двоичный код

Мультиплексор

Мультиплексором (от англ. multiplexer — многократный) называют коммутатор сигналов с нескольких входов на один выход. Для коммутатора с четырех входов X_i на один выход Y (рис. 5.10, а) выходной сигнал связан с входными соотношением

$$Y = E(X_0\overline{AB} + X_1\overline{A}B + X_2A\overline{B} + X_3AB). \quad (5.1)$$

Это выражение показывает путь реализации мультиплексора на логических элементах (рис. 5.10, б).

При наличии разрешения на входе E ($E = 1$) выход повторяет информацию того входа, код которого подан на адресные входы A и B . При $E = 0$ коммутатор закрыт ($Y = 0$ независимо от сигналов на входах X_i).

Если цифровой код на адресных входах мультиплексора поочередно перебирает все комбинации двоичных переменных на адресных входах, состояние на выходе последовательно повторяет состояние всех его информационных входов (режим мультиплексирования данных). В этом режиме мультиплексор выполняет преобразование параллельного двоичного кода на информационных входах в последовательный код на его выходе.

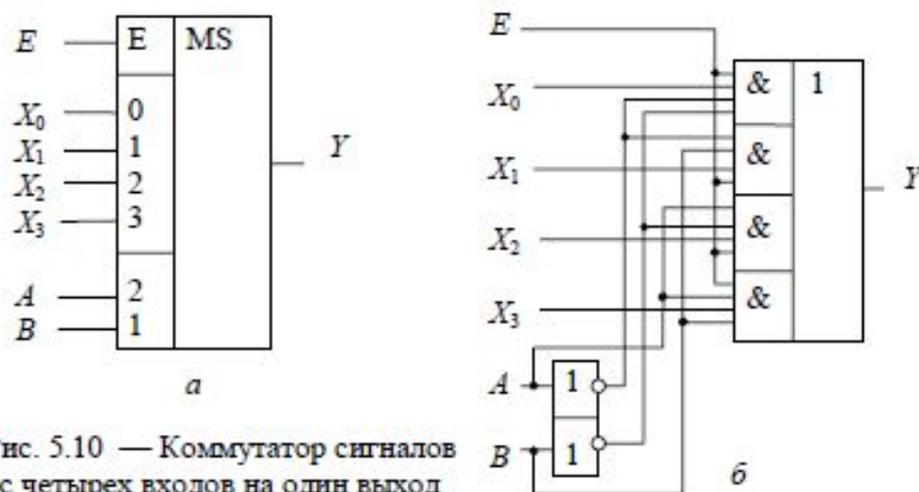
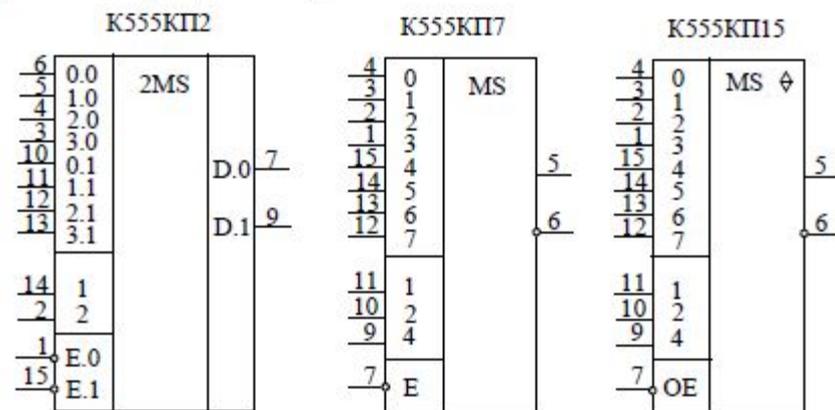


Рис. 5.10 — Коммутатор сигналов с четырех входов на один выход

Микросхемы мультиплексоров отличаются по числу информационных и адресных входов, наличием или отсутствием входа разрешения, характером выходных сигналов (прямые, инверсные или парные). Примеры микросхем мультиплексоров серии K555 приведены на рис. 5.11.



Сдвоенный мультиплексор K555KP2 представляет собой два четырехканальных коммутатора с общим адресным дешифратором. При логическом 0, поданном на вход E.0, на выход D.0 проходит сигнал с одного из входов 0.0–3.0, адрес которого зафиксирован на 2-й и 14-й ножках микросхемы. При логическом 0, поданном на вход E.1, на выход D.1 проходит сигнал с одного из входов 0.1–3.1.

Мультиплексор K555KP7 имеет восемь информационных входов, три адресных, инверсный вход разрешения. У микросхемы два выхода — прямой и инверсный. При логическом 0 на входе E сигнал на прямом выходе повторяет сигнал на том информационном входе, номер которого совпадает с десятичным эквивалентом кода на входах 4, 2, 1 мультиплексора. Аналогично работает и микросхема K555KP15, но подача логической 1 на вход OE переводит и прямой, и инверсный выходы в высокоимпедансное состояние.

Среди схем коммутации необходимо особо выделить устройства, которые способны пропускать сигналы в обоих направлениях. К таким элементам относятся коммутационные схемы, выполненные по технологии КМОП с использованием двунаправленных ключей. Коммутаторы КМОП способны пропускать как аналоговые, так и цифровые сигналы, в них можно менять местами вход и выход. Такие микросхемы выполняют функции мультиплексора-демультиплексора.

Реализация функций с помощью мультиплексора

Мультиплексоры удобно использовать для реализации логических функций, записанных непосредственно в СДНФ. Любую булеву функцию четырех переменных можно реализовать с помощью восьмиканального мультиплексора. Так, для реализации, например, логической функции

$$F = \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot \bar{D} + \bar{A} \cdot B \cdot \bar{C} \cdot \bar{D} + A \cdot \bar{B} \cdot C \cdot D + A \cdot B \cdot C \cdot D,$$

где D — переменная младшего разряда, на адресные входы мультиплексора К555КП7 поданы входные сигналы A, B, C , а входы X_0-X_7 используются как настроечные (рис. 5.12, а). Сравнивая выражение для функции F с логическим уравнением мультиплексора

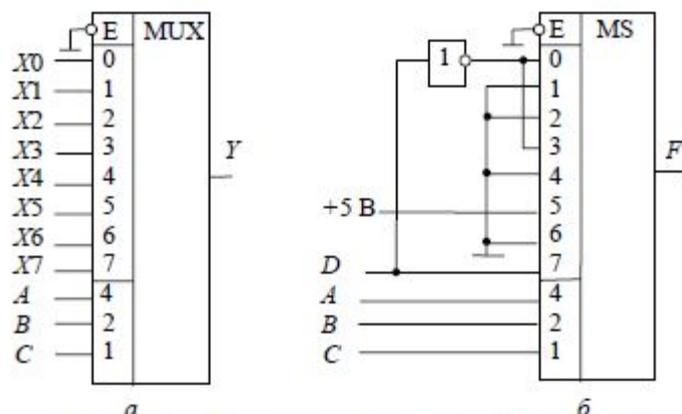


Рис. 5.12 — Реализация заданной булевой функции с помощью мультиплексора

$$Y = \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot X_0 + \bar{A} \cdot \bar{B} \cdot C \cdot X_1 + \bar{A} \cdot B \cdot \bar{C} \cdot X_2 + \bar{A} \cdot B \cdot C \cdot X_3 + A \cdot \bar{B} \cdot \bar{C} \cdot X_4 + \\ + A \cdot \bar{B} \cdot C \cdot X_5 + A \cdot B \cdot \bar{C} \cdot X_6 + A \cdot B \cdot C \cdot X_7,$$

получаем условия эквивалентности:

$$X_0 = X_3 = \bar{D}, \quad X_7 = D, \quad X_5 = \bar{D} + D = 1, \quad X_1 = X_2 = X_4 = X_6 = 0.$$

Эти соотношения позволяют зашифровать входы мультиплексора на выполнение заданного логического уравнения.

В соответствии с этими условиями построена схема устройства (рис. 5.12, б). Для подачи логической 1 входы микросхем ТТЛШ серий К555 и КР1533 можно подключать к источнику питания +5 В непосредственно. Для получения сигнала \bar{D} использован инвертор.

Двоичный сумматор

Двоичный сумматор (SM) (рис. 5.13, а) служит для формирования арифметической суммы n -разрядных двоичных чисел A и B (рис. 5.12, б). Результатом сложения (при $n = 4$) является четырехразрядная сумма S и выход переноса P , который можно рассматривать как пятый разряд суммы.

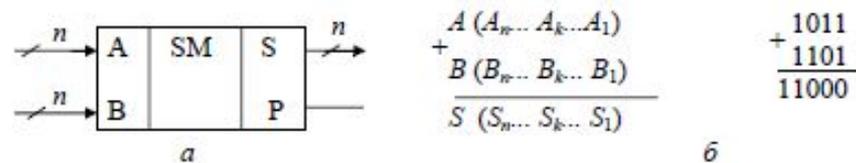


Рис. 5.13 — Двоичный сумматор

Полусумматор (HS) служит для сложения битов младших разрядов двух двоичных чисел (его можно реализовать на ЛЭ по таблице истинности, представленной на рис. 5.14).

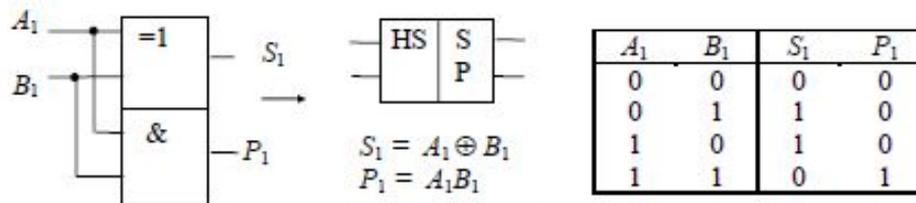


Рис. 5.14 — Синтез полусумматора на логических элементах

Полный одноразрядный сумматор суммирует биты соответствующих разрядов двух двоичных чисел и вырабатывает перенос в следующий разряд.

Полный одноразрядный сумматор можно построить из двух полусумматоров HS и логического элемента ИЛИ (рис. 5.15).

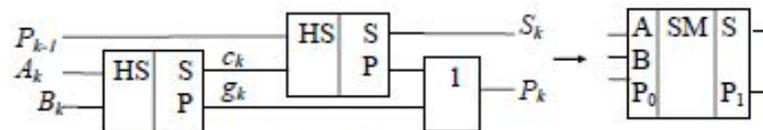


Рис. 5.15 — Полный одноразрядный сумматор

В корпусе микросхемы К555ИМ6 четыре полных одно-разрядных сумматора объединены в схему четырехразрядного сумматора (рис. 5.16). Сигнал переноса последовательно передается с выхода предыдущего разряда сумматора на вход переноса следующего разряда. В дальнейшем будем использовать более простое и наглядное условное графическое обозначение сумматора, приведенное справа. В дополнительных полях микросхемы показаны весовые коэффициенты разрядов входа и выхода сумматора.

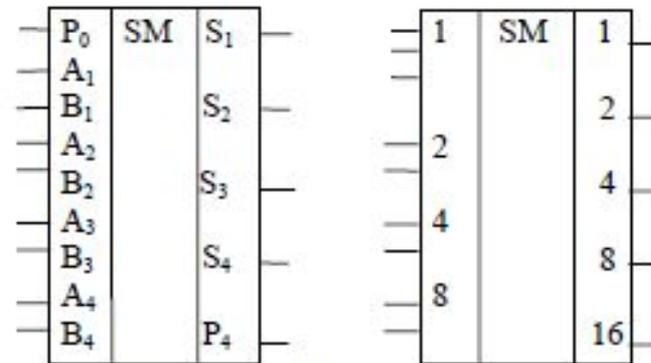


Рис. 5.16 — Четырехразрядный последовательный сумматор К555ИМ6

Время выполнения операции в сумматоре на рис. 5.16 намного больше времени сложения в одnorазрядном сумматоре, так как в каждый следующий разряд единица переноса попадает, проходя все более длинную цепочку логических элементов. Чтобы уменьшить время выполнения операции сложения многоразрядных чисел, используют схемы параллельного переноса. При этом сигналы переноса во всех разрядах одновременно вычисляются по значениям входных переменных в данном разряде.

Двоично-десятичный сумматор

Для сложения двух двоично-десятичных чисел можно использовать по одному четырехразрядному сумматору на каждую декаду. Однако после суммирования следует производить коррекцию. Если в какой-либо декаде происходит перенос или получается двоичное число, большее 9, необходимо добавлять к ней 6, чтобы компенсировать разницу в весах разрядов. Возникающая при этом единица переноса передается в следующую по старшинству декаду (рис. 5.18).

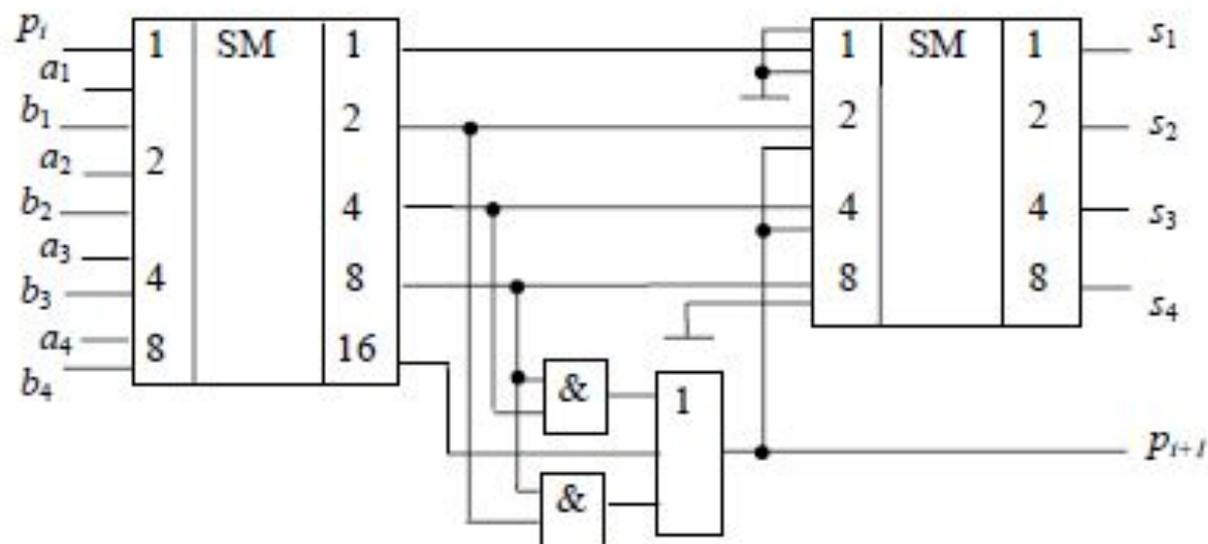


Рис. 5.18 — Двоично-десятичный сумматор на двоичных сумматорах

Схемы вычитания

Вычитание двух чисел обычно сводится к операции сложения:

$$D = A - B = A + (2^n - B) - 2^n, \quad (5.3)$$

где $2^n - B = \bar{A} + 1$ — дополнение B до числа 2^n , которое легко получить без помощи специальных схем, использующих вычитание.

Таким образом, вычитание можно осуществить, инвертируя число B , суммируя полученный результат с A и еще с одной 1 и вычитая 2^n . Вычитание 2^n достигается весьма просто — путем инверсии сигнала переноса. Схема вычитания четырехразрядных чисел показана на рис. 5.19.

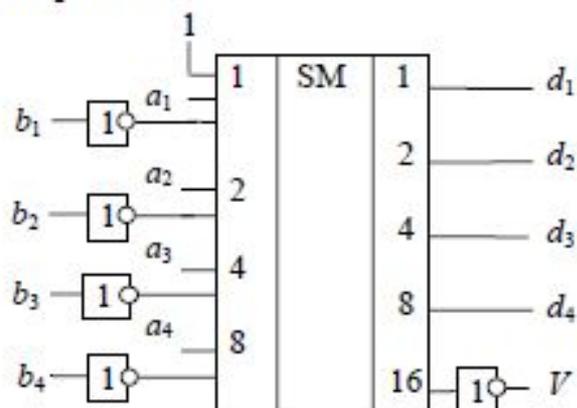


Рис. 5.19 — Схема вычитания четырехразрядных чисел

При $A \geq B$ получаем $V = 0$ (в чем легко убедиться на конкретных численных примерах). При $A < B$ получаем $V = 1$ и число D является дополнением $A - B$ до $2^4 = 16$. Выходной сигнал можно рассматривать как пятиразрядное число со знаком V в дополнительном коде.

На рис. 5.20 показано устройство, которое используется в цифровых следящих системах для выделения сигнала рассогласования между кодом задатчика A и кодом сигнала обратной связи B . Знак $\text{sign}(A - B)$ определяет направление компенсирующего воздействия на регулирующий орган, а модуль разности $(A - B) R (r_0 - r_7)$ — скорость этого воздействия. Наличие нулей во всех разрядах A соответствует одному крайнему значению регулируемой величины, а единиц — другому.

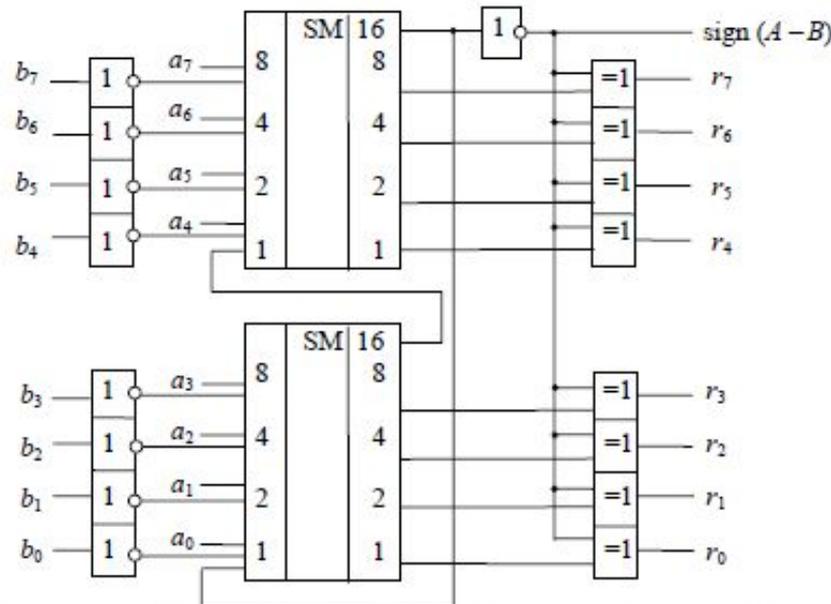


Рис. 5.20 — Формирователь модуля и знака разности положительных двоичных чисел

При $A > B$ появляется единица на выходе переноса сумматора, в знаковом разряде 0, а $R = A + \overline{B} + 1$ (здесь плюс — знак арифметического сложения). Элементы «Исключающее ИЛИ» работают как повторители выходных сигналов сумматора.

При $A \leq B$ в старшем разряде сумматора 0 (читателю предлагается проверить это на конкретном численном примере). Знак равен 1, а $R = \overline{A + B}$. Элементы «Исключающее ИЛИ» работают как инверторы выходных сигналов сумматора.

Выходной сигнал устройства можно рассматривать как десятиразрядное двоичное число со знаком в прямом коде.

Обычный сумматор может использоваться для сложения чисел со знаком, представленных в дополнительном коде. На его выходе формируется дополнительный код суммы. При сложении, например, 8-разрядных двоичных чисел со знаком с помощью 8-разрядного сумматора (его можно построить на двух микросхемах К555ИМ6) получаем на выходе 8-разрядную сумму в дополнительном коде (перенос в 9-й разряд игнорируется). При этом разрядная сетка не должна переполняться, т. е. сумма модулей для чисел одинакового знака не должна превышать 127. Старший разряд восьмиразрядных слагаемых отображает знак числа (0 — для положительного, 1 — для отрицательного). Семь младших разрядов отображают модуль числа. Дополнительный код положительного числа соответствует его обычному представлению в двоичном коде. Для получения дополнительного кода отрицательного числа нужно проинвертировать код положительного числа и прибавить единицу в младший разряд. Приведенный ниже пример показывает, что при подаче на входы сумматора дополнительных кодов чисел +100 и -16, на выходе получим код числа +84.

$$\begin{array}{r}
 01100100 \\
 + 11110000 \\
 \hline
 101010100 = +84
 \end{array}$$

↓ девятый разряд игнорируется ↗ результат положительный

Преобразователь прямого кода в дополнительный

Для преобразования в дополнительный код 8-разрядных чисел со знаком, представленных в прямом коде, используется изображенное на рис. 5.21 устройство. Для положительных чисел знаковый разряд $x_7 = 0$, элементы «Исключающее ИЛИ» и сумматор работают как повторитель числа X . Для отрицательных чисел $x_7 = 1$, семиразрядный модуль числа X инвертируется, и к нему с помощью сумматора прибавляется 1. Такое же устройство используется и как преобразователь дополнительного кода числа в прямой.

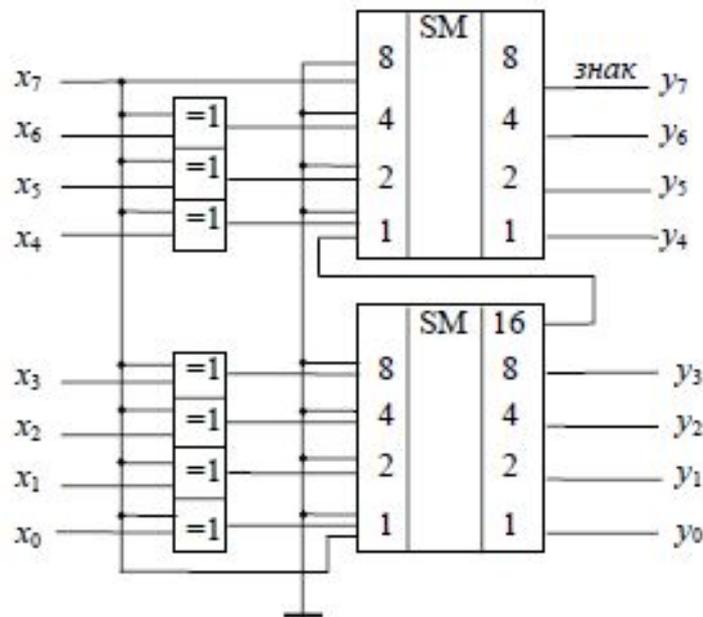


Рис. 5.21 — Преобразователь прямого кода 8-разрядного двоичного числа со знаком в дополнительный или дополнительный кода — в прямой

Цифровой компаратор

Цифровым компаратором называют устройство, фиксирующее результат сравнения n -разрядных двоичных или двоично-десятичных кодов чисел (рис. 5.22, а). Цифровой компаратор можно построить на сумматоре, подавая на один суммирующий вход прямой код числа A , на другой — инверсный код числа B (рис. 5.22, б). На численном примере легко убедиться, что при $A = B$ в четырех младших разрядах суммы формируются логические единицы, а при $A > B$ единица формируется на выходе переноса.

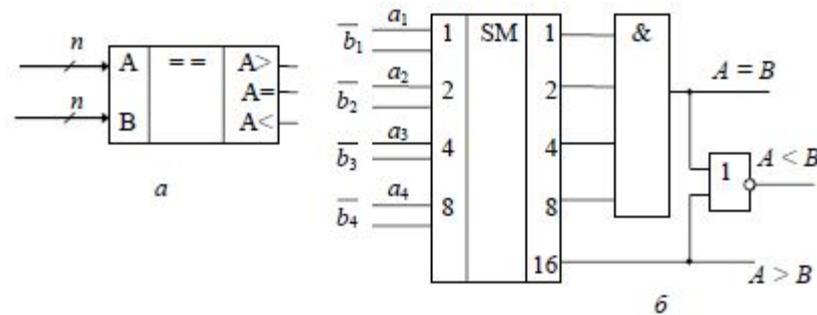


Рис. 5.22 — Цифровой компаратор и его реализация на сумматоре

Компаратор, фиксирующий равнозначность кодов A и B , можно выполнить на ЛЭ по схеме, показанной на рис. 5.23, а. При совпадении кодов во всех разрядах формируются логические нули на выходах элементов «Исключающее ИЛИ» и логический элемент ИЛИ-НЕ формирует на выходе 1. Другой вариант построения схемы равнозначности кодов приведен на рис. 5.23, б.

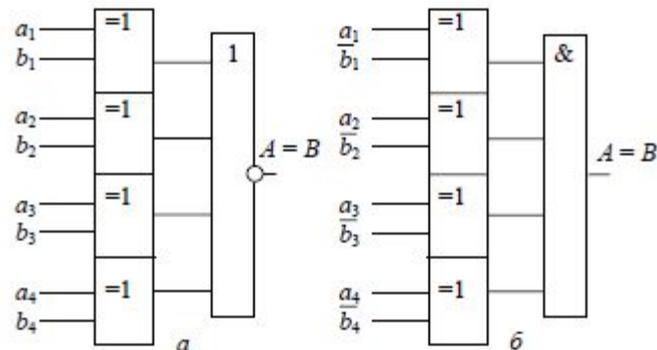


Рис. 5.23 — Схемы равнозначности кодов

Контроль четности

Контроль четности (нечетности) используется для обнаружения однократных ошибок при передаче данных по линиям связи (рис. 5.24). В передатчике к n -разрядному слову добавляется контрольный разряд (бит паритета) с таким значением (0 или 1), чтобы сумма единиц в $(n + 1)$ -разрядном сообщении была бы четной. В приемнике производится контроль на четность. Если число единиц в принятом слове нечетно, фиксируется ошибка при передаче данных.

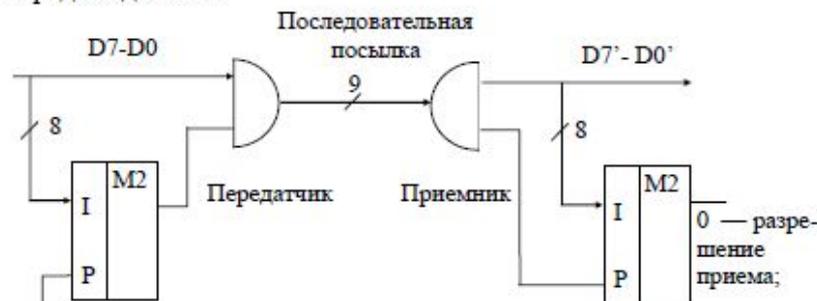


Рис. 5.24 — Передача данных с проверкой на четность

Для контроля восьмиразрядного сообщения можно использовать микросхему K555ИП15 — сумматор по модулю два. Он содержит внутри восемь логических элементов «Исключающее ИЛИ». В передатчике 9-разрядное сообщение преобразуется в последовательный код (это преобразование можно выполнить с помощью регистра сдвига), передается по одному каналу связи, а затем на стороне приемника подвергается обратному преобразованию в параллельный код. Если число единиц в принятом сообщении четно, логический 0 на выходе K555ИП15 разрешает прием сообщения $D7'-D0'$. В противном случае на выходе сумматора по модулю два формируется логическая 1 и прием сообщения запрещается. Функциональная схема и логическая структура микросхемы K555ИП15 приведены на рис. 5.25.

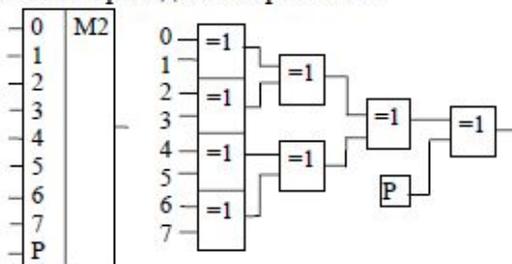


Рис. 5.25 — Сумматор по модулю 2

Пример 5.1. Построить коммутатор цифровых сигналов с 256 входных каналов на один выходной.

Решение. Схема коммутатора приведена на рис. 5.26.

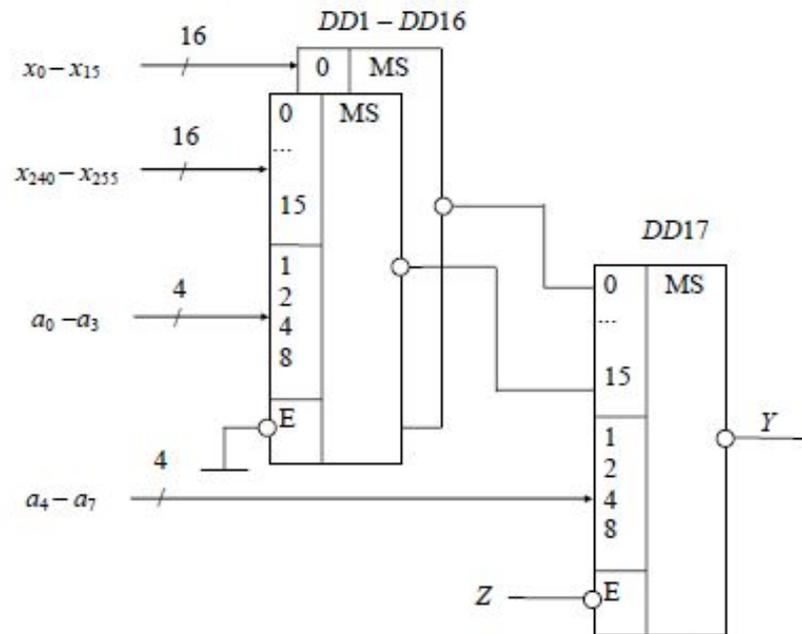


Рис. 5.26 — Коммутатор цифровых сигналов

Для коммутации 256 информационных сигналов $x_0 - x_{255}$ требуется восьмиразрядная шина адреса $a_0 - a_7$. Устройство представляет собой многоканальный мультиплексор. Выходной сигнал Y повторяет информацию того входа x_i , адрес которого подан на входы $a_0 - a_7$.

Максимальное число каналов, коммутируемое одной микросхемой (например, К155КП1 или К555КП1), равно 16. Для построения устройства требуется 17 корпусов таких микросхем. Младший полубайт адреса канала подается на объединенные адресные входы микросхем $DD1 - DD16$. На управляющий вход E этих микросхем подан разрешающий уровень логического нуля. Вторую ступень коммутатора образует мультиплексор $DD17$, на адресные входы которого подается старший полубайт адреса коммутируемого канала. При $Z = 1$ все каналы закрыты. При $Z = 0$, дважды инвертируясь, на выход проходит сигнал того канала, адрес которого зафиксирован на адресных входах $a_0 - a_7$.

Пример 5.2. Спроектировать сигнальное устройство, зажигающее светодиод, если сработали любые 7 из 9 датчиков. При срабатывании датчик формирует на выходе логическую 1, иначе на выходе датчика логический 0.

Решение. Просуммируем число сработавших датчиков с помощью сумматоров (рис. 5.27, подключив датчики 1–9 к их входам с весом 1).

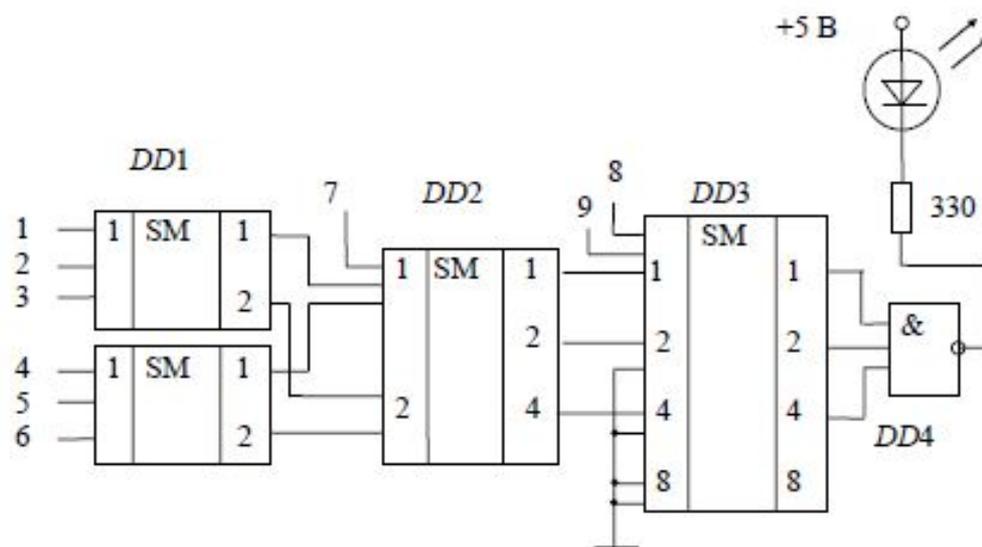


Рис. 5.27 — Сигнальное устройство

Логический элемент И-НЕ на выходе устройства формирует логический нуль, необходимый для того, чтобы светодиод загорелся, только при суммарном количестве сработавших датчиков, равном семи. В устройстве можно задействовать микросхемы К555ИМ5 (DD1), К555ИМ2 (DD2), К555ИМ6 (DD3), К555ЛА4 (DD4). Резистор задает рабочий ток светодиода порядка 10 мА.

Пример 5.3. На микросхемах средней степени интеграции создать устройство, обеспечивающее передачу цифровых сообщений от 32 абонентов на передающей стороне такому же числу абонентов на приемной стороне.

Установим на передающей стороне четыре мультиплексора $8 \rightarrow 1$, выходы которых объединим с помощью четырехвходового мультиплексора (рис. 5.28). Выбор источника информации на восьмивходовых мультиплексорах будем вести с помощью трех младших бит адресов $A_2-A_1-A_0$. Выбор группы источников (выбор мультиплексора) будем производить с помощью двух старших бит адресов A_4, A_3 , подаваемых на выходной мультиплексор.

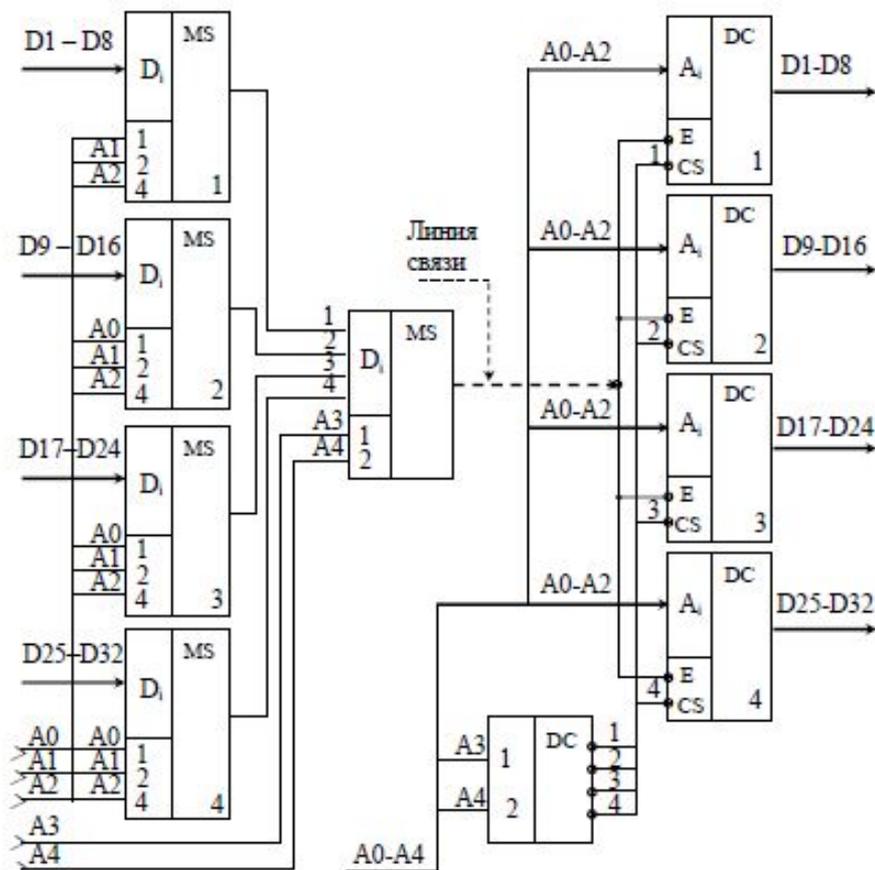


Рис. 5.28 – Структурная схема передачи цифровых сообщений по одной линии связи

На приемной стороне установим четыре восьмивходовых демультиплексора, управляющие входы E которых соединим с передающей стороной. Выбор дешифратора-демультиплексора производим с помощью двух старших бит адресов A_4, A_3 приемной стороны. Эти адреса подаются на дополнительный дешифратор 2:4, выходные сигналы которого поступают на входы \overline{CS} (выбор микросхемы) основных дешифраторов. Выбор источника информации осуществляется младшими битами адресов $A_2-A_1-A_0$ приемника.

Спасибо за внимание!