ЛЕКЦИЯ 2-12

СИСТЕМЫ НА ПРОГРАММИРУЕМЫХ КРИСТАЛЛАХ (SOPC)

Кафедра КИТС Кораблев Н.М.

Системы на кристалле: типы SoC, структура, основные характеристики и функции, среда проектирования

Достоинства систем на кристалле (SoC):

1. Повышение производительности.
2. Снижение энергопотребления.
3. Уменьшение габаритов и цены.

Классификация SoC:

1. SoC.
2. CSoC (конфигурируемые системы на кристалле)

2.1. Стандартные.

2.2. Специализированные.

3. PSoC (программируемые системы на кристалле).

3.1. С однородной структурой (Soft – ядра (IP – ядра)).

3.2. С блочной структурой (Hard – ядра).

4. SoPC (система на кристалле программируемая).

SOPC делятся на однородные и блочные. В однородных ***SOPC*** различные блоки системы реализуются одними и теми же аппаратными средствами. При этом при разработке систем используются т. н. единицы интеллектуальности (***IP***).

IP – заранее реализованные параметризуемые мегафункции для создания тех или иных частей системы.

Все блоки системы являются полностью синтезируемыми, перемещаемыми и могут располагаться в разных областях кристалла. Проектировщик размещает ***IP*** в нужной части кристалла в виде блоков. Блочные ***SOPC*** имеют аппаратные ядра, но реализуются в виде ***ASIC***.

Реализация функций спецаппаратными ядрами требуют значительно меньше площади кристалла, чем в однородных ***SOPC.***

Быстродействие блоков выше, но снижена универсальность

Блочные ***SOPC*** делятся на 2 группы:

1. имеющие аппаратные ядра процессоров (наиболее универсальные);
2. не имеющие аппаратные ядра процессоров.

SOPC блочного типа включают в себя как программируемые, так и фиксированные области.

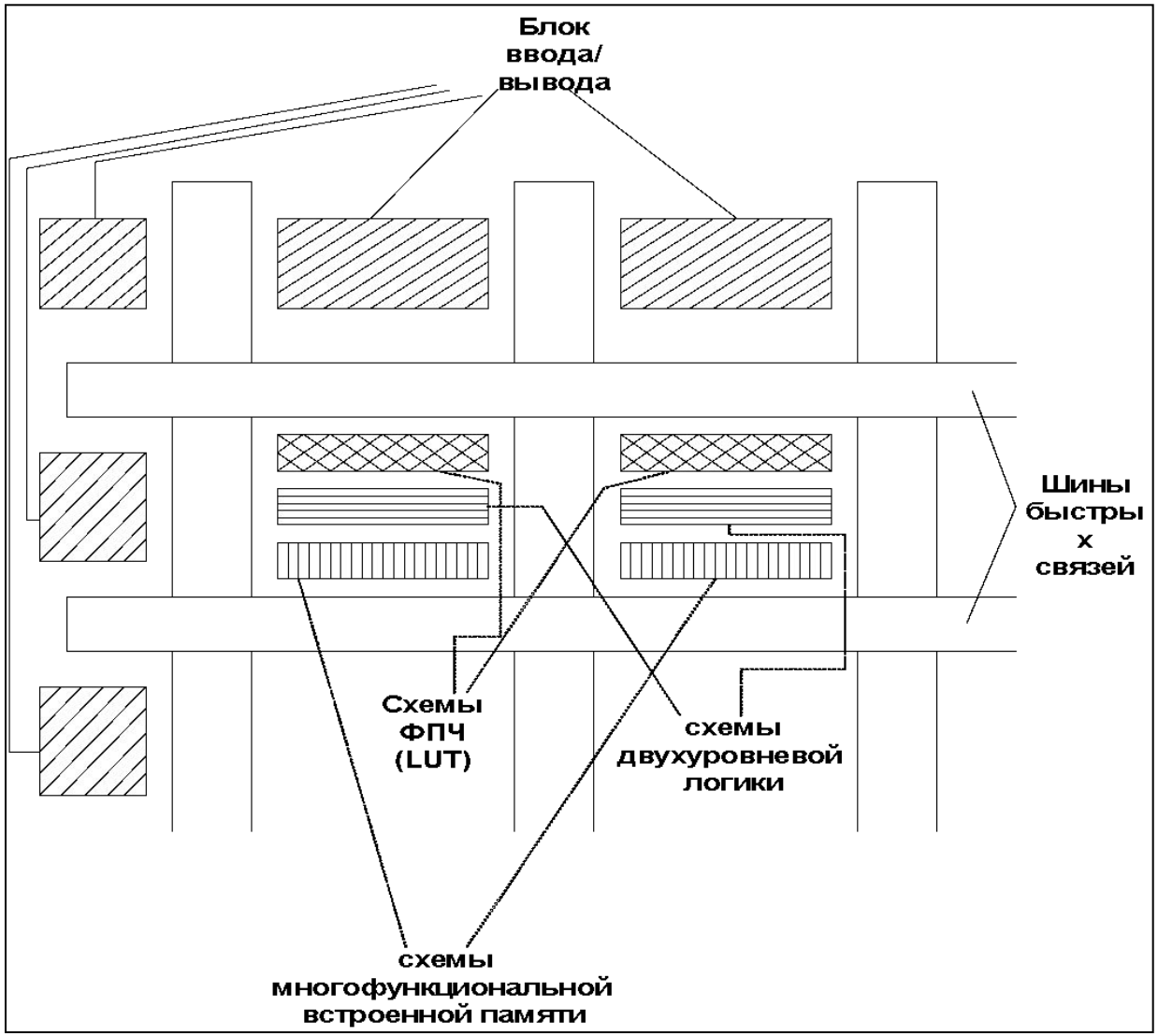
Программируемые области реализуются в виде ***FPGA***.

В однородных ***SOPC*** уровень интеграции позволяет конфигурировать на кристалле процессорную память периферийных схем. Может использоваться ***IP*** разных разработчиков.

HARD-ядра реализуются заказным способом, как правило, не имеют средств конфигурирования и оптимизированы на выполнение заданной конкретной функции. Для уменьшения потерь универсальных ***SOPC*** с ***HARD-ядрами*** , для них подбирают такие функциональные блоки, которые являются широко распространёнными и в других чипах.

SOPC С ОДНОРОДНОЙ СТРУКТУРОЙ.

Рассмотрим структуру однородной ***SOPC***.



Архитектура таких ***SOPC***.называется ***multicore***. В ней сочетаются ФБ ***LUT и PAL***.

Кроме того микросхемы имеют встроенные блоки памяти, содержащие также средства для реализации ДНФ, которые удобны для получения функций управления логики, в частности, декодеров и автоматов с памятью.

Табличные блоки хорошо приспособлены для реализации сложных алгоритмов обработки сигналов и к построению узлов и устройств, содержащих большое количество триггеров.

Кристаллы ***SOPC*** имеют многоуровневую структуру связей. Наименьшей структурной единицей логического типа является логический элемент, допускающий несколько стандартных конфигураций:

- нормальная (обычная);
- арифметическая (сумматор);
- счётная (счётчик).

10 логических элементов объединяются в логический блок, имеющий свой уровень межсоединений (ЛМС).

16 логических блоков и блок встроенной памяти объединяются в мегаблок.

Мегаблоки имеют свой уровень межсоединений и они коммутируются между собой с помощью глобальной МС, к концам линий которой подключается блок вола/вывода (БВВ).

Схемы в/в отличаются высоким быстродействием, поддерживают более 10 стандартов в/в. Контакты в/в разделены на 8 банков, каждый из которых может быть построен на свой стандарт обмена.

Элементы в/в обеспечивают совместные шины ***PCI***.

Типичный диапазон числа эквивалентных вентилей для ***APEX20K*** до 1,5 млн., ёмкость встроенной памяти до 450 кбит, число выводов контактов до 800, частота ≈200 МГц.

Для ***APEX20K*** разработано ***SOPC*** – ядро риск-процессора.

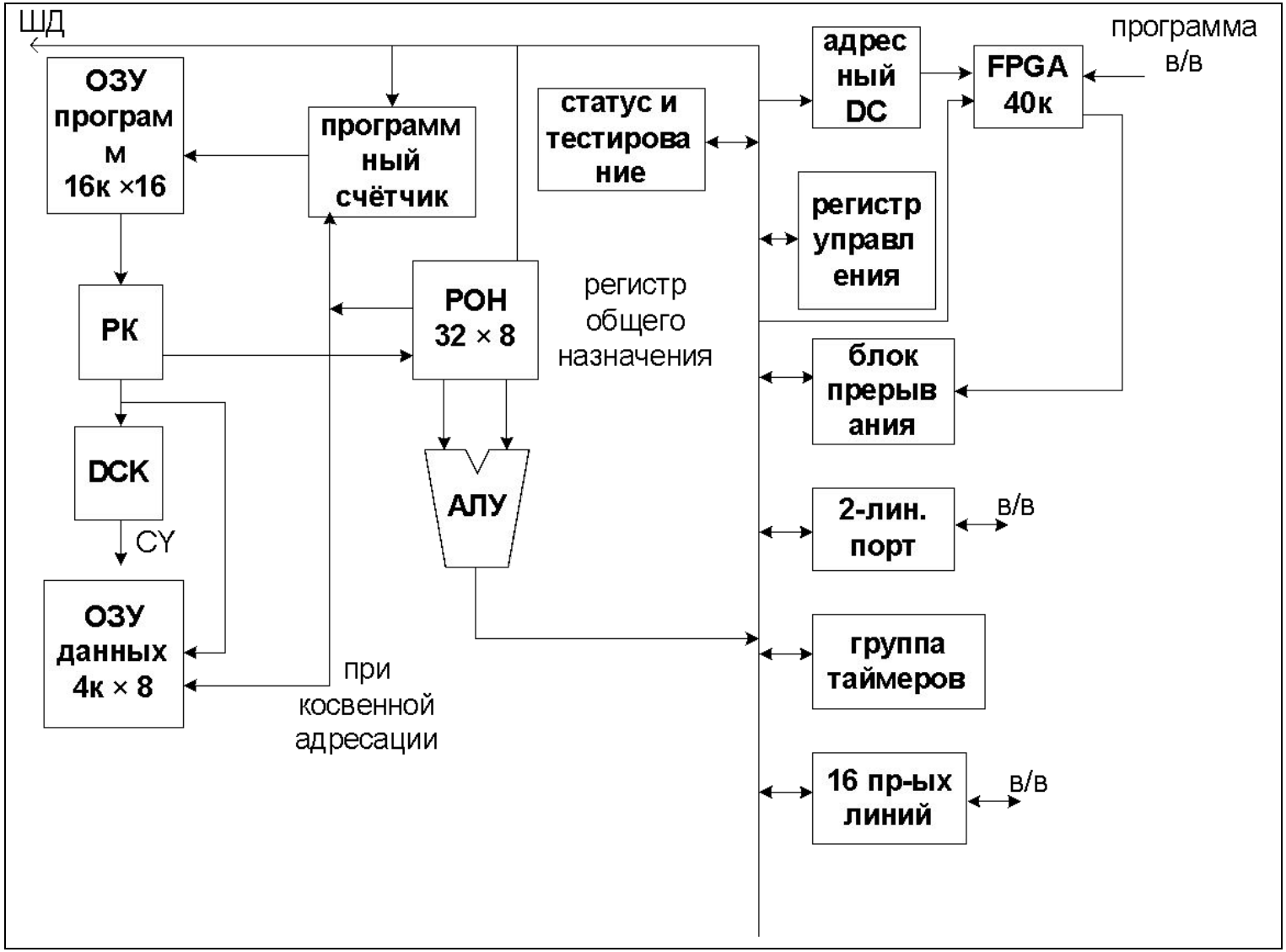
SOPC С БЛОЧНЫМИ СТРУКТУРАМИ.

В составе блока ***SOPC*** могут быть или отсутствовать параметры. В ***SOPC*** с процессорными ядрами можно выдавать 4 основные части: процессор, ***FPGA***, интерфейс между ними, интерфейс с внешней средой.

Рассмотрим ***SOPC*** на примере фирмы ***FPSLIC*** (***Field Programmable System Level Integration Chip***). В архитектуре этого свойства микросхемы можно выделить следующие блоки:

1. процессорное ядро ***AVP*** и его периферия;
2. память программ и статическая память данных;
3. ***FPGA*** с логической ёмкостью до 40эквивалентных вентилей.

Структурно можно представить следующим образом:



Для процессора используется Гарвардская архитектура, обеспечивающая повышение быстродействия ядра, вследствие совмещения во времени процессов выборки и выполнения команд.

В блоке ***FPGA*** размещается стандартная структура микросхем с различной логической ёмкостью, способной работать на частоте до 100 МГц, имеющая собственные блоки встроенной памяти ёмкостью от 2-х до 16 кбит.

Кроме того, в области ***FPGA*** реализуются повторители, сегментированные программные связи и блоки ***RAM***.

Повторители соединяют смежные сегменты в горизонтальных и вертикальных трассах передачи сигналов, размещённых через каждые 4 ячейкипо обеим координатам.

На пересечении рядов, содержащих повторители, находится блок ***RAM*** (32x4).

В каждую из ячеек входит 2ФП типа **LUT**, ***D***-триггер и 1,5 десятка программируемых МХ. ФП могут воспроизводить функции 3-х переменных и могут объединяться и воспроизводить функции 4-х переменных.

Логические ячейки имеют несколько стандартных конфигураций:

1) для воспроизведения функции 4-х переменных;
2) 2-х функций от 3-х переменных (для ***SM***);
3) 2-х функций от 4-х аргументов со сложной зависимостью;
4) счётный режим (***CNT***);
5) режим мультиплексирования 2 в 1.

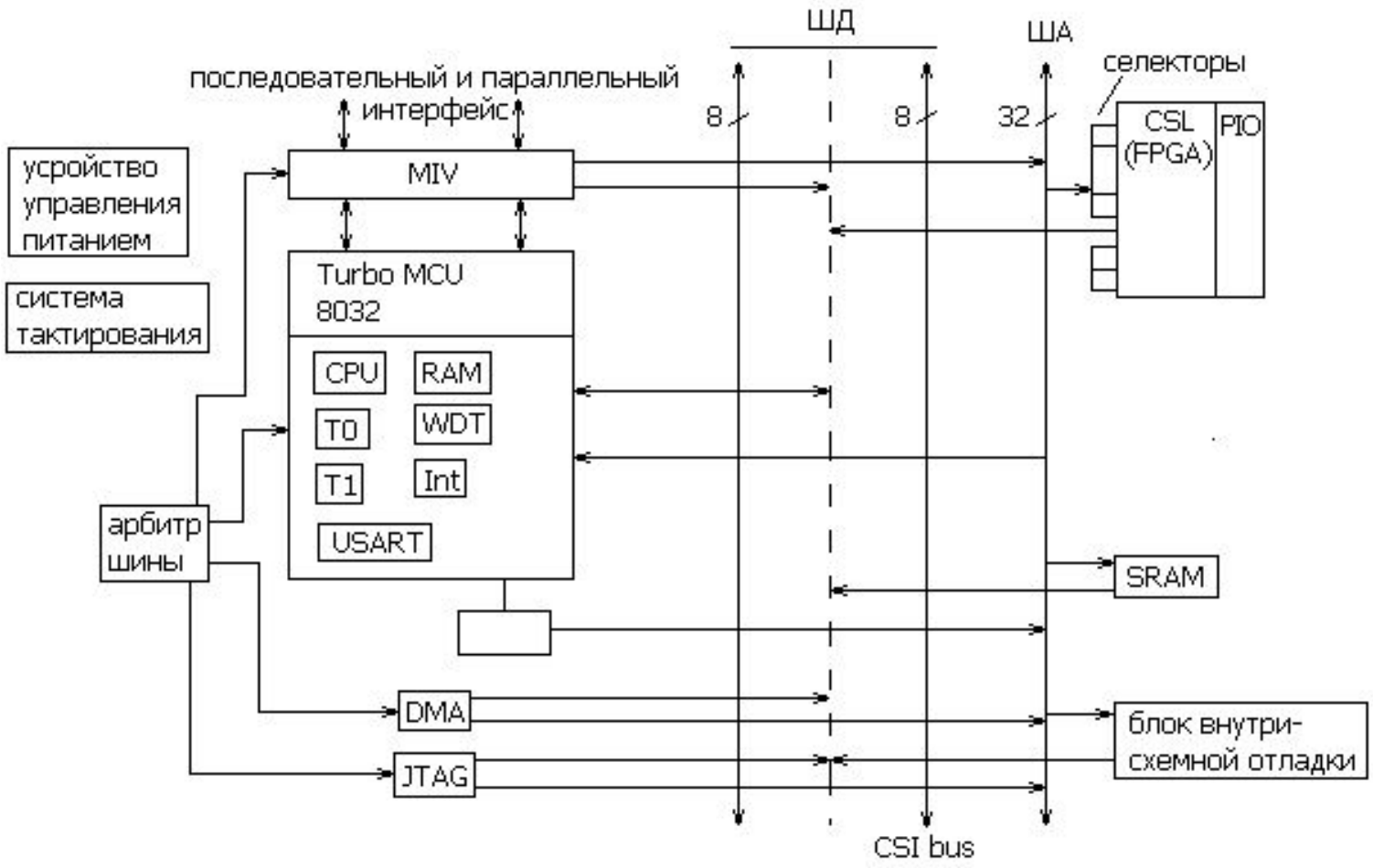
Такой спектр режимов позволяет создавать проекты с интенсивными вычислениями:

1) цифровая обработка сигналов;
2) криптография и другие мультимедийные проекты.

Кроме того, на ***FPGA*** реализуются интерфейсные функции (***COM***-порт, ***PCI***-интерфейс).

Для реализации этих функций используется специальная микробиблиотека.

Структурная схема Triscend ES



Структурная схема Triscend ES

MCU – микропроцессорное устройство.
CSL – конфигурируемая системная логика.
PIO – порты ввода/вывода.
CSI – конфигурационная система передачи.
DMA – контроллер ПДП.
MIV – контроллер внешней памяти объёмом до 256 Кб.
Пользователь может программировать CSL, PIO и CSI.

Для проектирования используется пакет System Designer:

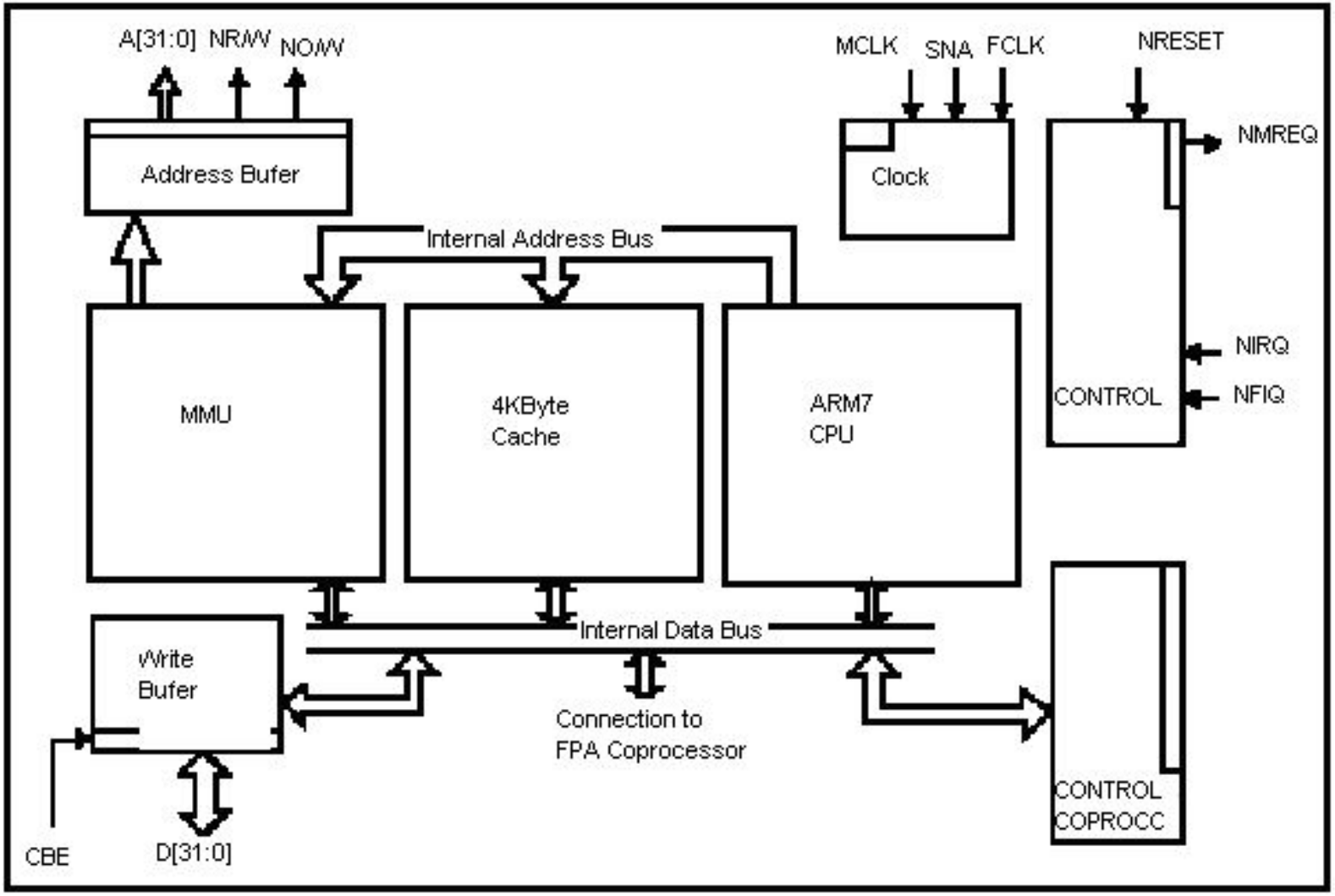
1. AVR Assembler v.1.3
2. Редактор языка описания аппаратуры HDL planer (VHDL – Verilog)
3. Синтезатор языка описания аппаратуры (сокращенная библиотека логических элементов FPGA, Atmel)
4. Среда размещения и разводки FPGA.

32-разрядные микроконтроллеры на основе ядра ARM7TDMI

Основные характеристики:

- 32-разрядный RISC процессор.
- 32-разрядная адресация - линейное адресное пространство в 4 Гбайта.
- Тридцать один 32-разрядный регистр общего назначения и шесть регистров состояния.
- Регистры адресов, записи и конвейера.
- Циклическое сдвиговое устройство и перемножитель.
- Трехуровневый конвейер (выборка команды, ее декодирование и выполнение).
- Быстрый отклик на прерывания применений реального масштаба времени.
- Поддержка систем виртуальной памяти.

32-разрядные микроконтроллеры на основе ядра ARM7TDMI



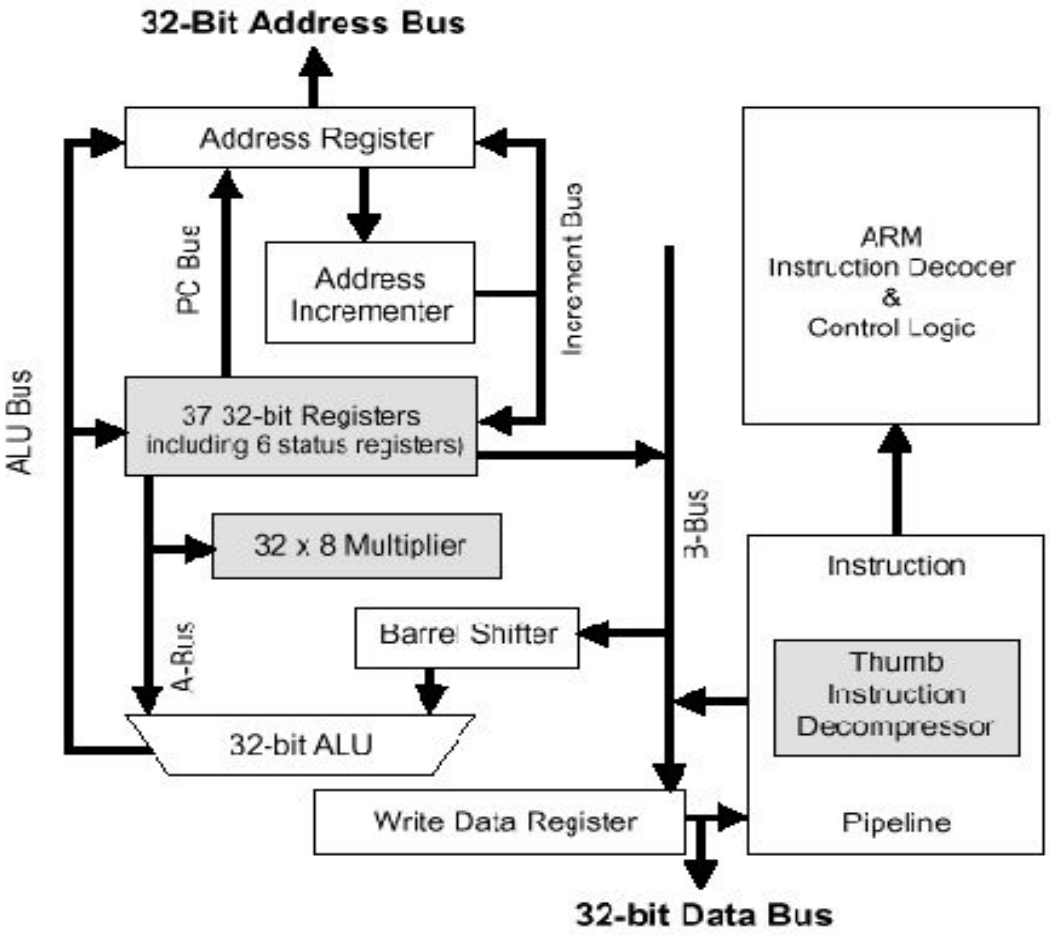
32-разрядные микроконтроллеры на основе ядра ARM7TDMI

32-разрядная система команд ядра ARM7 содержит одиннадцать базовых типов команд**:**

- два типа используют встроенное арифметико-логическое устройство, циклическое сдвиговое устройство и умножитель при операциях над данными в банке из 31 регистра, форматом по 32 разряда каждый;
- три класса команд управления перемещением данных между памятью и регистрами, один оптимизированный на обеспечение гибкости адресации, другой под быстрое контекстное переключение и третий под подкачку данных;
- три команды управляют потоком и уровнем привилегии выполнения;
- три типа предназначены для управления внешними сопроцессорами, что позволяет расширить функциональные возможности системы команд за пределами ядра.

32-разрядные микроконтроллеры на основе ядра ARM7TDMI

Интерфейс с памятью у процессора ARM7TDMI организуется следующими основными элементами:

- 32-разрядной шиной адреса, определяющей адрес ячейки памяти, которую необходимо использовать.
-32-разрядной двунаправленной шиной передачи данных D[31:0], плюс двумя отдельными однонаправленными шинами данных DIN[31:0] и DOUT[31:0], через которые перемещаются команды и данные. Данные могут иметь формат слова, полуслова или байта.
- сигналами управления, определяющими, например, формат перемещаемых данных и направление их передачи и, кроме того, уровень приоритета.

32-разрядные микроконтроллеры на основе ядра ARM7TDMI