

РОАТ Кафедра СУТИ

Микропроцессорные информационно- управляющие системы

(Для студентов РОАТ)

Лекции в презентациях

Лунев С. А.

Москва

ЛИТЕРАТУРА

1. Микропроцессорные информационно-управляющие системы железнодорожного транспорта/А.В.Горелик, В.Ю.Горелик, А.Е.Ермаков, О.П.Ермакова. М.: РОАТ – 2011 г. 230 с.
2. Однокристалльные микро-ЭВМ/А.В.Боборыкин, Г.П. Липовецкий и др. М.: МИКАП, 1994. - 400 с.
3. Микроконтроллеры, архитектура, программирование, интерфейс. /В.Б. Бродин, М. И. Шагурин. Справочник. М.: ЭКОМ, 1999, -398 с.

Положительные свойства релейных систем

1. Высокая устойчивость к электромагнитным помехам (особенно возникающим при грозовых явлениях) и к климатическим факторам (особенно к повышенной температуре)

2. Подтвержденные эксплуатацией высокие показатели безопасности железнодорожных реле

3. Наглядность схем обеспечивающих безопасность, что позволяет широкому кругу специалистов вносить изменения, и контролировать условия обеспечения безопасности движения

4. Большой срок эксплуатации

Серьезные аргументы, чтобы в настоящее время полностью не отказываться от реле

Проблемы релейных систем

1. Большой износ технических средств
2. Медленное внедрение современных технических средств и технологий:
 - не удовлетворяют современным требованиям комплексной автоматизации перевозочного процесса;
 - сдерживают массовое внедрение информационных технологий
3. Не обеспечивают внедрение безлюдных технологий по обслуживанию технических средств ЖАТ
4. Ограниченные возможности в решении ряда новых функциональных задач (протоколирование действий ДСП, архивирование работы устройств с целью анализа и выявления предотказных состояний, накопление маршрутов и их реализация по времени или по очереди, контроль аналоговых параметров и их передача в системы высшего порядка и др)
5. Рост эксплуатационных затрат:
 - большой объем устройств с истекшим сроком службы;
 - низкая надежность элементной базы;
 - отсутствие средств диагностики

Сдерживающий фактор при решении задач снижения эксплуатационных расходов ОАО «РЖД»

Увеличение числа реле, приходящихся на одну централизованную стрелку

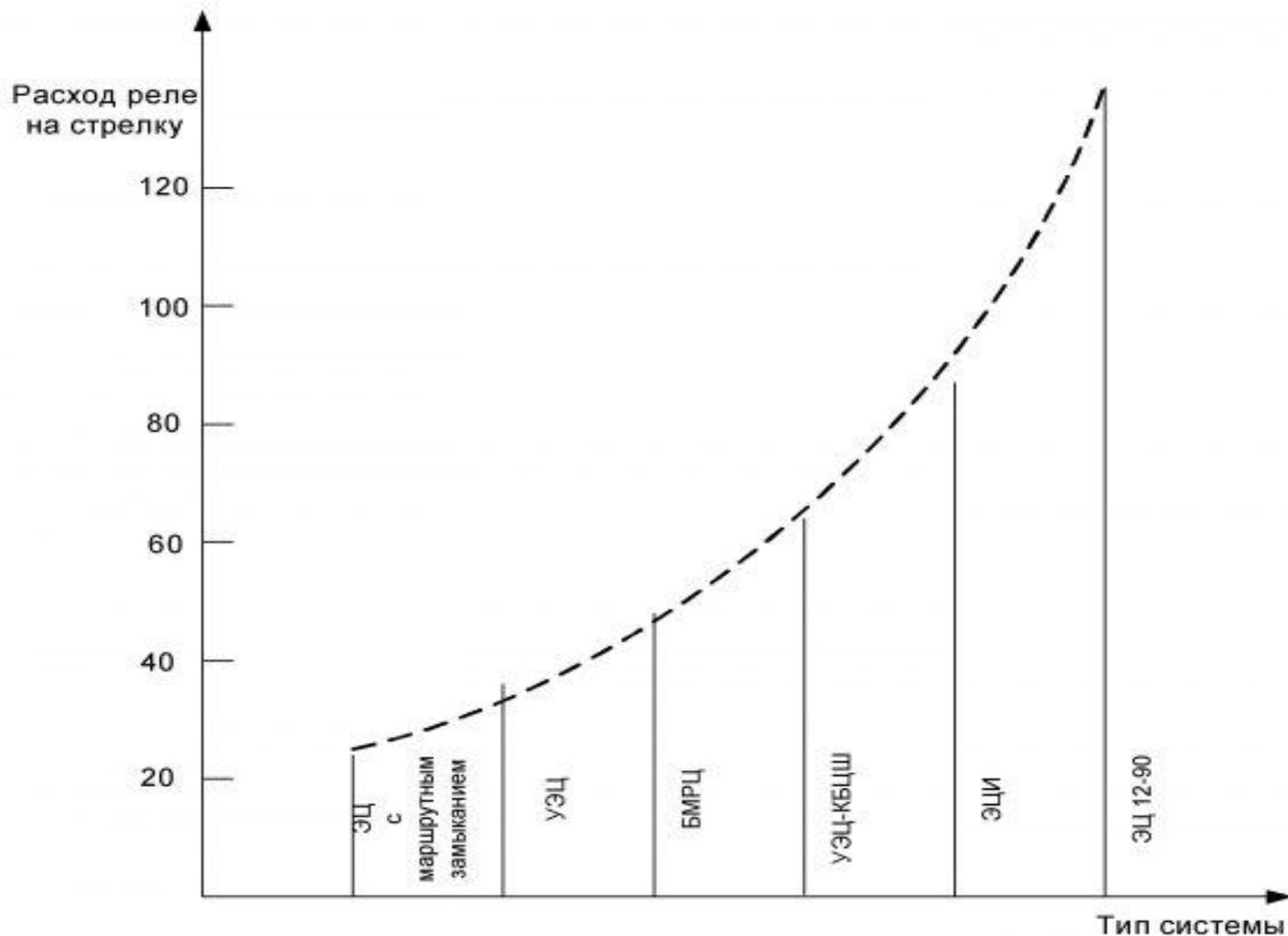


Рисунок 1

Эффективность микропроцессорных СЖАТ

1. Сокращение площадей служебно-технических помещений – размещение необходимой аппаратуры в малогабаритных компоновочных шкафах или модулях
2. Создание автоматизированного рабочего места дежурного по станции (АРМ ДСП), в составе которого содержатся видеомониторы с клавиатурой вместо громоздких пультов-табло и манипуляторов
3. Создание автоматизированного рабочего места электромеханика (АРМ ШН), позволяющее более качественно решать вопросы технической диагностики
4. Расширение функциональных возможностей систем, таких как:
 - выполнение функций контролируемых пунктов ДЦ;
 - телеизмерение, диагностика;
 - протоколирование и архивация (функции «черного ящика»)
5. Простое взаимодействие с любыми аппаратно-программными комплексами для создания единой автоматизированной системы управления перевозочным процессом
6. Сокращение объемов проектирования

Основные причины, усложняющие внедрение новых микропроцессорных систем:

- значительная степень избыточности, приводящая к снижению надёжности и недопустимо высокой цене;
- необходимость резервирования оборудования, при этом должны быть разные схемные и программные решения одной логической функции, мажоритарное принятие решения;
- большая протяженность железных дорог и соответственно инерционность внедрения;
- быстро изменяющаяся номенклатура изделий, что затрудняет обслуживание и ремонт;
- суровые климатические условия повышают требования к качеству изготовления, приёмки в эксплуатацию и к самой эксплуатации
- сложность в подготовке специалистов

Микро-ЭВМ – основа информационно-управляющей системы

МИКРОПРОЦЕССОР - самостоятельное или входящее в состав микро-ЭВМ устройство обработки информации, выполненное в виде одной или нескольких больших интегральных схем.

Микропроцессор отдельно от других элементов микропроцессорного устройства (МПУ) практически не используется (за исключением однокристальных микро-ЭВМ). В составе микропроцессорного комплекта он образует микро-ЭВМ.

микро-ЭВМ (микропроцессорная ЭВМ) - электронная вычислительная машина основу, которой составляет микропроцессор, дополненный запоминающим устройством, устройствами ввода-вывода данных и набором средств связи. Отличается малыми габаритными размерами, удобством эксплуатации, низкой стоимостью. микро-ЭВМ является универсальным, программно - управляемым устройством, т. е. настраивается на выполнение тех или иных функций с помощью хранимой в ее памяти программы.

МИКРОПРОЦЕССОРНАЯ СИСТЕМА – множество микропроцессорных элементов, находящихся в отношениях и связях друг с другом, образующих определенную целостность, единство, имеющих единый системный подход в системотехнике, анализе и т. д..

Организация микропроцессорных информационно-управляющих систем определяется видом периферийного оборудования, возможностями подключения дополнительных вычислительных устройств и способом связи основных элементов системы между собой.

Обобщённая схема микроконтроллера нижнего уровня информационно-управляющей системы на основе однокристальной микро-ЭВМ может содержать следующие функциональные узлы:

- микропроцессор (МП);
- внешний или внутренний генератор стабильной частоты (ЗГ);
- оперативное запоминающее устройство (ОЗУ);
- постоянное запоминающее устройство (ПЗУ);

- параллельный порт ввода – вывода;
- последовательный порт ввода – вывода;
- преобразователь напряжение – код (АЦП);
- преобразователь код – напряжение (ЦАП);
- гальваническую развязку между микро-ЭВМ и объектами управления и контроля (ISO);
- усилители аналоговых сигналов (УАС);
- усилители дискретных сигналов (УДС);
- жидкокристаллический индикатор (ЖКИ);
- матричную клавиатуру (МКЛ);
- часы реального времени с независимым источником питания (TIME);
- блок питания (БП);
- другие (зависят от потребности).

В зависимости от поставленной задачи отдельные элементы архитектуры микро-ЭВМ могут отсутствовать.

Двоичные числа

("Binary digit" - двоичная цифра или бит)

Сочетанием двоичных цифр (битов) можно представить любое число. Значение двоичного числа определяется относительной позицией каждого бита и наличием единичных битов. Ниже показано восьмибитовое число, содержащее все единичные биты:

<i>Позиционные веса</i>	128	64	32	16	8	4	2	1
<i>Включенные биты:</i>	1	1	1	1	1	1	1	1

Самая правая цифра имеет весовое значение 1, следующая цифра влево - 2, следующая - 4 и т.д. Общая сумма для восьми единичных битов в данном случае составит:

$$128 + 64 + 32 + \dots + 1, \text{ или } 255 \text{ (или } 2^8 - 1).$$

- для арифметических целей байт представляет двоичное число, эквивалентное десятичному;
- как элемент данных (один смежный байт или более), имея в виду описательный характер, как, например, заголовок, тогда байт представляет собой букву или "строку".

БИТЫ И БАЙТЫ

- Минимальной единицей информации в компьютере является *бит*. Бит может быть либо "*выключен*", при этом его значение равно *нулю*, либо "*включен*", тогда его значение равно *единице*.
- Группа из восьми бит представляет собой *байт*,
- Каждый байт в памяти компьютера имеет уникальный адрес, начиная с нуля.

Биты в байте пронумерованы от 0 до 7 справа налево, как это показано для буквы А:

Номера битов: 76543210

Значения битов: 01000001

Двоичное число не ограничено только восемью битами. Так, например процессор 8088 использует 16-битовую архитектуру, он автоматически оперирует с 16-битовыми числами. Число $2^{16}-1$ дает значение 65535, а в результате несложных программных операций можно обрабатывать числа до 32 бит ($2^{32}-1 = 4\ 294\ 967\ 295$).

Двоичная арифметика

Микро-ЭВМ выполняет следующие арифметические действия:

$$0+0=0$$

$$1+0=1$$

$$1+1=10$$

Обратите внимание на перенос единичного бита в последней операции.

Например, сложим 00111100 и 00110101. В десятичном виде числа 60 и 53,

Двоичные Десятичные

00111100 60

00110101 53

01110001 113

Шестнадцатеричное представление

Рассмотрим следующие четыре байта:

Двоичное: 0101 1001 0011 0101 1011 1001 1100 1110

Десятичное: 5 9 3 5 11 9 12 14

Здесь для записи некоторых чисел требуется две десятичные цифры. Поэтому нужно расширить систему счисления так, чтобы эти байты представлялись в сокращённой форме.

10 = A, Таким образом получим более сокращенную форму,
11 = B, которая представляет содержимое вышеуказанных
12 = C, байтов:

13 = D, 59 35 B9 CE

14 = E,
15 = F. Такая система счисления включает "цифры" от 0 до F, и, так как таких цифр 16, она называется шестнадцатеричной.

Шестнадцатеричное представление



Таблица

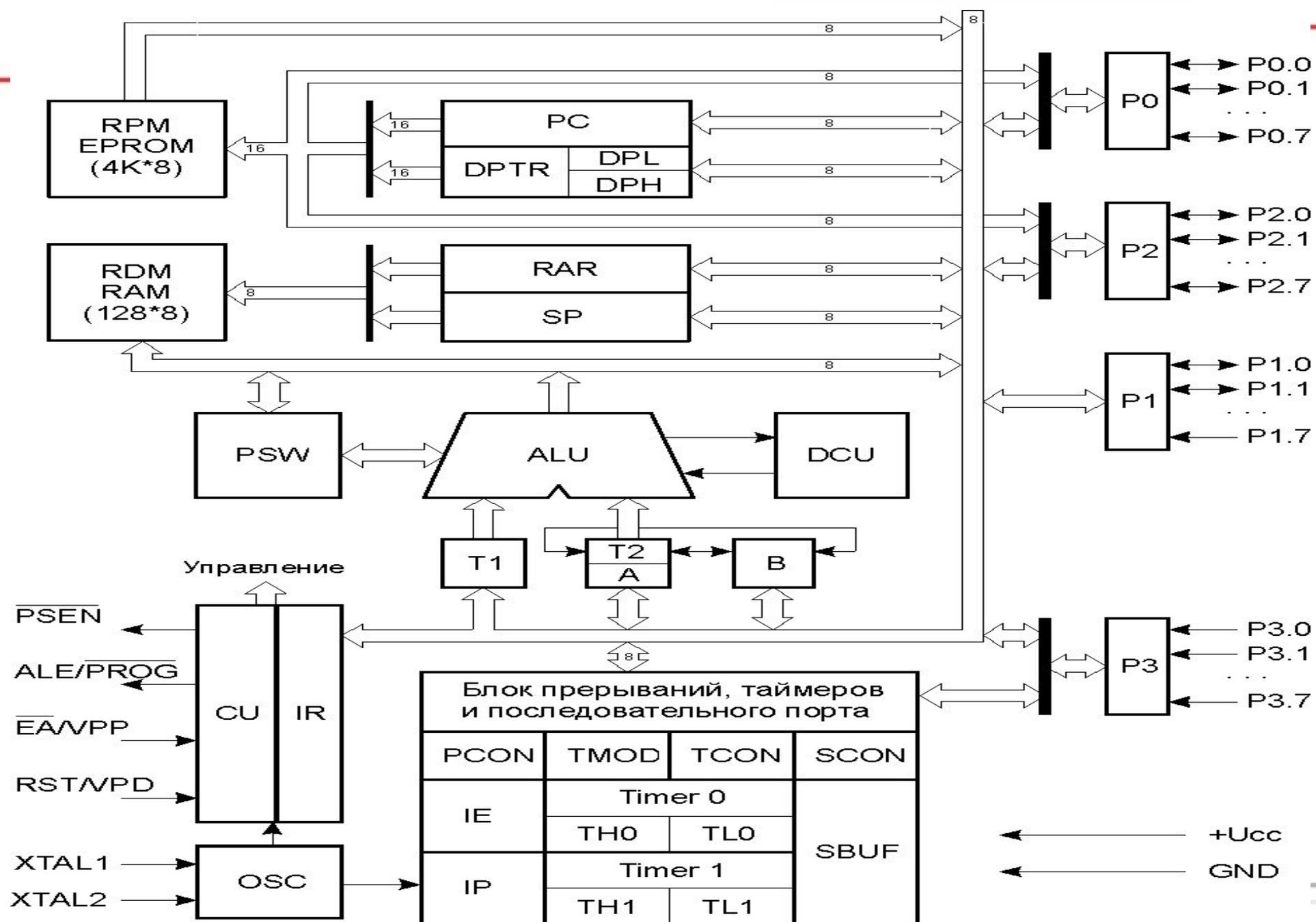
<i>Двоич.</i>	<i>Дес.</i>	<i>Шест.</i>	<i>Двоич.</i>	<i>Дес.</i>	<i>Шест.</i>
0000	0	0	1000	8	8
0001	1	1	1001	9	9
0010	2	2	1010	10	A
0011	3	3	1011	11	B
0100	4	4	1100	12	C
0101	5	5	1101	13	D
0110	6	6	1110	14	E
0111	7	7	1111	15	F

	<i>Дес.</i>	<i>Шест.</i>	<i>Двоич.</i>
1 байт	0 - 255	0 – 00FF	00000000 - 11111111
1 килобайт	0 - 1023	0 – 03FF	0000000000 - 1111111111
4 килобайта	0 - 4095	0 – 0FFF	000000000000 - 111111111111
8 килобайт	0 - 8191	0 – 1FFF	00000000000000 - 11111111111111
16 килобайт	0 - 16383	0 – 3FFF	----
32 килобайта	0 - 32768	0 – 7FFF	----
64 килобайта	0 - 65535	0 – FFFF	----

Существует множество микро-ЭВМ с различными характеристиками и со временем их параметры фирмы-разработчики улучшают, но все они имеют общие принципы построения. Для предметного рассмотрения выберем одну из наиболее популярных - однокристальную микро-ЭВМ серии MCS-51

Микро-ЭВМ семейства Intel 8051 имеют следующие аппаратные особенности:

- внутреннюю память программ ПЗУ объемом 4 Кбайт;
- внутреннее ОЗУ объемом 128 байт;
- четыре двунаправленных побитно настраиваемых восьмиразрядных порта ввода-вывода;
- два 16-разрядных таймера-счетчика;
- встроенный тактовый генератор;
- возможность адресации 64 Кбайт внешней памяти программ и 64 Кбайт внешней памяти данных;
- две линии запросов на прерывание от внешних устройств;
- интерфейс для последовательного обмена информацией с другими микроконтроллерами или персональными компьютерами.

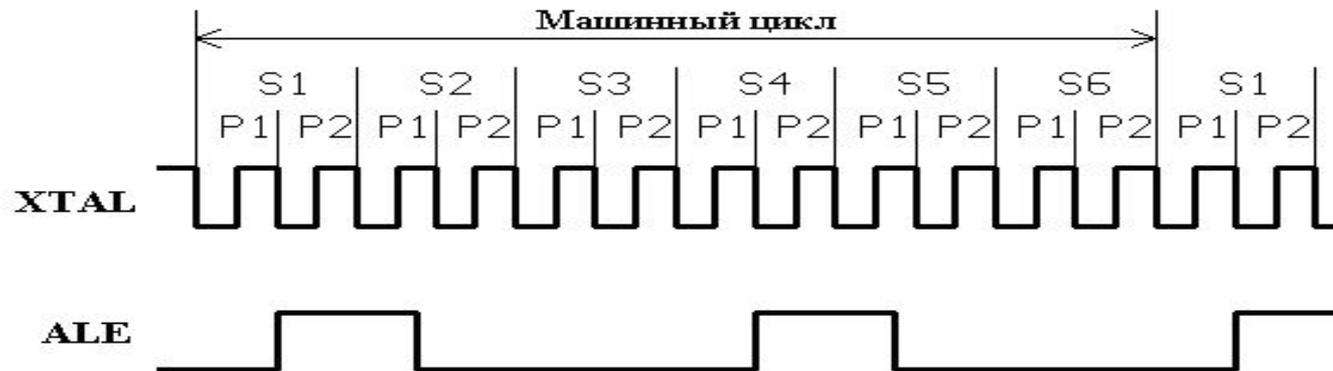


Блок управления предназначен для выработки синхронизирующих и управляющих сигналов.

Формирует внутренние синхросигналы, которые определяют продолжительность выполнения команд.

Практически все команды микроконтроллера выполняются за один или два машинных цикла, кроме команд умножения и деления (время выполнения последних составляет четыре машинных цикла).

Машинный цикл состоит из шести состояний S1...S6, каждое из которых включает в себя две фазы P1 и P2



Длительность каждой фазы равна периоду следования синхроимпульсов, который задается частотой кварцевого резонатора, подключаемого к выводам XTAL1 и XTAL2 микроконтроллера

Таким образом, длительность каждого машинного цикла $T_{\text{ц}}$ равна двенадцати периодам тактовых импульсов

$$T_{\text{ц}} = 12 \cdot 1 / f_{\text{BQ}}$$

где f_{BQ} частота синхронизации МКС-51

Для синхронизации работы остальных компонентов МПС можно использовать сигнал ALE, который дважды формируется в течении одного машинного цикла

- EPROM – память программ (4Кбайт);
- RAM – память данных (128 байт);
- PC – счётчик команд;
- DPTR – двухбайтовый регистр-указатель данных;
- DPL – младший байт регистра-указателя данных;
- DPH – старший байт регистра-указателя данных;
- RAR – регистр-указатель данных и автоматического вычисления следующего адреса резидентной памяти программ;
- SP – регистр указатель стека
- PSW – схема формирования признаков результата операции;
- ALU – 8-битное арифметико-логическое устройство;
- DCU – схема десятичной коррекции;
- T1 и T2 – программно-недоступные регистры, предназначенные для временного хранения операндов;

- A – Аккумулятор
- B – регистр расширитель аккумулятора
- CU – устройство управления;
- IR – регистр команд;
- OSC – внутренний генератор
- P0 – Порт 0; - четыре двунаправленных побитно
- P1 – Порт 1; настраиваемых восьмиразрядных порта
- P2 – Порт 2; ввода-вывода;
- P3 – Порт 3;
- PCON – регистр управления мощностью;
- IE – регистр маски прерывания;
- IP – регистр приоритетов
- SCON – регистр управления приемопередатчиком;
- SBUF – буфер последовательного приемопередатчика

- TMOD – регистр режимов таймеров счетчиков;
- TCON – регистр управления статуса таймеров;
- TIMER0 – таймер 0;
- TH0 – старший байт таймера 0;
- TL0 – младший байт таймера 0;
- TIMER1 – таймер 1;
- TH1 – старший байт таймера 1;
- TL1 – младший байт таймера 1.

Назначение выводов MCS-51



P1.0	□	1	40	□	Vcc
P1.1	□	2	39	□	P0.0 (AD0)
P1.2	□	3	38	□	P0.1 (AD1)
P1.3	□	4	37	□	P0.2 (AD2)
P1.4	□	5	36	□	P0.3 (AD3)
P1.5	□	6	35	□	P0.4 (AD4)
P1.6	□	7	34	□	P0.5 (AD5)
P1.7	□	8	33	□	P0.6 (AD6)
RESET	□	9	32	□	P0.7 (AD7)
(RxD) P3.0	□	10	31	□	EA/V _{pp}
(TxD) P3.1	□	11	30	□	ALE/PROG
($\overline{\text{INT0}}$) P3.2	□	12	29	□	PSEN
(INT1) P3.3	□	13	28	□	P2.7 (A15)
(T0) P3.4	□	14	27	□	P2.6 (A14)
(T1) P3.5	□	15	26	□	P2.5 (A13)
($\overline{\text{WR}}$) P3.6	□	16	25	□	P2.4 (A12)
(RD) P3.7	□	17	24	□	P2.3 (A11)
XTAL2	□	18	23	□	P2.2 (A10)
XTAL1	□	19	22	□	P2.1 (A9)
V _{ss}	□	20	21	□	P2.0 (A8)

Назначение выводов, условное графическое обозначение

Vss – потенциал общего провода ("земли");

Vcc – основное напряжение питания +5 В;

XTAL1, XTAL2 – выводы для подключения кварцевого резонатора;

RESET – вход общего сброса микроконтроллера;

PSEN – разрешение внешней памяти программ, выдается только при обращении к внешнему ПЗУ;

ALE – строб адреса внешней памяти;

EA – отключение внутренней программной памяти, уровень 0 на этом входе заставляет микроконтроллер выполнять программу только из внешнего ПЗУ, игнорируя внутреннее;

P0 – восьми битный двунаправленный порт ввода/вывода информации: при работе с внешними ОЗУ и ПЗУ по линиям порта в режиме временного мультиплексирования выдается адрес внешней памяти, после чего осуществляется передача или прием данных;

P1 – восьми битный двунаправленный порт ввода/вывода: каждый разряд порта может быть запрограммирован как на ввод, так и на вывод информации, независимо от состояния других разрядов, также этот порт используется при программировании внутренней памяти программ;

P2 – восьми битный двунаправленный порт, аналогичный P1; кроме того, выводы этого порта используются для выдачи адресной информации при обращении к внешней памяти программ или данных (если используется 16-битовая адресация последней).

P3 – восьми битный двунаправленный порт, аналогичный P1; кроме того, выводы этого порта могут выполнять ряд альтернативных функций, которые используются при работе таймеров, порта последовательного ввода-вывода, контроллера прерываний, и внешней памяти программ и данных:

RxD – последовательные данные приёмника;

TxD – последовательные данные передатчика;

INT0 – вход внешнего прерывания 0;

INT1 – вход внешнего прерывания 1;

T0 – вход таймера/счётчика 0;

T1 – вход таймера/счётчика 1;

WR – выход строблирующего сигнала при записи во внешнюю память;

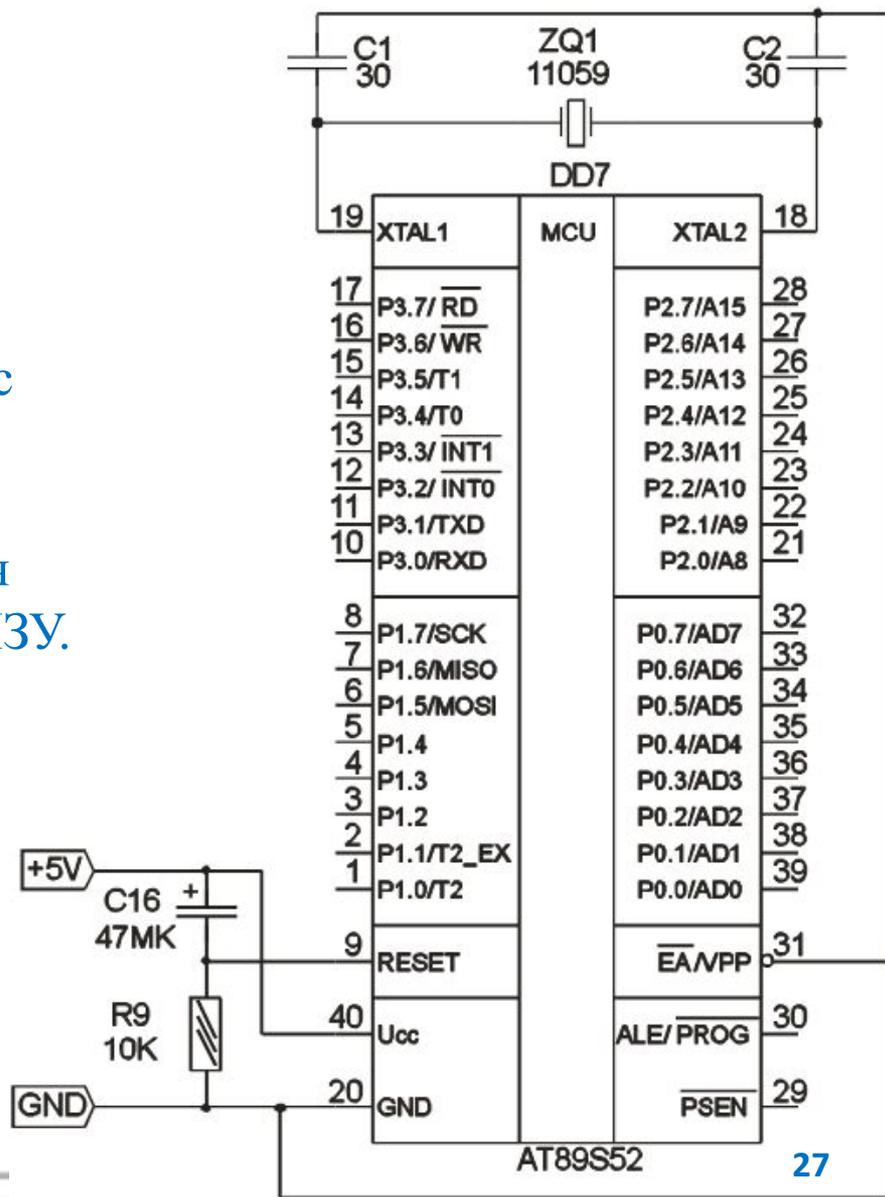
RD – выход строблирующего сигнала при чтении из внешней памяти.

Схема включения микро-ЭВМ



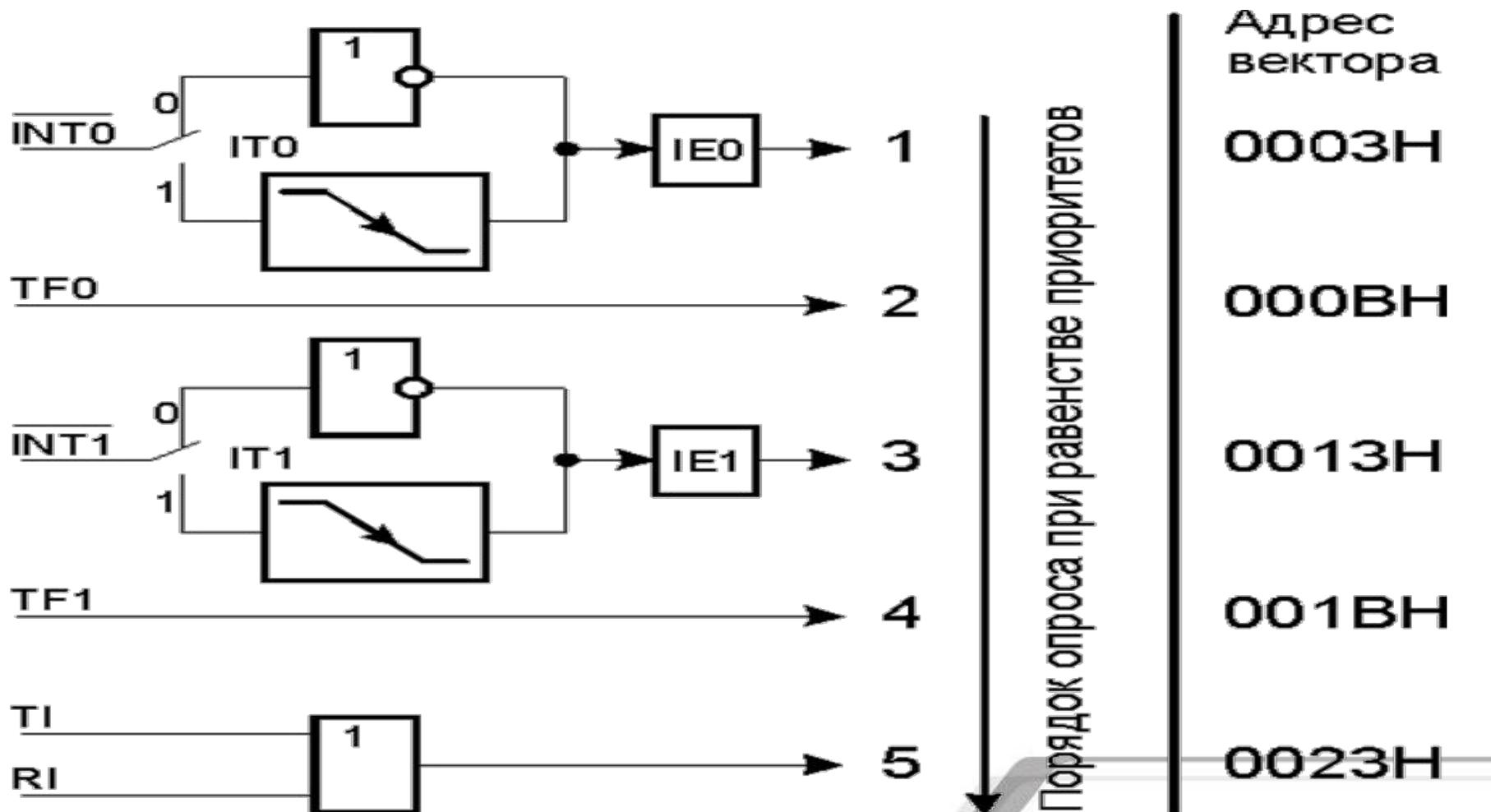
Минимальная схема включения микро-ЭВМ семейства MCS-51

При подаче питания формируется импульс сброса RESET. В программном счетчике устанавливается адрес первой ячейки внутренней памяти программ, дальнейшая работа процессора определяется кодами ПЗУ.



Система прерываний микроконтроллера 8051

Упрощенная схема прерываний микро-ЭВМ 8051 показана на рисунке.



Регистр масок прерывания

		(IE) Разряд регистра IE									
		7	6	5	4	3	2	1	0		
0A8:	EA	-	-	ES	ET1	EX1	ET0	EX0	168	IE	0x000000B

Символ	Позиция	Имя и назначение
EA	IE.7	Снятие блокировки прерывания. Сбрасывается, программно для запрета всех прерываний независимо от состояний IE.4 - IE.0
	IE.6	Не используется
	IE.5	Не используется
ES	IE.4	Бит разрешения прерывания, от приемопередатчика Установка/сброс программой для разрешения/запрета прерываний от флагов TI или RI .
ET1	IE.3	Бит разрешения прерывания от таймера. Установка/сброс программой для разрешения/запрета прерываний от таймера 1
EX1	IE.2	Бит разрешения внешнего прерывания 1. Установка/сброс программой для разрешения/запрета прерывания 1
ET0	IE.1	Бит разрешения прерывания от таймера 0. Установка/сброс программой для разрешения/запрета прерываний от таймера 0 .
EX0	IE.0	Бит разрешения внешнего прерывания 0. Установка/сброс программой для разрешения/запрета прерывания 0

Регистр приоритетов

0B8:	Разряд регистра IP								184	IP	xx000000B
	7	6	5	4	3	2	1	0			
	-	-	-	PS	PT1	PX1	PT0	PX0			

Символ	Позиция	Имя и назначение
-	IP.7 - IP.5	Не используется
PS	IP.4	Бит приоритета приемопередатчика. Установка/сброс программой для присваивания прерыванию от приемопередатчика высшего/низшего приоритета
PT1	IP.3	Бит приоритета таймера 1. Установка/сброс программой для присваивания прерыванию от таймера 1 высшего/низшего приоритета
PX1	IP.2	Бит приоритета внешнего прерывания 1. Установка/сброс программой для присваивания высшего/низшего приоритета внешнему прерыванию INT1
PT0	IP.1	Бит приоритета таймера 0. Установка/сброс программой для присваивания прерыванию от таймера 0 высшего/низшего приоритета
PX0	IP.0	Бит приоритета внешнего прерывания 0. Установка/сброс программой для присваивания высшего/низшего приоритета внешнему прерыванию INT0

Особенности обслуживания прерываний

Система прерываний формирует аппаратный вызов соответствующей подпрограммы обслуживания, если она **не заблокирована одним из следующих условий**:

- ▣ в данный момент обслуживается запрос прерывания равного или высокого уровня приоритета;
- ▣ текущий машинный цикл – не последний в цикле выполняемой команды;
- ▣ выполняется команда возврата из подпрограммы или любая команда, связанная с обращением к регистрам IE или IP.

По аппаратно сформированному коду вызова система прерывания **помещает в стек** только содержимое счетчика команд (PC) и **загружает** в него **адрес вектора** соответствующей подпрограммы обслуживания.

По адресу вектора должна быть расположена команда безусловной передачи управления к начальному адресу **подпрограммы обслуживания прерывания**.

Подпрограммы обслуживания прерывания должны **завершаться** командой **возврата**, по которой в счетчик команд перезагружается из стека сохраненный адрес возврата в основную программу.



В базовых моделях семейства имеются два программируемых 16-битных таймера/счетчика (Т/С0 и Т/С1), которые могут быть использованы как в качестве таймеров, так и в качестве счетчиков внешних событий.

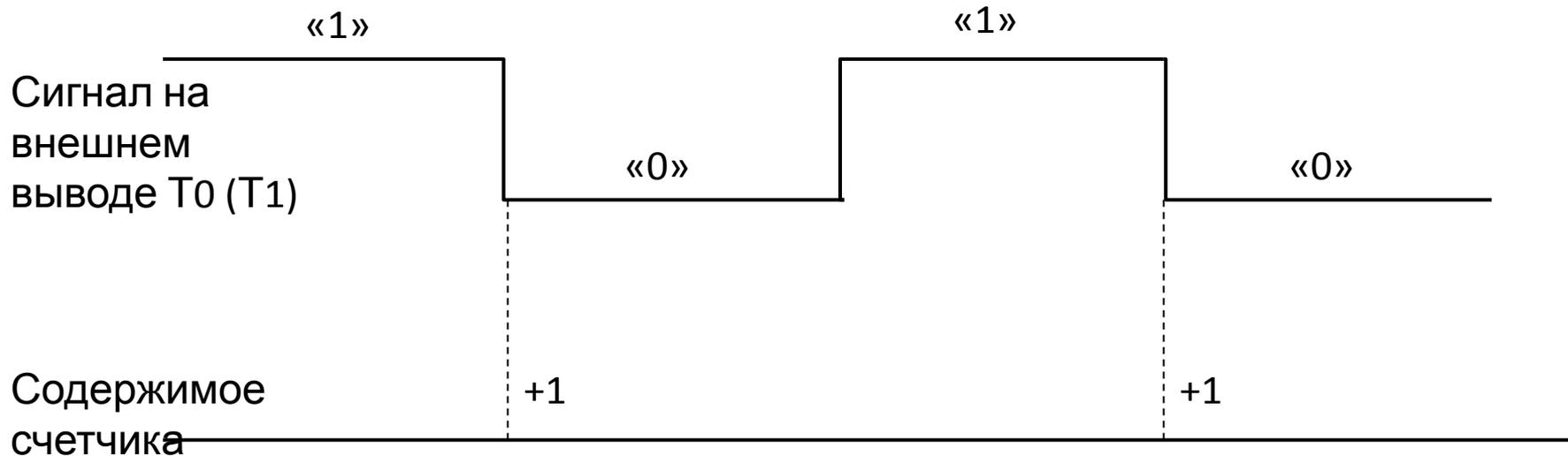
В первом случае содержимое соответствующего таймера/счетчика (Т/С) инкрементируется в каждом машинном цикле, т.е. через каждые 12 периодов колебаний кварцевого резонатора.

Во втором оно инкрементируется под воздействием перехода из 1 в 0 внешнего входного сигнала, подаваемого на соответствующий вывод (Т0, Т1) микро-ЭВМ

Так как на распознавание периода требуются два машинных цикла, максимальная частота подсчета входных сигналов равна $1/24$ частоты резонатора.

На длительность периода входных сигналов ограничений сверху нет. Для гарантированного прочтения входной сигнал должен удерживать значение 1, как минимум, в течение одного машинного цикла микро-ЭВМ.

Для управления режимами работы Т/С и для организации их взаимодействия с системой прерываний используются два регистра специальных функций (ТCON и TMOD)



Фиксация наличия «1» на входе T0 (T1) минимум 1 машинный цикл

Фиксация наличия «0» на входе T0 (T1) минимум 1 машинный цикл

Таким образом на распознавание периода минимально требуются два машинных цикла

Регистр управления режимами работы таймеров TMOD

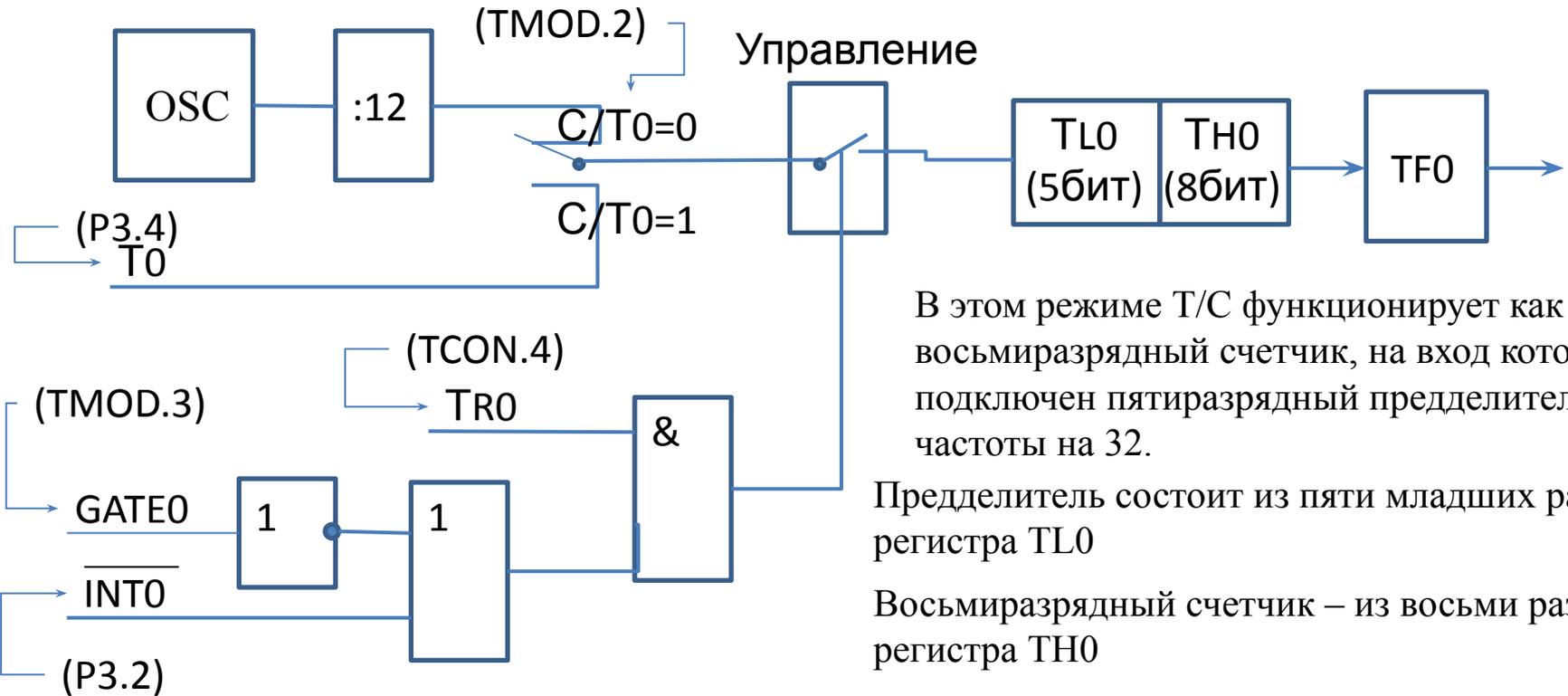


Символ	Позиция	Имя и назначение		
GATE	TMOD.7 для T/C1 и TMOD.3 для T/CO	<p>Управление блокировкой. Если бит установлен, то работа таймера/счетчика «0(1)» разрешена до тех пор, пока на входе "INT0(1)" высокий уровень и бит управления "TR0(1)" установлен. Если бит сброшен, то работа T/C разрешается, как только бит управления "TR0(1)" устанавливается</p>		
C/T	TMOD.6 для T/C1 и TMOD.2 для T/CO	<p>Бит выбора режима таймера или счетчика событий. Если бит сброшен, то работает таймер от внутреннего источника сигналов синхронизации. Если это бит установлен, то работает счетчик от внешних сигналов на входе "T0(1)"</p>		
M1, M0	TMOD.5,4 для T/C1 и TMOD.1,0 для T/CO	M1	M0	Режим работы
		0	0	Таймер "TL0(1)" работает как 5-битный предделитель, «TH0(1)» работает как 8-битный таймер/счетчик
		0	1	16 битный таймер/счетчик. "TH0(1)" и "TL0(1)" включены последовательно
		1	0	8-битный авто перезагружаемый таймер/счетчик. "TH0(1)" хранит значение, которое должно быть перезагружено в "TL0(1)" каждый раз по переполнению
		1	1	T/C1 останавливается. T/CO: TL0 работает как 8-битный таймер/счетчик, и его режим определяется управляющими битами таймера 0. TH0 работает только как 8 битный таймер, и его режим определяется управляющими битами таймера 1

Регистр организации взаимодействия таймеров с системой прерываний TCON



Символ	Позиция	Имя и назначение
TF1	TCON.7	Флаг переполнения таймера 1. Устанавливается аппаратно при переполнении таймера/счетчика. Сбрасывается при обслуживании прерывания аппаратно
TR1	TCON.6	Бит управления таймера 1. Устанавливается, / сбрасывается программой для пуска/останова
TF0	TCON.5	Флаг переполнения таймера 0. Устанавливается аппаратно при переполнении таймера/счетчика. Сбрасывается при обслуживании прерывания
TR0	TCON.4	Бит управления таймера 0. Устанавливается / сбрасывается программой для пуска/останова таймера/счетчика
IE1	TCON.3	Флаг фронта прерывания 1. Устанавливается аппаратно, когда детектируется срез внешнего сигнала INT1. Сбрасывается при обслуживании прерывания
IT1	TCON.2	Бит управления типом прерывания 1. Устанавливается / сбрасывается программно для спецификации запроса INT1 (срез/низкий уровень)
IE0	TCON.1	Флаг фронта прерывания 0. Устанавливается по срезу сигнала INT0. Сбрасывается при обслуживании прерывания
IT1	TCON.0	Бит управления типом прерывания 0. Устанавливается / сбрасывается программно для спецификации запроса INT0 (срез/низкий уровень)



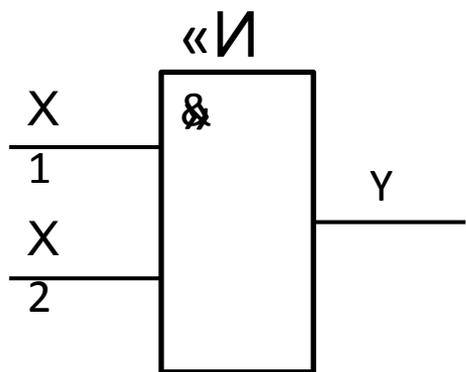
В этом режиме T/C функционирует как восьмиразрядный счетчик, на вход которого подключен пятиразрядный предделитель частоты на 32.

Предделитель состоит из пяти младших разрядов регистра TL0

Восьмиразрядный счетчик – из восьми разрядов регистра TH0

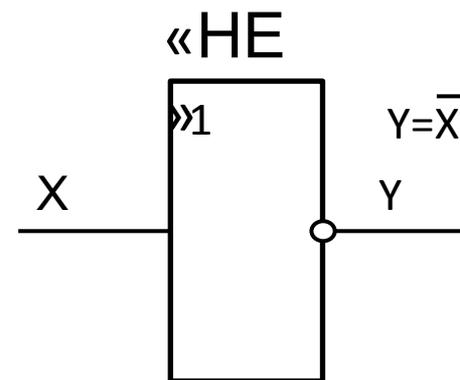
Если же бит GATE0 установлен в 1, то в этом случае можно использовать таймер для измерения длительности импульсного сигнала, подаваемого на вход $\overline{INT0}$

Бит TR0 регистра TCON разрешает счет (TR0=1), если: управляющий бит GATE0 (блокировка) равен 0 или на внешний вывод $\overline{INT0}$ подан сигнал логической 1



$$Y = X1 * X2$$

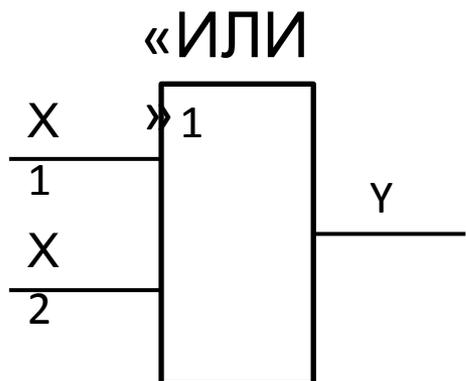
X1	X2	Y
0	0	0
1	0	0
0	1	0
1	1	1



$$Y = \bar{X}$$

X

Y



$$Y = X1 + X2$$

X1	X2	Y
0	0	0
1	0	1
0	1	1
1	1	1

X

Y

0

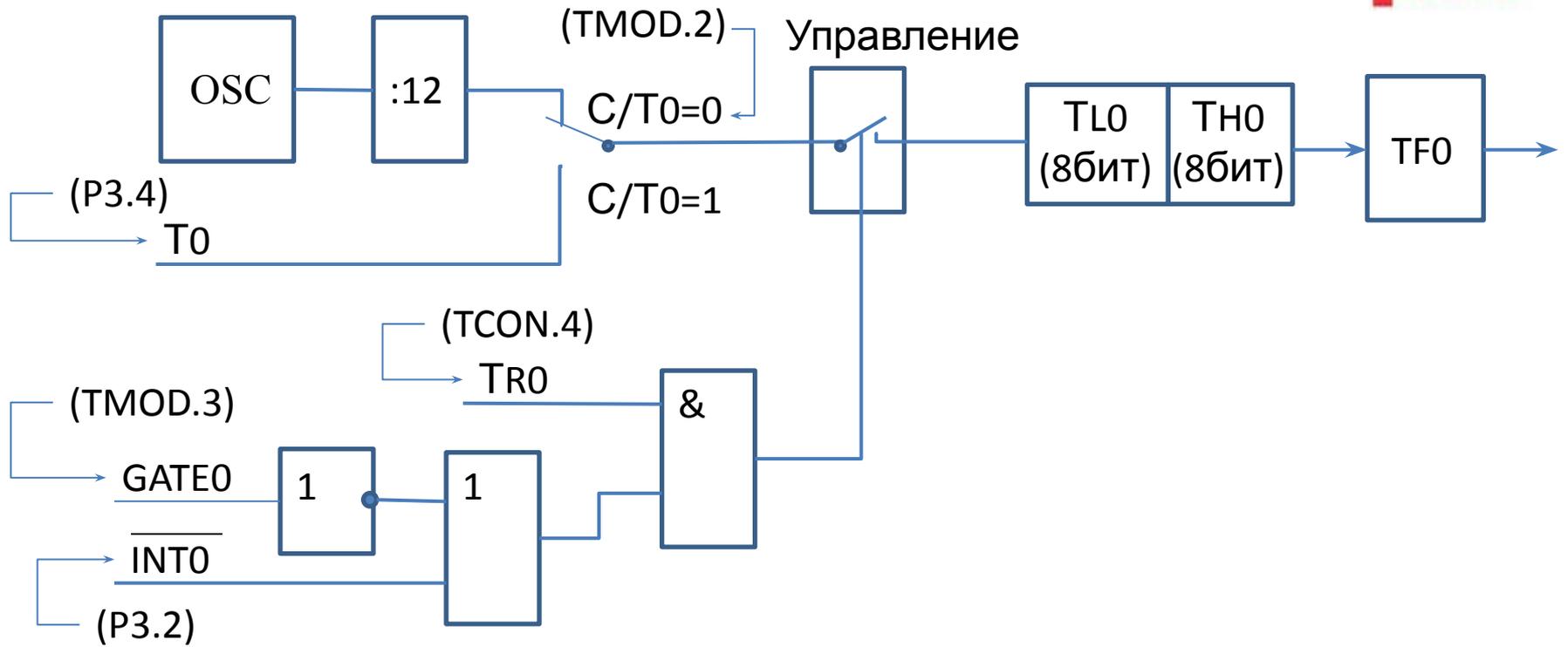
1

1

0

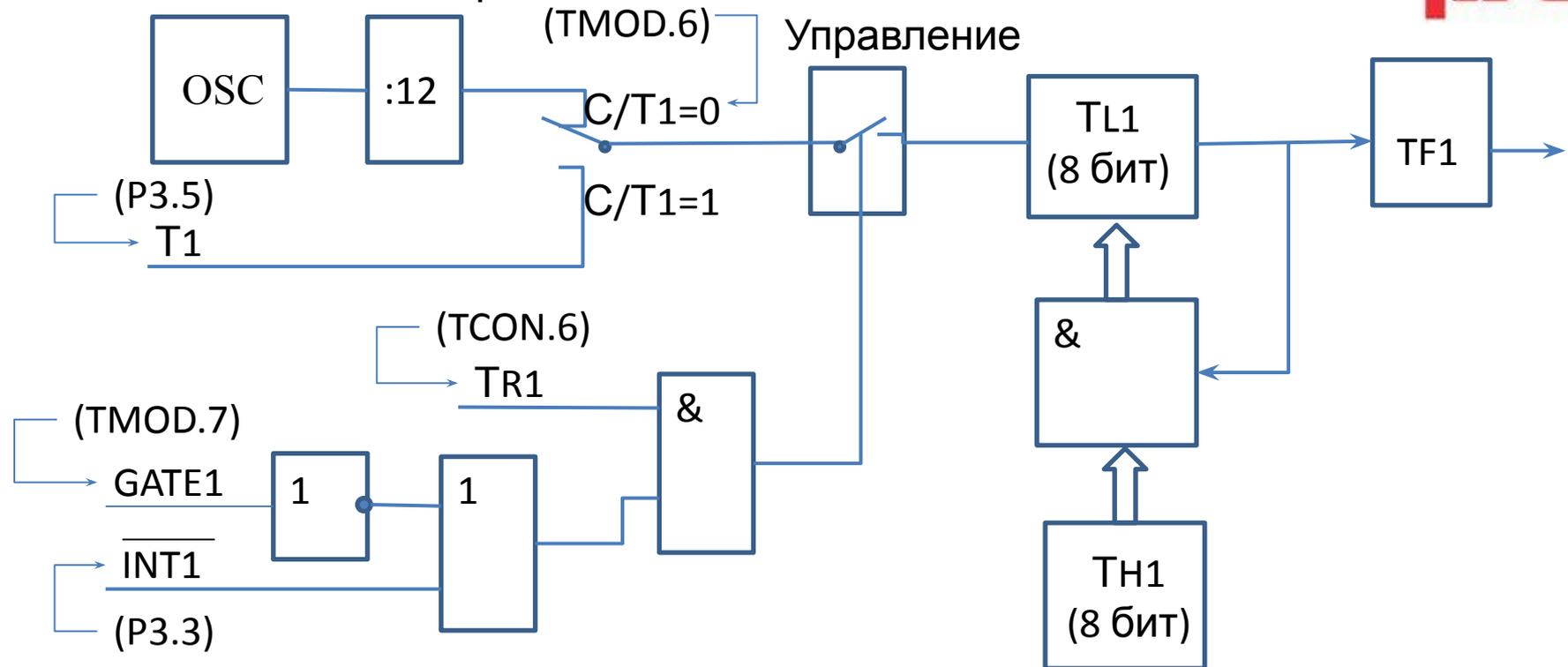
	7	6	5	4	3	2	1	0	Дес.
	1	1	1	1	1	0	0	0	248
	1	1	1	1	1	0	0	1	249
	1	1	1	1	1	0	1	0	250
	1	1	1	1	1	0	1	1	251
	1	1	1	1	1	1	0	0	252
	1	1	1	1	1	1	0	1	253
	1	1	1	1	1	1	1	0	254
	1	1	1	1	1	1	1	1	255
(1)	0	0	0	0	0	0	0	0	256 0

TF
0



Режим 1 аналогичен режиму 0, за исключением того, что доступны 16-разрядные T/C.

Логика работы Т/С1 в режиме 2 (TMOD.6)

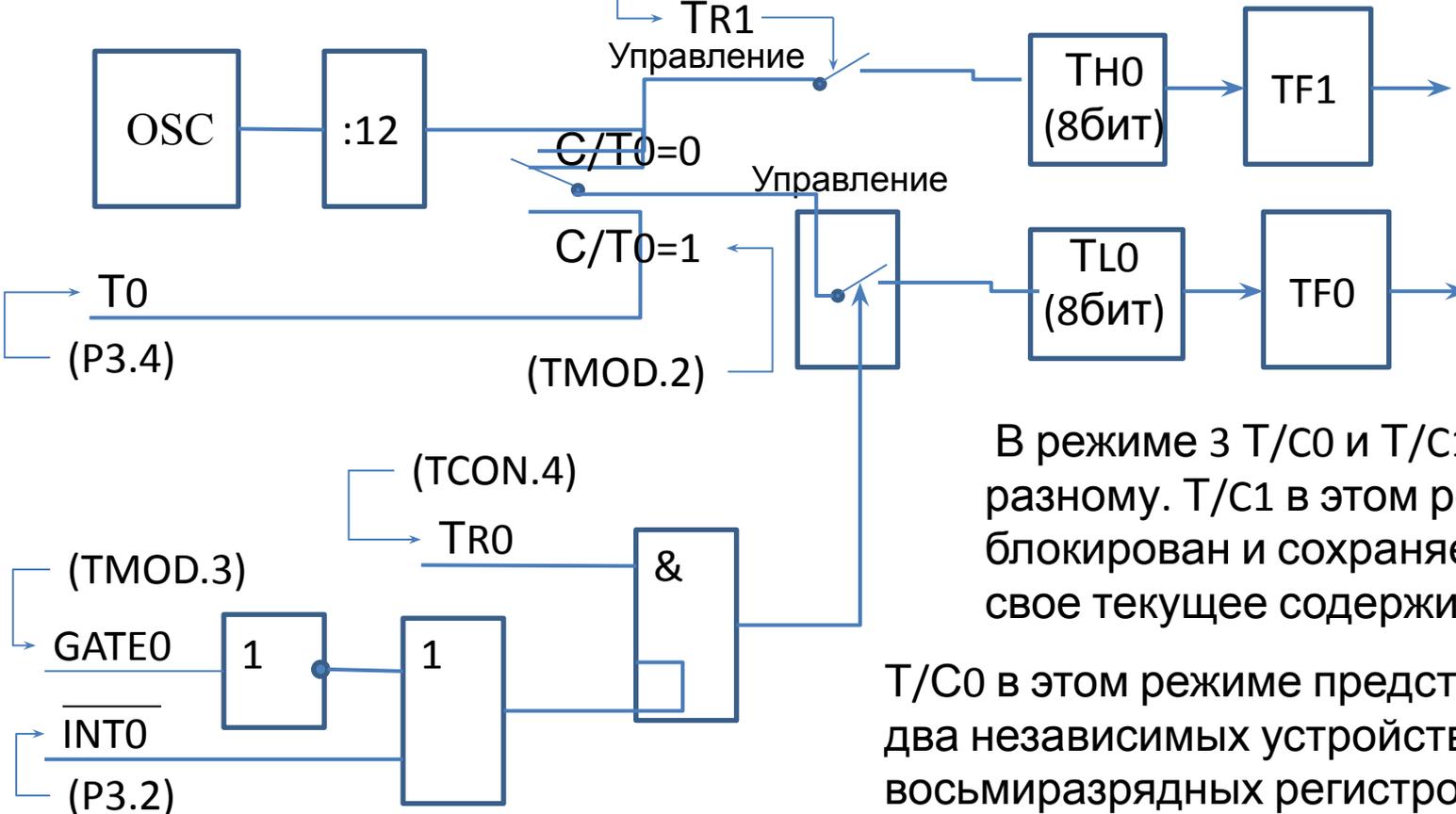


В режиме 2 Т/С1 работает в качестве восьмиразрядного счетчика, построенного на основе регистра TL1.

При каждом переполнении TL1 происходит автоматически перезагрузка содержимого регистра TH1 в регистр TL1

При этом содержимое регистра TH1 не изменяется. Это обстоятельство позволяет использовать Т/С для задания скорости передачи данных через последовательный порт.

Логика работы Т/С0 в режиме 3 (ТCON.6)



В режиме 3 Т/С0 и Т/С1 работают по разному. Т/С1 в этом режиме блокирован и сохраняет неизменным свое текущее содержимое

Т/С0 в этом режиме представляет собой два независимых устройства на основе восьмиразрядных регистров TL0 и TH0

Устройство на основе регистра TL0 может работать как в режиме таймера, так и в режиме счетчика

Устройство на основе регистра TH0 может работать только в режиме таймера.

Регистр управления последовательным портом SCON



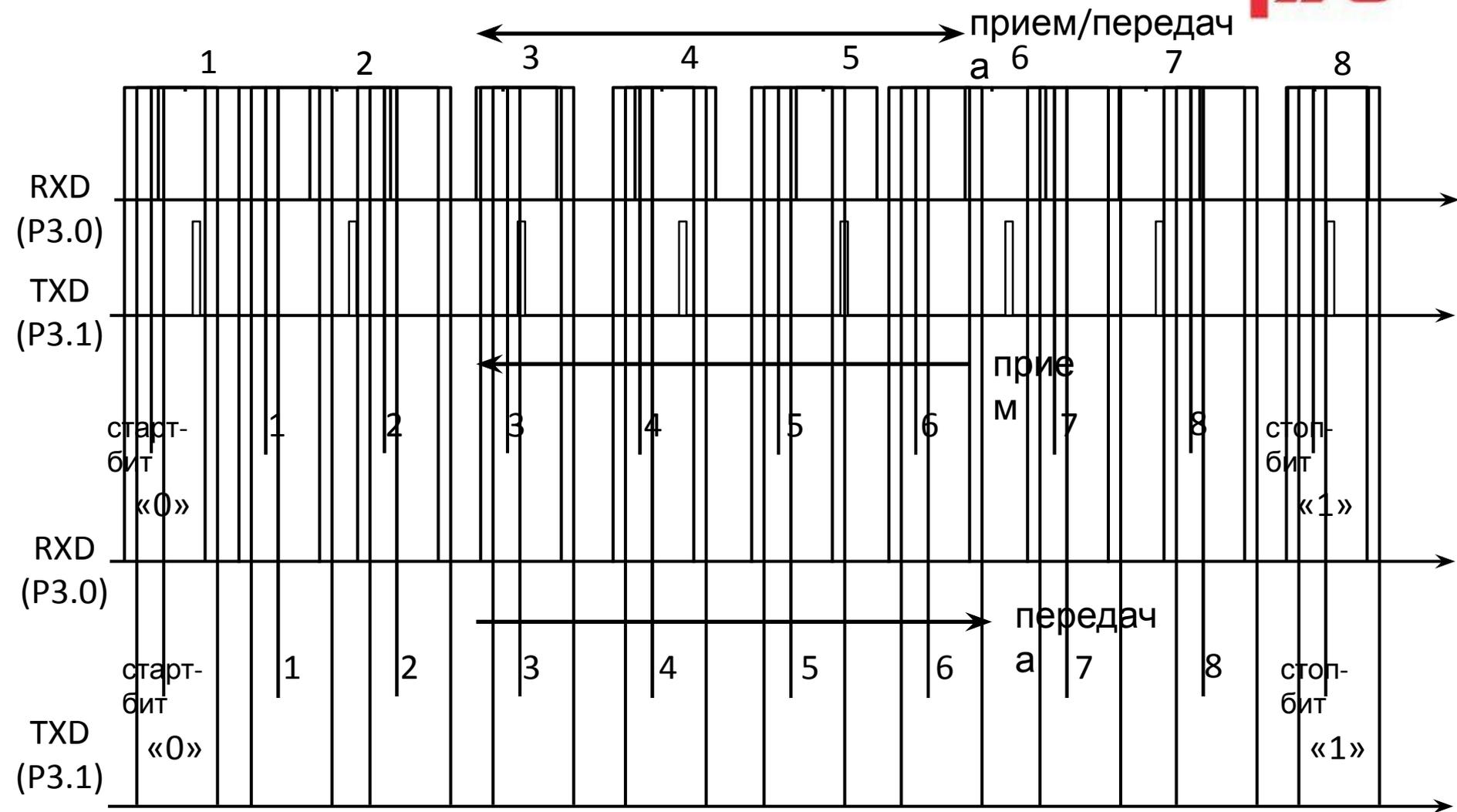
Символ	Позиция	Имя и назначение		
RI	SCON.0	Флаг прерывания приемника.		
TI	SCON.1	Флаг прерывания передатчика		
RB8	SCON.2	Девятый бит принятых данных в режиме 2 и 3.		
TB8	SCON.3	Девятый бит передаваемых данных в режиме 2 и 3.		
REN	SCON.4	Разрешение приема последовательных данных. Устанавливается и сбрасывается программно для разрешения и запрета приема последовательных данных.		
SM2	SCON.5	Разрешение многопроцессорной работы. В режимах 2 и 3 при SM2=1 флаг RI не активизируется, если девятый принятый бит данных равен «0». В режиме 1 при SM2=1 флаг RI не активен, если не принят стоп-бит, равный «1». В режиме 0 бит SM2 должен быть установлен в «0».		
SM0, SM1	SCON.6, 7	SM1	SM0	Режим работы
		0	0	Сдвиговый регистр, скорость передачи f/12
		0	1	8 битовый приемо-передатчик. Изменяемая скорость передачи
		1	0	9 битовый приемо-передатчик, скорость передачи f/32 или f/64
		1	1	9 битовый приемо-передатчик. Изменяемая скорость передачи

Блок последовательного интерфейса предназначен для организации ввода/вывода информации по последовательному каналу

Последовательный интерфейс (последовательный порт) микроконтроллера может работать в одном из четырех режимов:

Режим 0. Информация передается и принимается через вход приемника RxD (вывод P3.0). Через выход передатчика TxD (вывод P3.1) выдаются импульсы синхронизации, стробирующие каждый передаваемый или принимаемый бит информации. Формат посылки – 8 бит. Частота приема и передачи равна $f_{cpu}/12$.

Режим 1. Информация передается через выход передатчика TxD (P3.1), а принимается через вход приемника RxD (P3.0). Формат посылки – 10 бит: старт-бит (логический ноль), восемь бит данных и стоп-бит (логическая единица). Частота приема и передачи задается T/C 1.



Режим 2. Информация передается через выход передатчика TxD (P3.1), а принимается через вход приемника RxD (P3.0).

Формат посылки 11 бит: старт-бит (логический ноль), восемь бит данных, программируемый девятый бит и стоп-бит (логическая единица). Передаваемый девятый бит данных принимает значение бита ТВ8 из регистра специальных функций SCON. При приеме девятый бит принятой посылки записывается в бит RB8 регистра SCON. Частота приема и передачи в режиме 2 задается программно и может быть равна $f_{cpu}/32$ или $f_{cpu}/64$.

Режим 3. Полностью идентичен режиму 2, за исключением того, что частота приема и передачи задается с помощью T/C1

Скорость приема/передачи

Режим 0:

$$F_{p0} = \frac{f_{cpu}}{12}$$

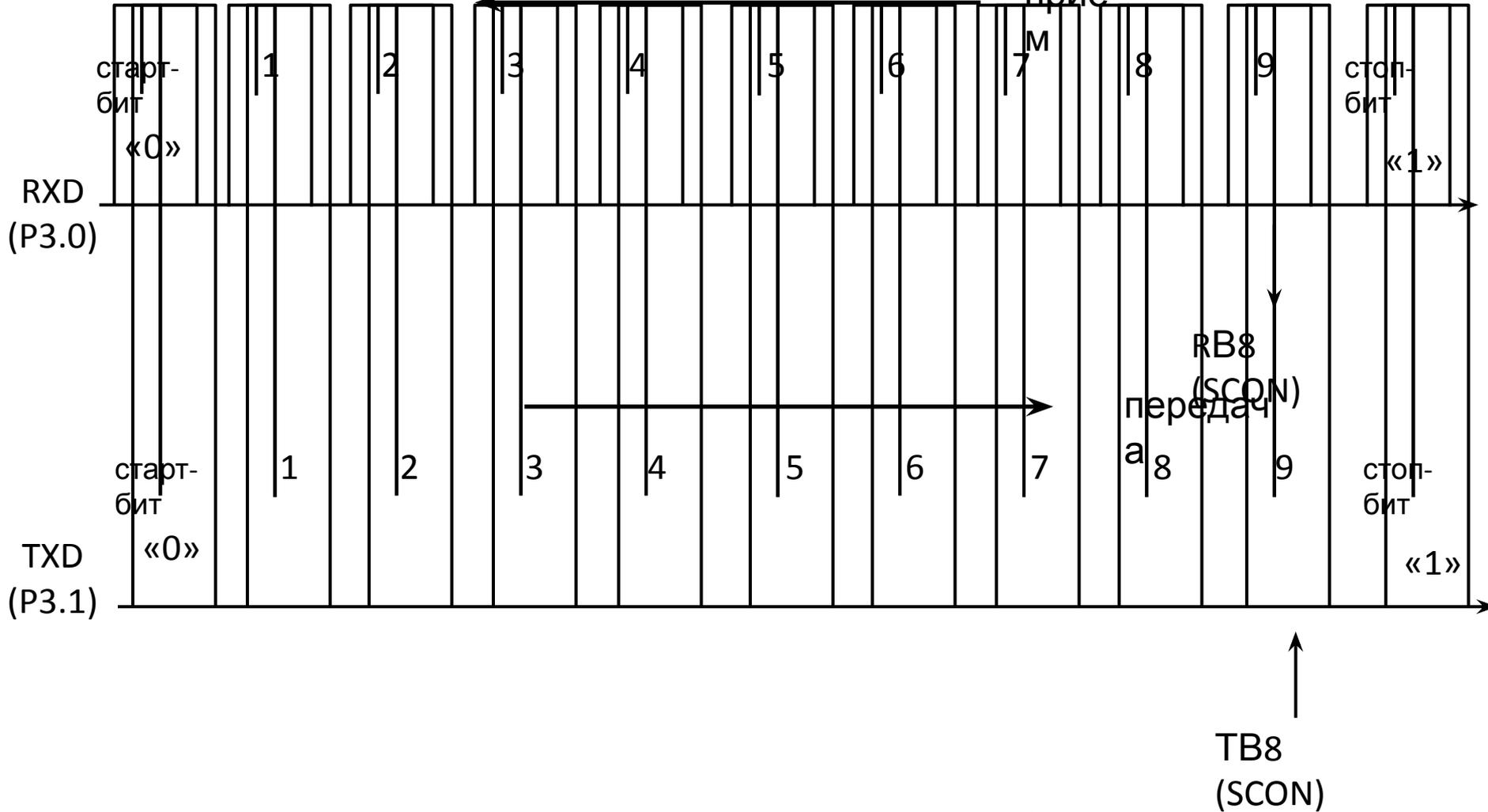
Режим 2:

$$F_{p2} = \frac{2^{SMOD} f_{cpu}}{64}$$

Режимы 1, 3:

$$F_{p1,3} = \frac{2^{SMOD} f_{cpu}}{32 * 12 * [256 - (TH)]}$$

прие



В таблице приведен ряд стандартных скоростей последовательного обмена и то, как они могут быть реализованы с помощью T/C1 в режимах 1 и 3.

Режимы работы последовательного порта	Частота генератора, МГц	Скорость, кБод	Бит SMOD	Регистр TH1
0	12	1000	X	X
2	12	375	1	X
1, 3	12	62.5	1	FFH
1, 3	11,059	19.2	1	FDH
1, 3	11,059	4.8	0	FAH
1, 3	11,059	1.2	0	E8H
1, 3	6	0.110	0	72H

$$\text{FFH} = 255\text{D} \quad F_{p1,3} = \frac{2 * 12000000}{32 * 12 * (256 - 255)} = 62500$$

$$\text{FDH} = 253\text{D} \quad F_{p1,3} = \frac{2 * 11059000}{32 * 12 * (256 - 253)} = 19200$$

$$\text{E8H} = 232\text{D} \quad F_{p1,3} = \frac{1 * 11059000}{32 * 12 * (256 - 232)} = 1200$$

$$\text{72H} = 114\text{D} \quad F_{p1,3} = \frac{1 * 6000000}{32 * 12 * (256 - 114)} = 110$$

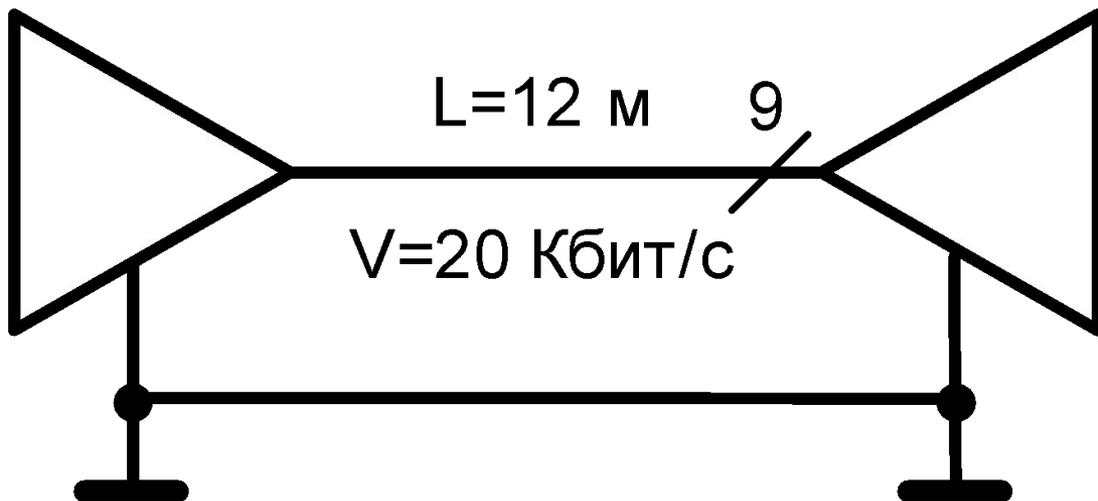
Интерфейсы последовательного ввода вывода информации

Электрические интерфейсы RS-232, RS-422, RS-423 (V.10), RS-485, токовая петля

Последовательные интерфейсы различаются способом передачи электрических сигналов.

Существует ряд международных стандартов: RS-232C, RS-422A, RS-423A, RS-485

RS-232C / V.28



В [RS-232](#) есть передатчик и приемник сигналов, которые имеются в каждом устройстве

Выход передатчика одного устройства (TX) соединяется со входом приемника другого устройства (RX)

При этом обеспечивается полудуплексный режим связи, то есть, приемник и передатчик могут работать одновременно

Недостаток этого интерфейса – низкая помехозащищенность.

Это происходит из-за того, что применяются несимметричные передатчики и приемники, то есть сигнал в соединительный кабель и на прием, и на передачу формируется относительно общего провода – земли. Любая наводка, существующая даже в экранированном кабеле, может привести к сбою связи, потере отдельных битов информации

Интерфейсы RS-422 и RS-485 используют симметричную передачу сигнала

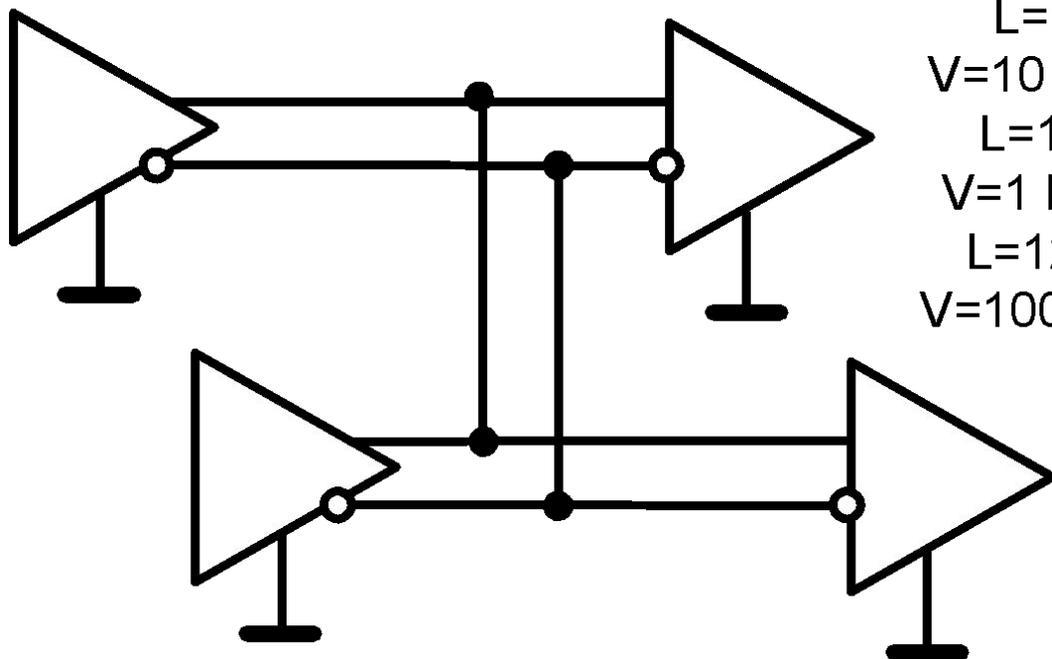
Главное отличие RS-485 от RS-232 – все приемники и передатчики работают на одну пару проводов, являющуюся линией связи.

Провод земли при этом не используется, а сигнал в линии формируется дифференциальным методом. Он передается одновременно по двум проводам («А» и «В»)

Информативной является разность потенциалов между проводниками А и В. дифференциальное выходное напряжение должно лежать в диапазоне 1,5-5 В.

Принципиальное отличие передатчиков RS-485 – возможность переключения в третье состояние.

RS-485



$L=12\text{ м}$
 $V=10\text{ Мбит/с}$
 $L=120\text{ м}$
 $V=1\text{ Мбит/с}$
 $L=1200\text{ м}$
 $V=100\text{ Кбит/с}$

Дифференциальная схема включения RS-485 (точка – точка)

Все устройства, объединяемые интерфейсом RS-485, имеют всего два клеммы: «А» и «В».

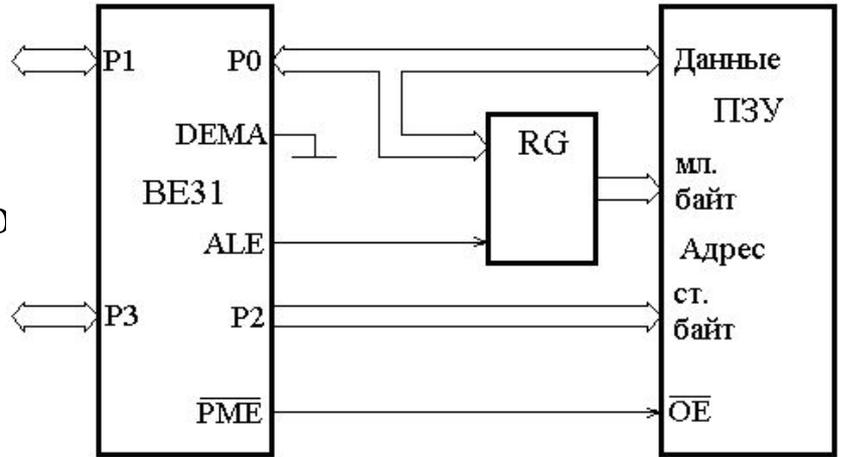
Для подключения к общей сети эти клеммы соединяются в параллельную цепь

Во многих случаях функционально-логических возможностей однокристалльного МК бывает недостаточно. Поэтому можно расширить микропроцессорную систему относительно простыми средствами

МПС, построенные на МК51, допускают расширение памяти данных и программ до 64 Кбайт

При обращении к ВПП микроконтроллер МК51 формирует 16 - разрядный адрес, младший байт которого выдается через порт P0, а старший - через порт P2.

Причем порт P0 используется в режиме временного мультиплексирования: в начале каждого машинного цикла обращения к ВПП через порт P0 выдается младший байт адреса, который должен быть записан во внешний регистр RG по отрицательному фронту сигнала ALE



Низкий уровень сигнала PME, разрешает выборку байта данных из ПЗУ, который затем поступает на линии порта P0 и вводится в микроконтроллер

Пусть требуется объем внешней памяти программ в размере 32 кбайта.

Подбирается подходящая по данному объему памяти микросхема, например, 573РФ8 (аналогичная зарубежным микросхемам класса 27256).

Назначение выводов микросхемы 573РФ8:

Номер вывода	Условное обозначение	Назначение
1	Upr	Напряжение программирования
2-10, 21,23-27	A0 - A14	Вход адресный
11-13, 15-19	D0 - D7	Выходы
14	GND	Общий
20	CE	Вход сигнала разрешения обращения
22	OE	Вход сигнала разрешения выхода
28	Ucc	Источник питания

В качестве регистра RG рекомендуется использовать восьмиразрядный параллельный регистр - защелку типа ИР22, например, КР1533ИР22, которая представляет собой восьмиразрядный регистр хранения информации, тактируемый импульсом, с возможностью перевода выходов в высокоимпедансное состояние.

Высокоимпедансное состояние, высокоомное состояние, Z-состояние или состояние «Выключено» — состояние вывода цифровой микросхемы, при котором **сопротивление** между её внутренней схемой, подключённой к данному выводу, и внешней схемой очень велико.

Высокоимпедансное логическое состояние — состояние выхода логического устройства, при котором он обладает высоким сопротивлением (импедансом), то есть фактически отключен от подсоединённого к нему проводника.

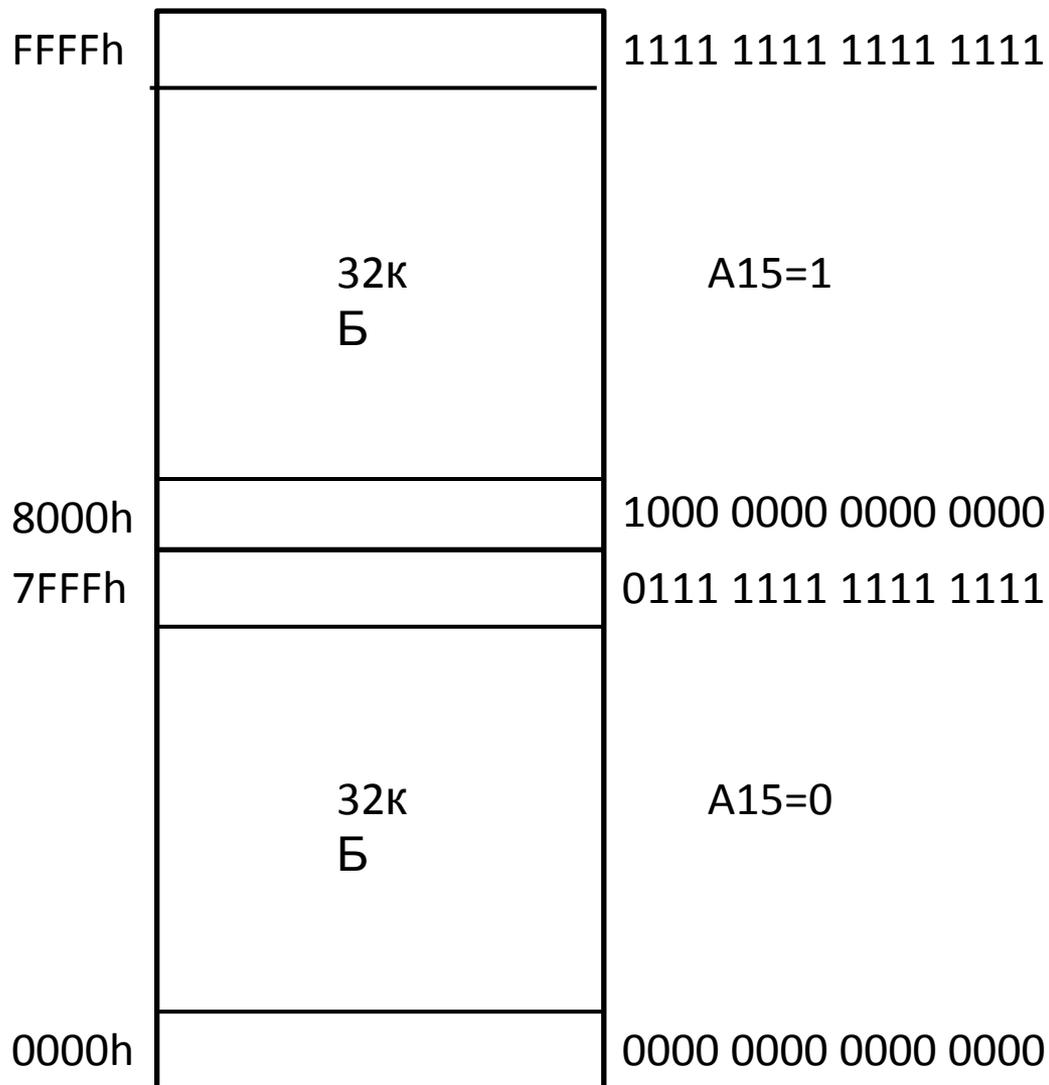
Введение в схему высокоимпедансного состояния позволяет подключать к одному проводнику несколько логических выходов, при условии что они не создают конфликтов состояния (одновременное наличие сигналов 0 и 1).

Назначение выводов микросхемы КР1533ИР22 приведено в таблице

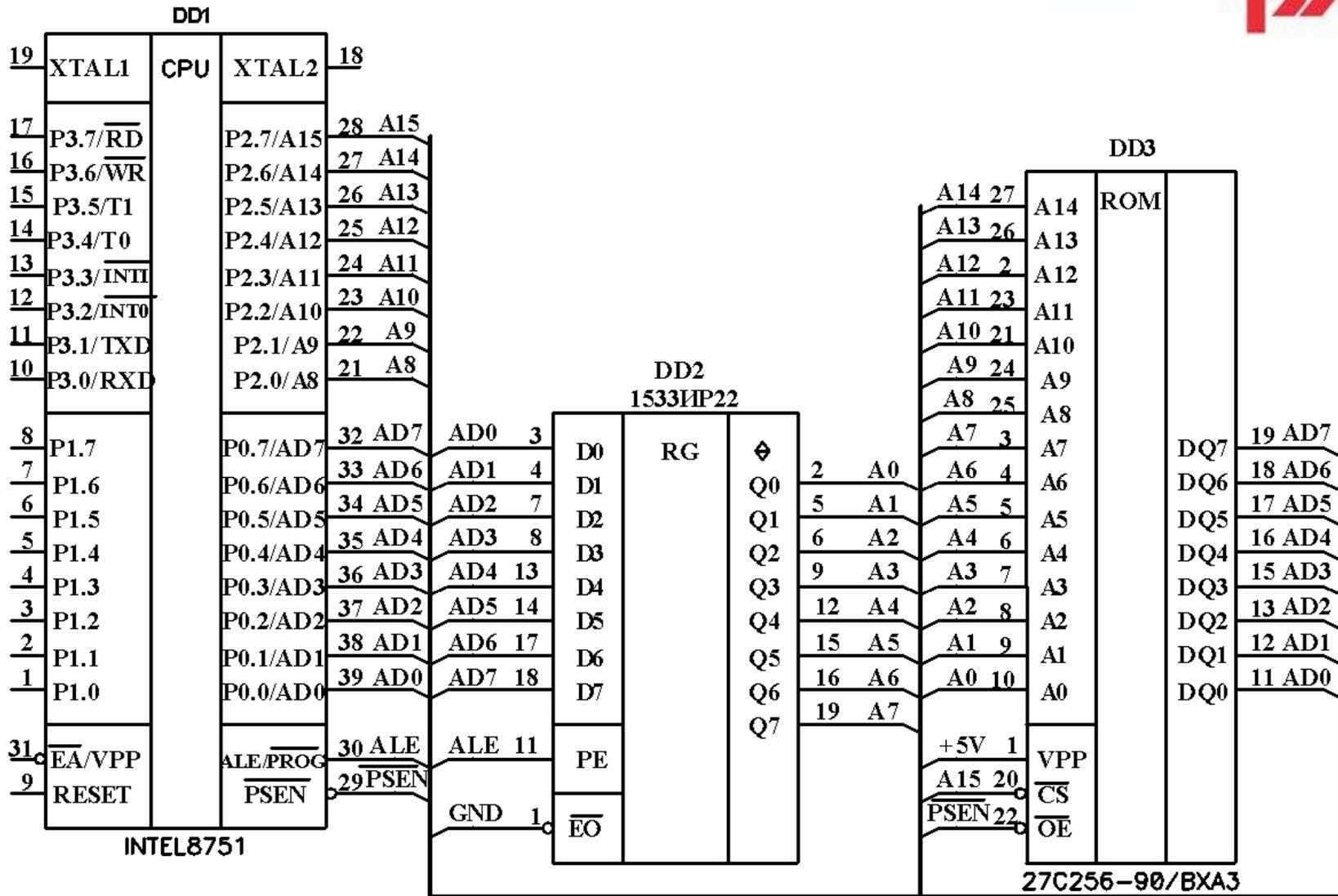
Номер вывода	Условное обозначение	Назначение
3, 4, 7, 8, 13, 14, 17, 18	D0 - D7	Входы
2, 5, 6, 9, 12, 15, 16, 19	Q0 - Q7	Выходы
11	PE	Вход тактовый
1	EO	Вход разрешения снятия состояния высокого импеданса на выходах
10	GND	Общий
20	Ucc	Источник питания

Таблица истинности микросхемы КР1533ИР22

Входы			Выходы
EO	PE	D	Q
0	1	1	1
0	1	0	0
0	0	X	Q0 (Предыдущее состояние выхода)
1	X	X	Z



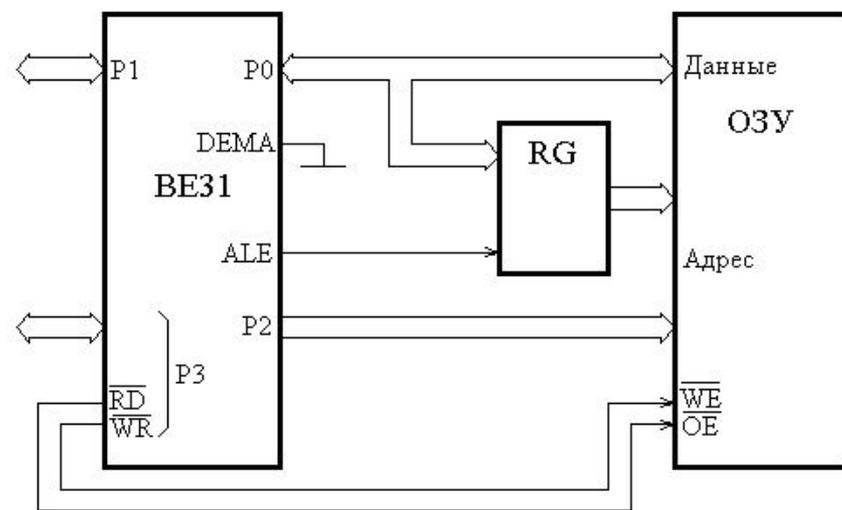
Подключение ПЗУ 27С256 к МС5-51



В некоторых МПС, рассчитанных на обработку больших массивов данных, РПД может оказаться недостаточно. В этом случае возникает необходимость использования внешнего оперативного запоминающего устройства (ОЗУ), которое может быть подключено к микроконтроллеру МК51

При этом максимальный объем ОЗУ, подключаемого к микроконтроллеру МК51, может достигать 64 Кбайт.

Так же как и при работе с ВПП, байт адреса, выдаваемый через порт P0, должен быть зафиксирован во внешнем регистре по отрицательному фронту сигнала ALE, т.к. в дальнейшем линии порта P0 используются для чтения или записи информации в/из МК-51. При этом чтение информации стробируется сигналом RD, а запись - сигналом WR.



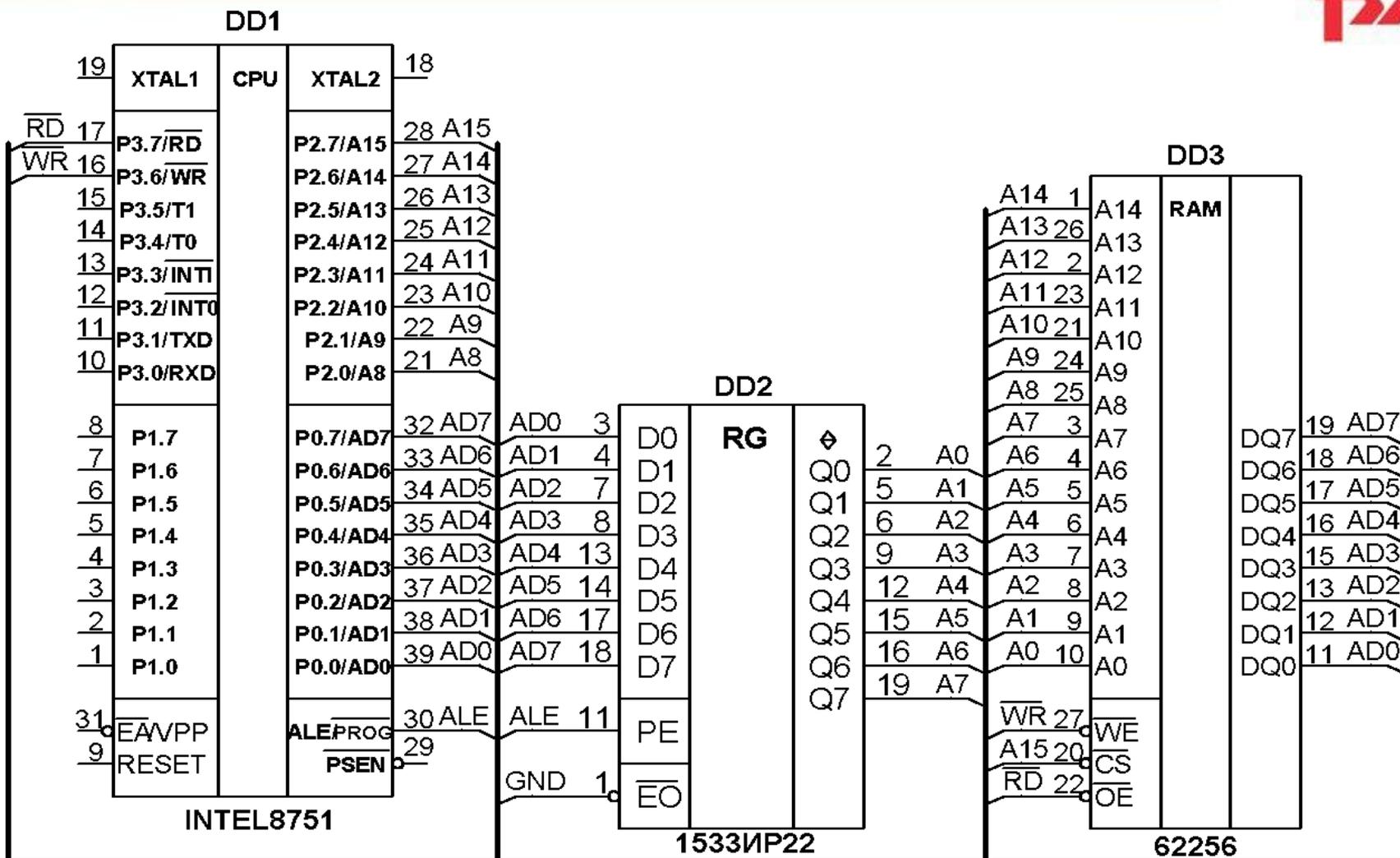
Пусть для функционирования системы требуется объем внешней памяти данных в размере 32 кбайта

Подбирается подходящая по данному объему памяти микросхема, например, IS62C256AL

Назначение выводов микросхемы IS62C256AL:

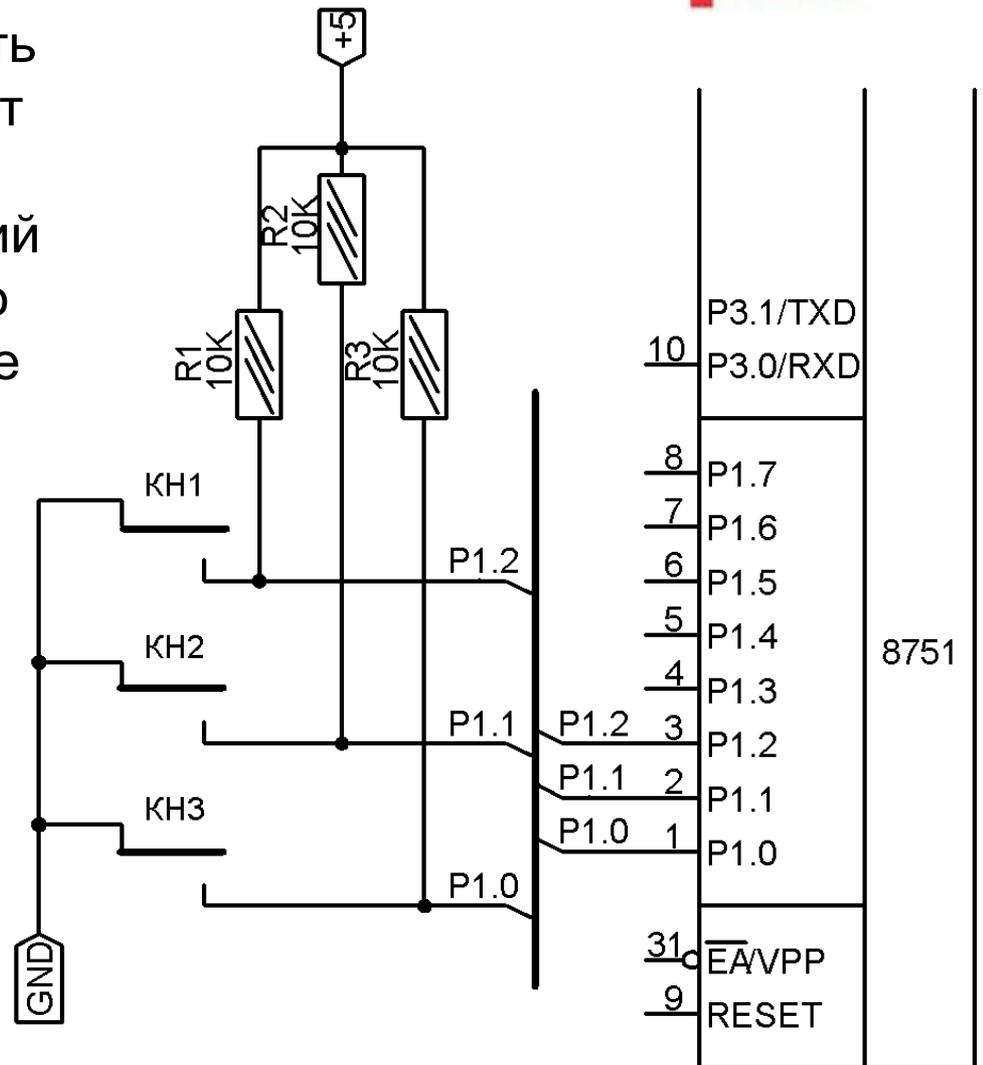
Номер вывода	Условное обозначение	Назначение
10, 9, 8, 7, 6, 5, 4, 3, 25, 24, 21, 23, 2, 26, 1	A0 - A14	Входы адресные A0 - A14 соответственно
11 - 13, 15 - 19	DQ0 - DQ7	Вход-выход данных
14	GND	ОБЩИЙ
20	CS	Вход сигнала «Выбор микросхемы»
22	OE	Вход сигнала разрешения выдачи данных
27	WE	Вход сигнала записи данных
28	Ucc	Источник питания

Подключение ОЗУ KM62256D к MCS-51



Если входных кнопок не много и есть свободные порты ввода, то имеет смысл непосредственно коммутировать напряжение на общий провод. Программно нужно предусмотреть противодребезговые действия.

Схемная реализация небольшой клавиатуры



При работе МК с датчиками, имеющими механические или электромеханические контакты (кнопки, клавиши, реле, клавиатуры), возникает явление, называемое дребезгом. Это явление заключается в том, что при замыкании контактов возможно появление отскока контактов, которое приводит к переходному процессу.

При этом сигнал с контакта может быть воспринят МК как случайная последовательность нулей и единиц.

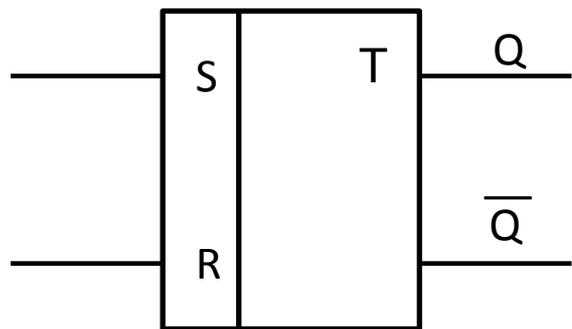
Подавить это нежелательное явление можно двумя способами:

1. Схемотехническим путем с использованием буферного триггера
2. Программными средствами:

- 2.1. Подсчет заданного числа совпадающих значений сигнала

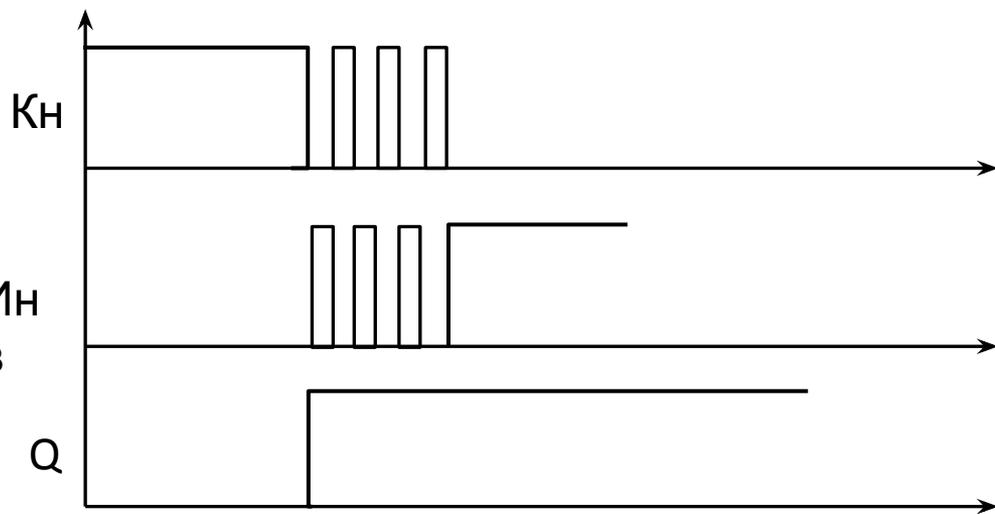
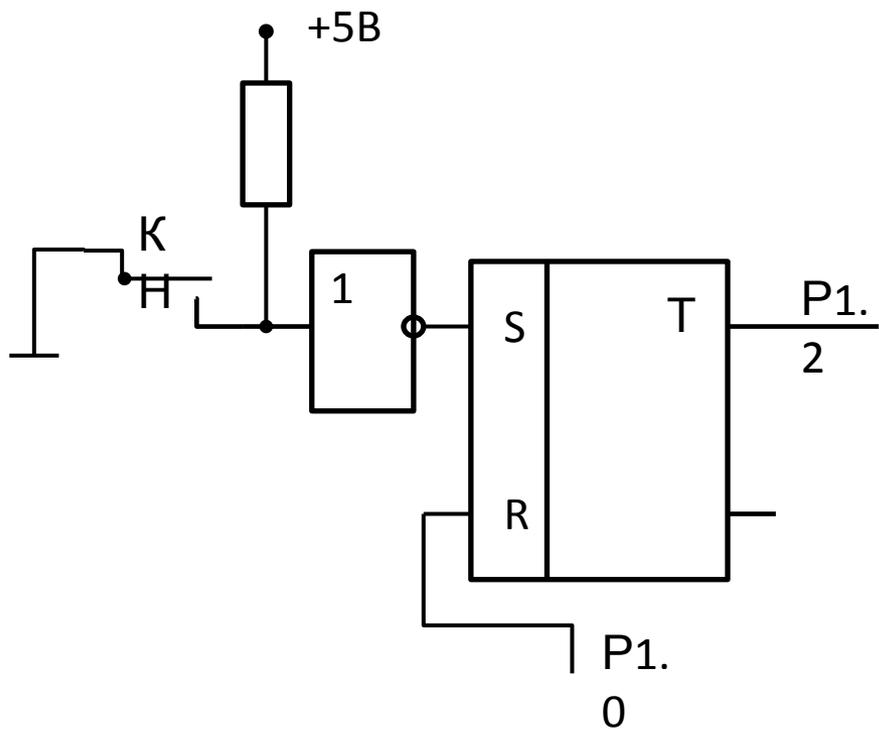
- 2.2. Временная задержка

Суть первого способа состоит в многократном считывании сигнала с контакта. Подсчет удачных опросов (т.е. опросов, обнаруживших, что контакт устойчиво замкнут) ведется программным счетчиком. Если после серии удачных опросов встречается неудачный, то подсчет начинается сначала. Контакт считается устойчиво замкнутым (дребезг устранен), если последовало N удачных опросов.



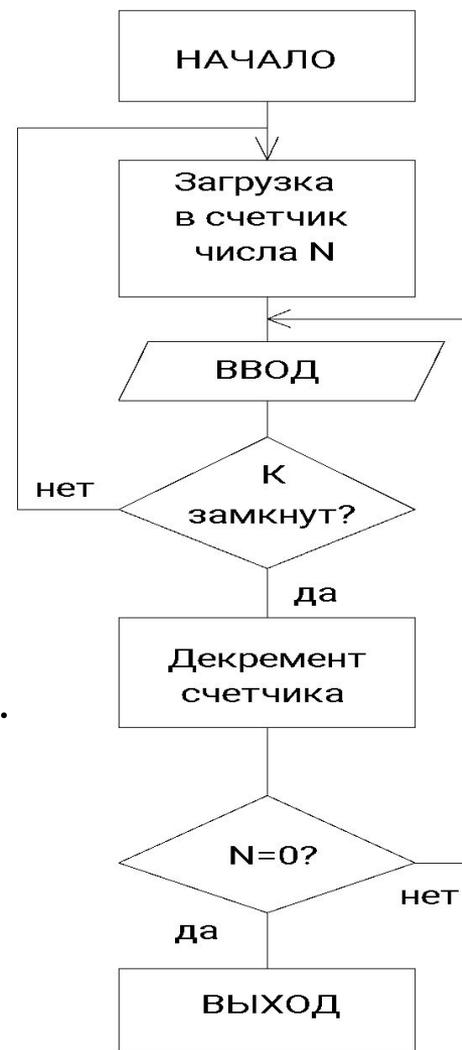
«1» → S Q = 1
 $\overline{Q} = 0$

«1» → R Q = 0
 $\overline{Q} = 1$



Число N подбирается экспериментально, для каждого типа используемых контактов и лежит в пределах от 5 до 50.

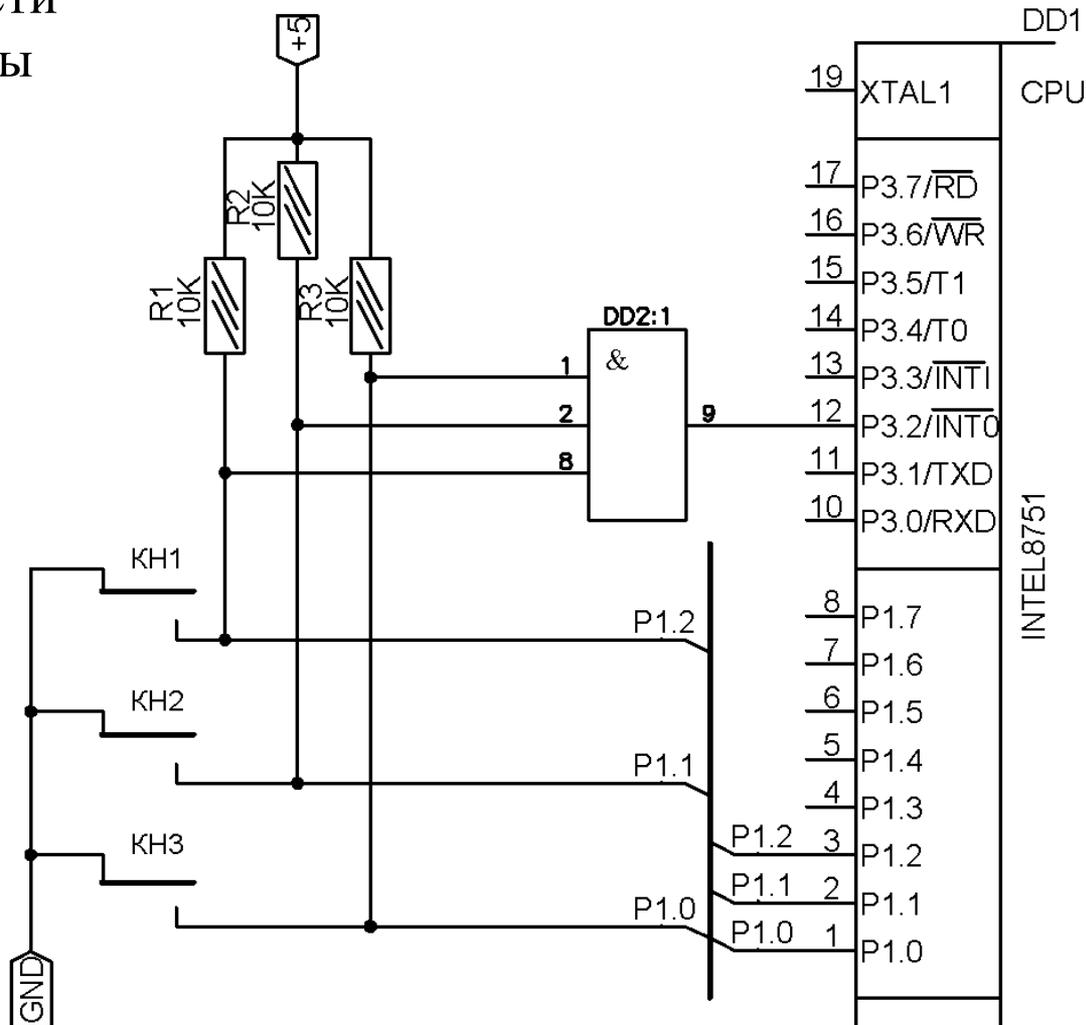
Устранение дребезга контактов путем введения временной задержки заключается в следующем. Программа, обнаружив замыкание контакта K , запрещает опрос состояния этого контакта на время, заведомо большее длительности переходного процесса. Временная задержка (в пределах 1-10 мс) подбирается экспериментально для каждого типа контактов.



Для увеличения производительности МП обработка функции клавиатуры производится по прерыванию.

Схемная реализация небольшой клавиатуры с использованием входа прерывания INT0

X1	X2	X3	Y
1	1	1	1
0	1	1	0
1	0	1	0
1	1	0	0



Число линий ввода/вывода микроконтроллера МК-51 во многих реальных применениях оказывается недостаточным.

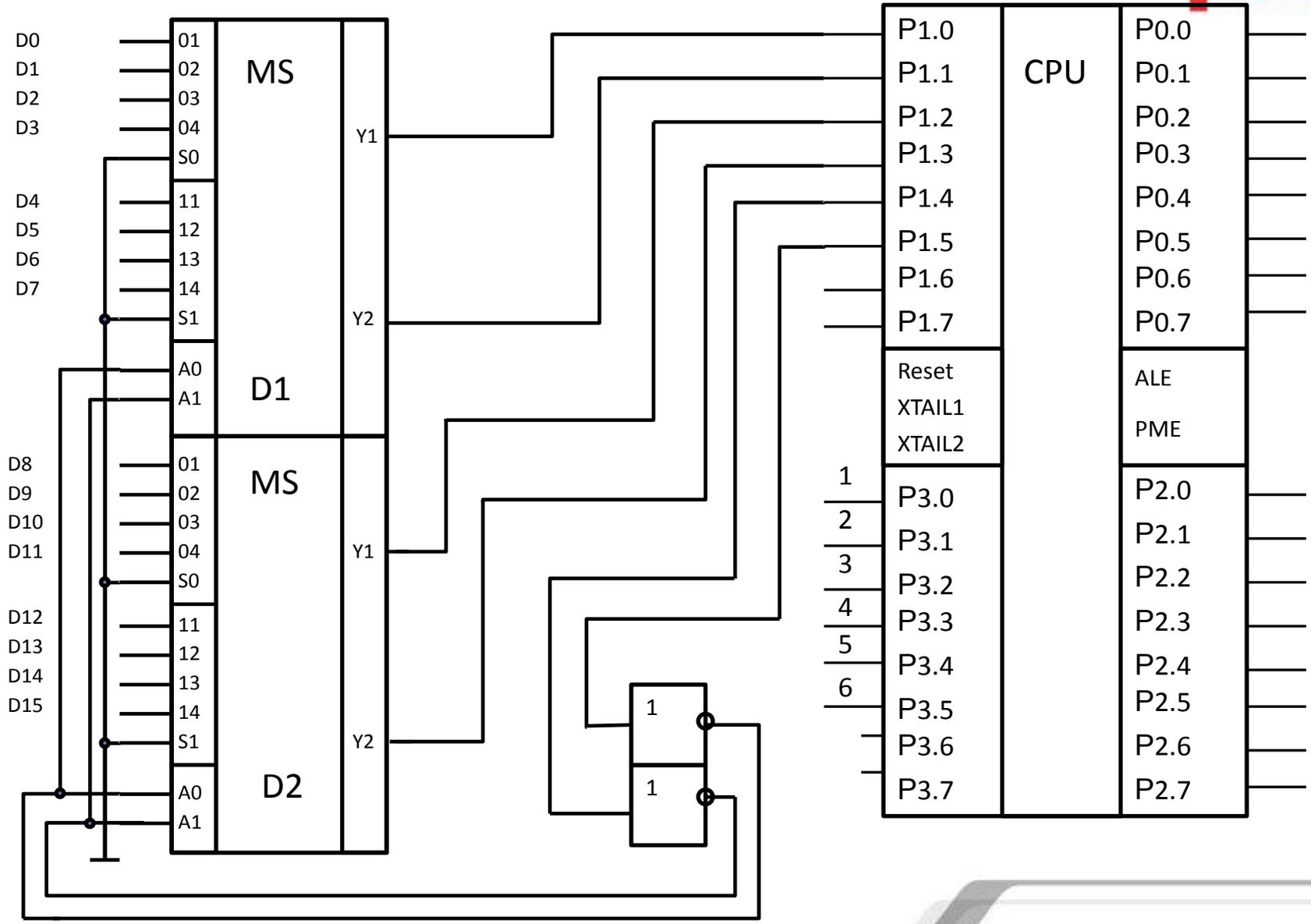
Для расширения каналов ввода/вывода обычно используют такие стандартные схемотехнические приемы как сканирование матрицы датчиков, опрос группы канальных приемо-передатчиков с тремя состояниями на выходе, мультиплексирование входных данных, стробируемый параллельный вывод информации, использование быстродействующего последовательного канала связи и т.д

В качестве примера расширения числа линий ввода информации рассмотрим фрагмент схемы, приведенной на рисунке

Микросхемы D1 и D2 представляют собой сдвоенные мультиплексоры типа 4 в 1 и могут передавать информацию от 16 двоичных датчиков на четыре линии порта P1 (P1.0...P1.3) микроконтроллера МК51.

Выводы P1.4 и P1.5 используются для выбора группы, состоящей из 4-х датчиков, опрашиваемых в данный момент времени.

Так как нагрузочная способность выходных буферов портов ввода/вывода невысока, то рекомендуется использовать буферные схемы



Назначение выводов микросхемы К1533КП12 приведено в таблице

Номер вывода	Условное обозначение	Назначение
1	S0	Вход разрешения снятия высокого импеданса с выхода Y1
14, 2	A0, A1	Входы выбора A0, A1 соответственно
3, 4, 5, 6	D0 - D3	Входы информационные D3, D2, D1, D0 соответственно
7	Y1	Выход 1
10, 11, 12, 13	D4 - D7	Входы информационные D4, D5, D6, D7 соответственно
15	S1	Вход разрешения снятия высокого импеданса с выхода Y2
9	Y1	Выход 2
8	GND	Общий
16	Ucc	Источник питания

Таблица истинности микросхемы К1533КП12

S0	A0,	A1	Y
1	X	X	Z
0	0	0	D0
0	1	0	D1
0	0	1	D2
0	1	1	D3

P1.4	P1.5	P1.0	P1.1	P1.2	P1.3
0	0	D3	D7	D11	D15
0	1	D2	D6	D10	D14
1	0	D1	D5	D9	D13
1	1	D0	D4	D8	D12

Можно увеличить число линий ввода до 32 за счет добавления в схему двух сдвоенных мультиплексоров (микросхемы D3 и D4) и управления входами S0 и S1 установления на выходах мультиплексоров состояния высокого импеданса

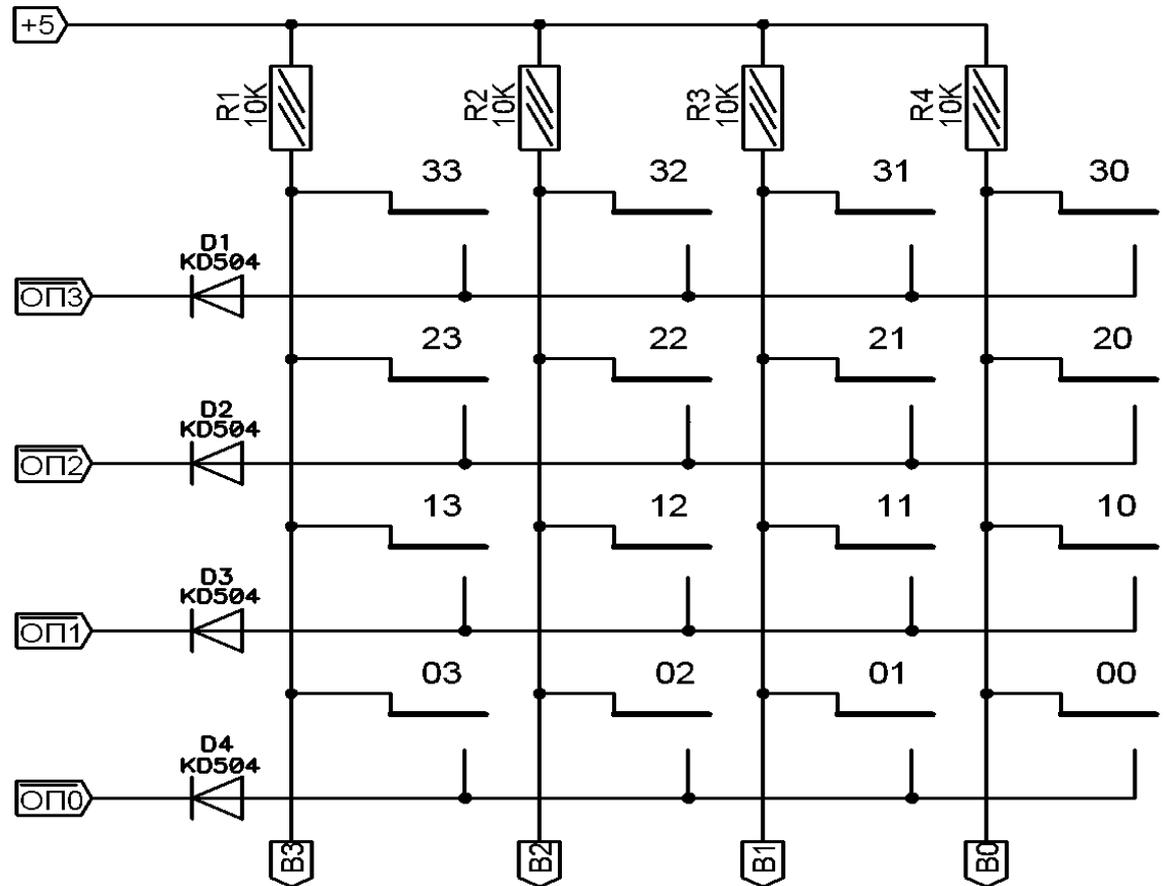
Для этого необходимо использовать два оставшихся разряда порта P1:

- P1.6 подключить к выводам S0,S1 микросхем D1, D2;
- P1.7 подключить к выводам S0,S1 микросхем D3, D4

P1.6	P1.7	P1.0 – P1.3
0	0	Запрещенное состояние
0	1	D0 – D15
1	0	D16 – D32
1	1	Z

Сканирование (опрос)
горизонталей матрицы

№ 3	№ 2	№ 1	№ 0
0	1	1	1
1	0	1	1
1	1	0	1
1	1	1	0



Возврат и обработка если нажата клавиша.

Схемная реализация клавиатуры в виде
матрицы

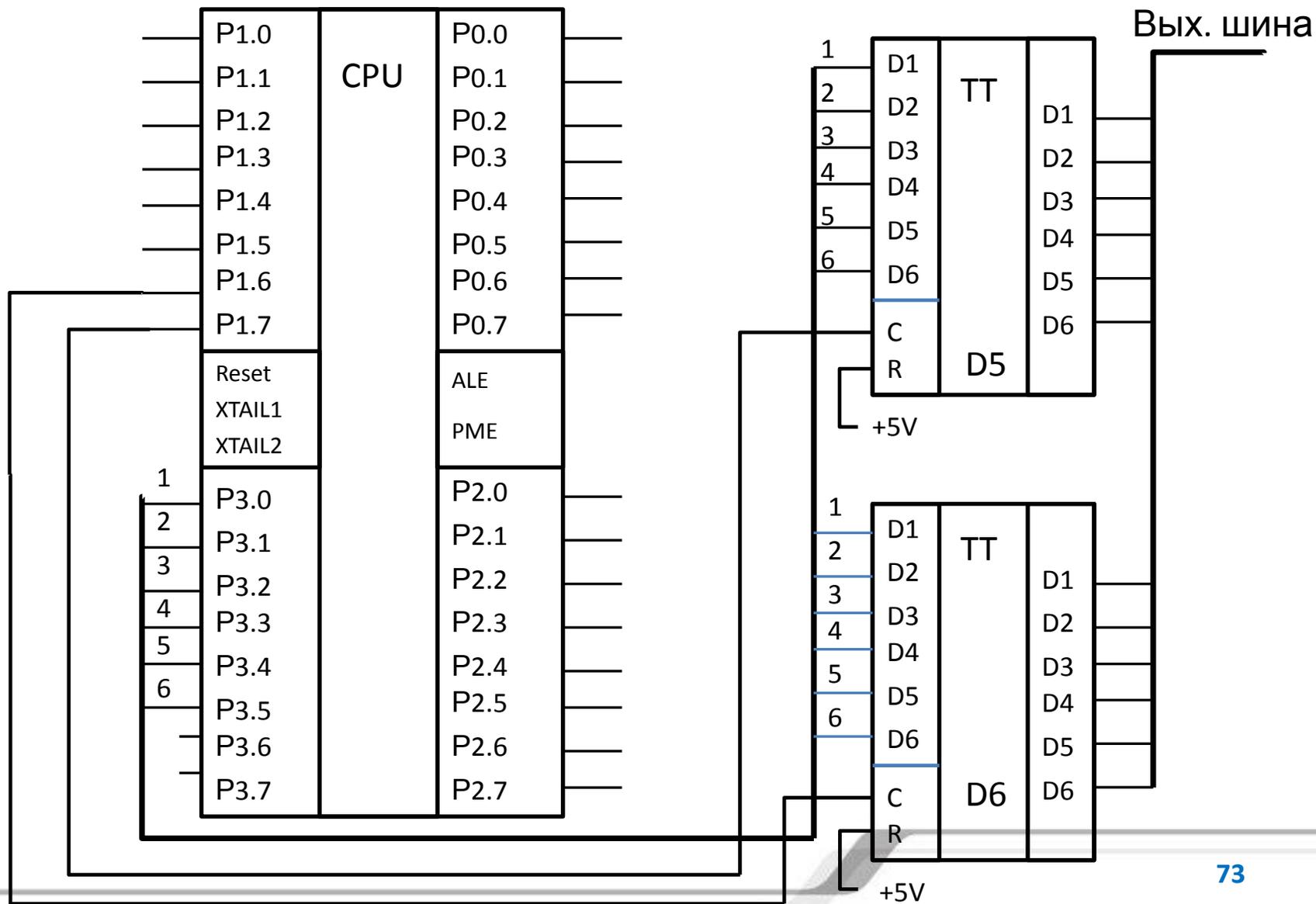
Диоды предназначены для защиты
 токового ключа порта от замыкания на
 другие линии опроса в случае
 одновременного нажатия двух и более
 клавиш

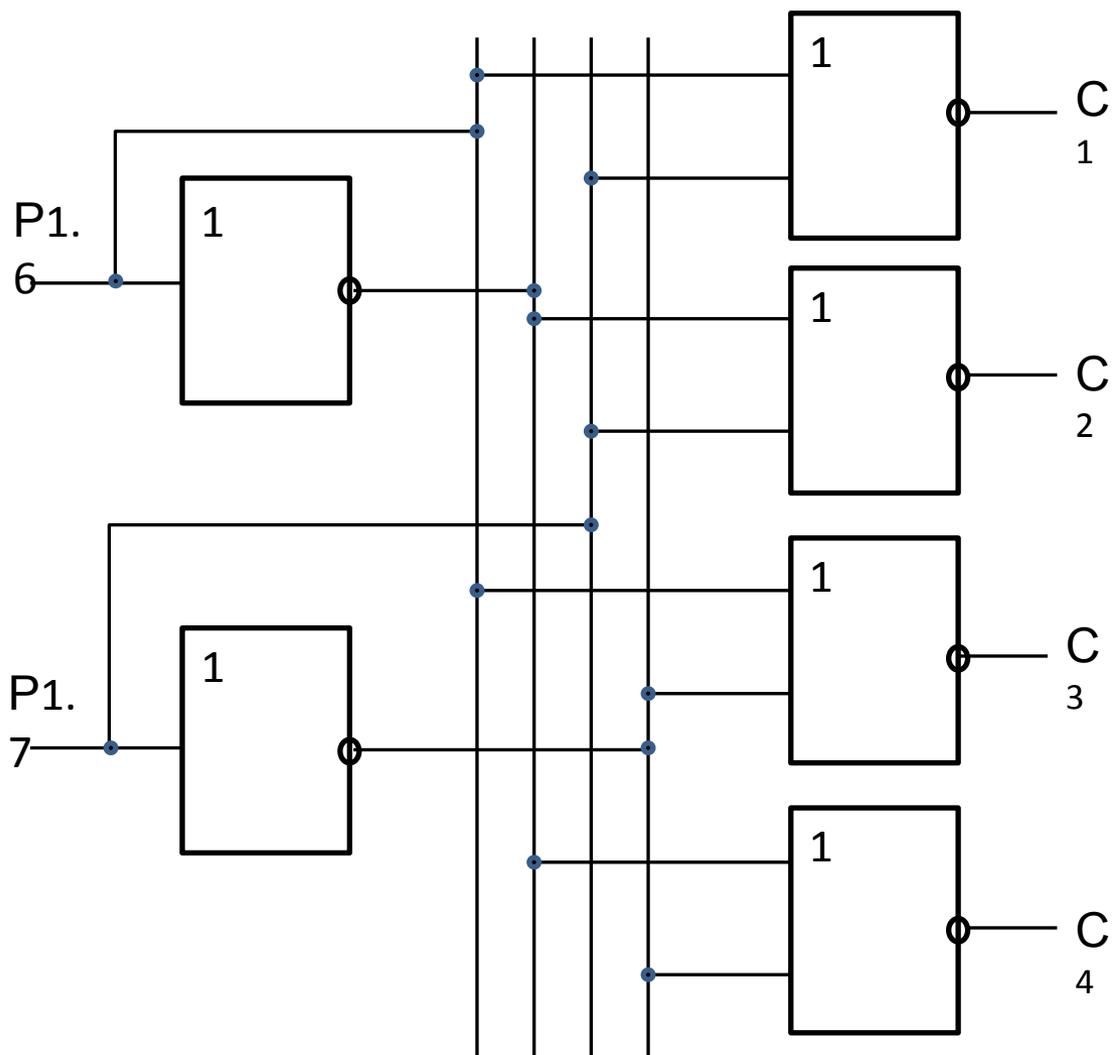
При появлении хотя бы одного нуля на шине возврата должна происходить
 остановка сканирования шины опроса и определение кода нажатой клавиши.
 Далее необходимо возобновить сканирование с целью определения момента
 размыкания контакта клавиши и ожидания нового ввода кода. Моменты
 коммутации должны сопровождаться противодребезговой задержкой.

Расширение каналов вывода информации обычно достигается за счет использования нескольких регистров, стробируемых различными синхросигналами, либо за счет использования последовательного канала связи.

Шести разрядные данные устанавливаются на выходах параллельных регистров D5, D6 последовательно во времени, по мере подачи на их тактовые входы стробирующих импульсов, вырабатываемых на выходах P1.6 и P1.7 микроконтроллера.

Разрядность выводимой информации в рассматриваемом примере легко может быть увеличена до 24 бит, если стробирующие импульсы формировать с помощью дешифратора 2 в 4. При этом адресные входы дешифратора следует подключить к выводам P1.6 и P1.7, а его выходы – к тактовым входам соответствующих параллельных регистров





«ИЛИ-НЕ»

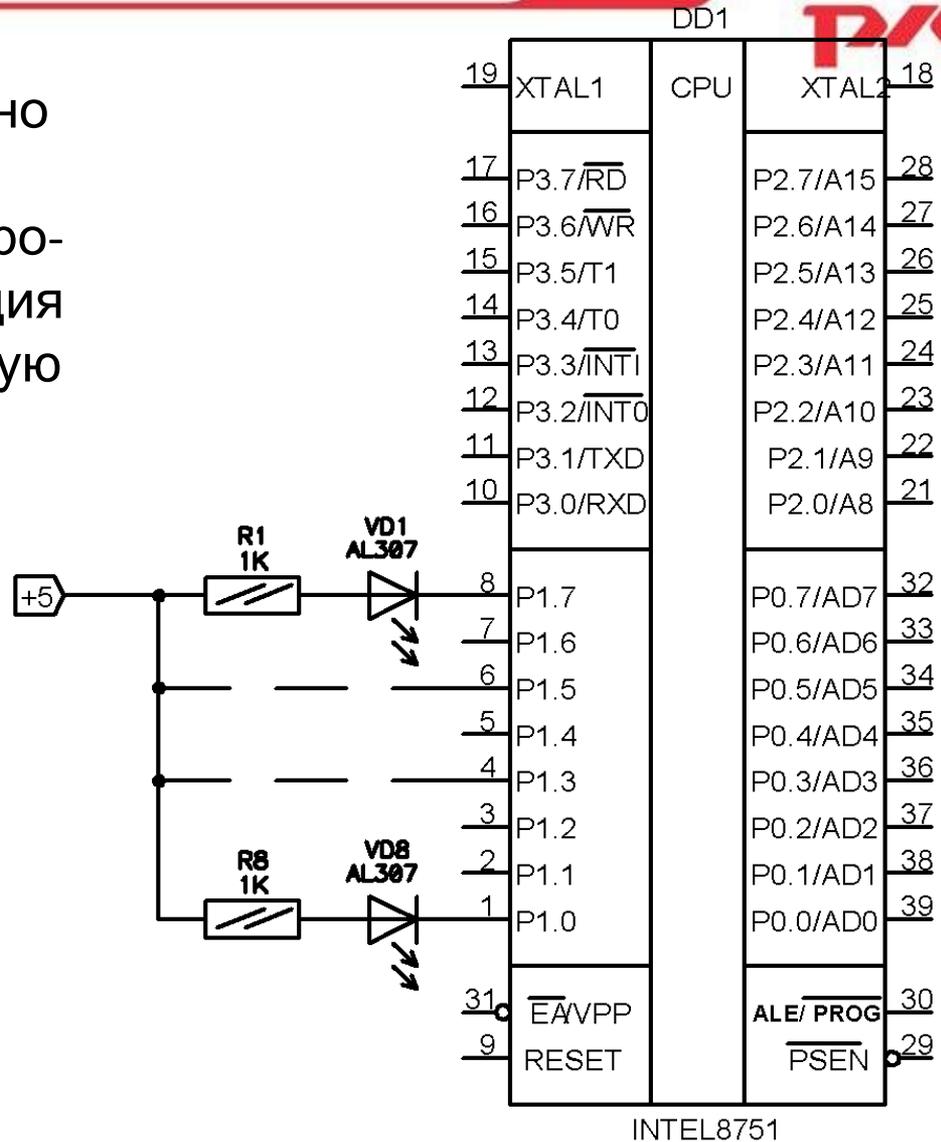
x1	x2	Y
0	0	1
1	0	0
0	1	0
1	1	0

Дешифрато

P1.6	P1.7	C1	C2	C3	C4
0	0	1	0	0	0
1	0	0	1	0	0
0	1	0	0	1	0
1	1	0	0	0	1

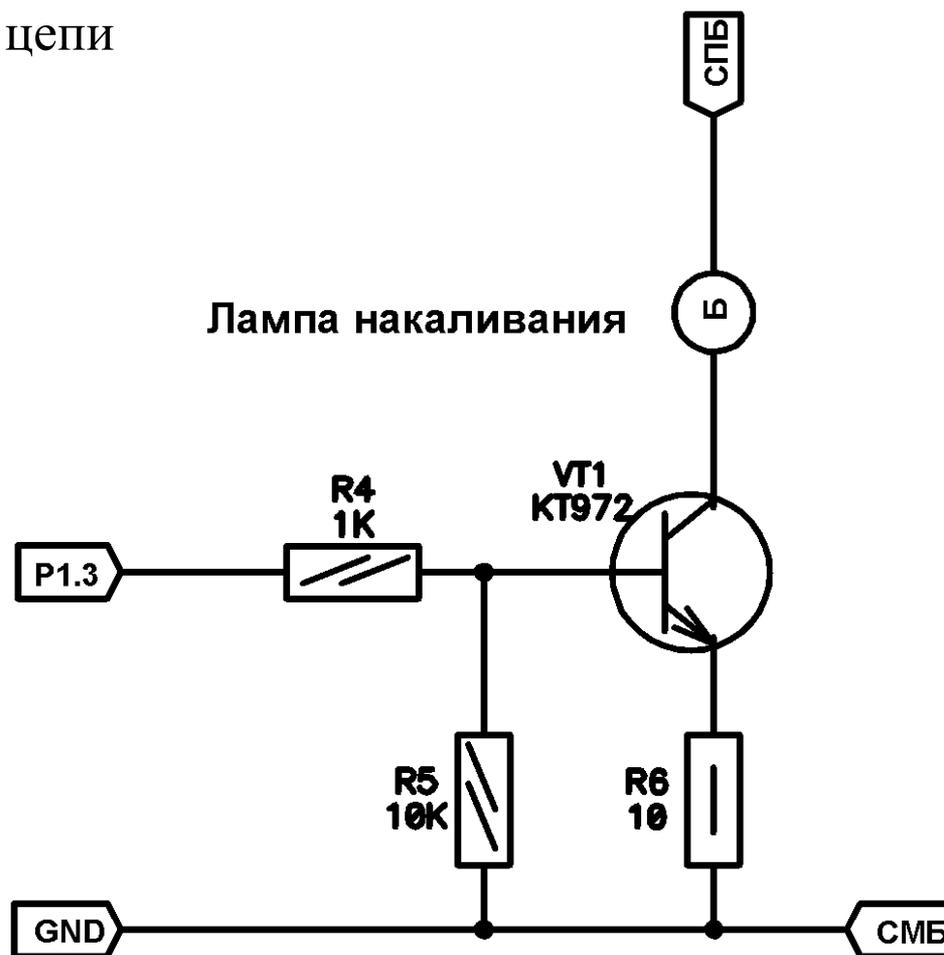
В качестве индикации можно подключить светодиоды непосредственно на порт микро-ЭВМ, при этом коммутация должна производиться на общую цепь питания микросхемы.

Типовое подключение светодиодов



Использование мощных транзисторов с коэффициентом передачи тока более 700 даёт возможность коммутации цепи током до нескольких ампер без предварительного усиления

Пример подключения более мощной нагрузки без гальванической развязки

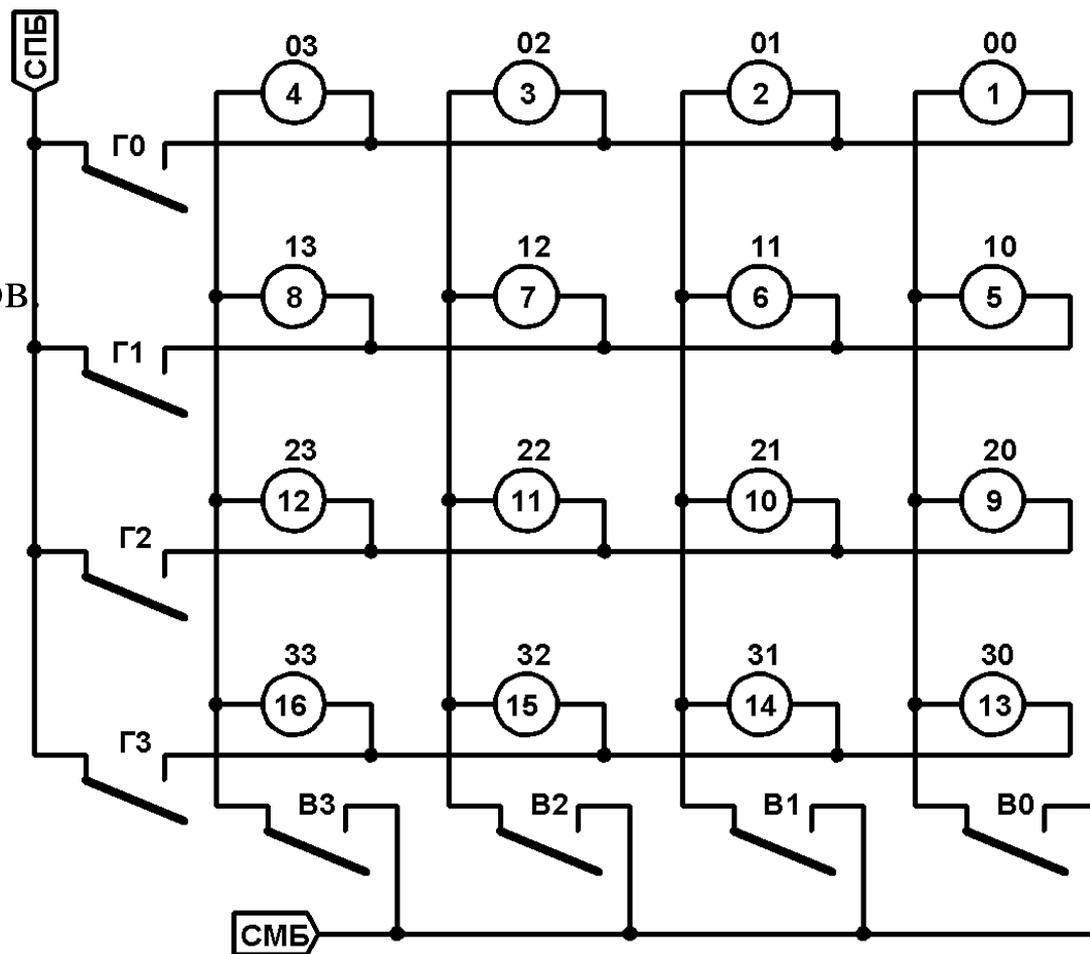


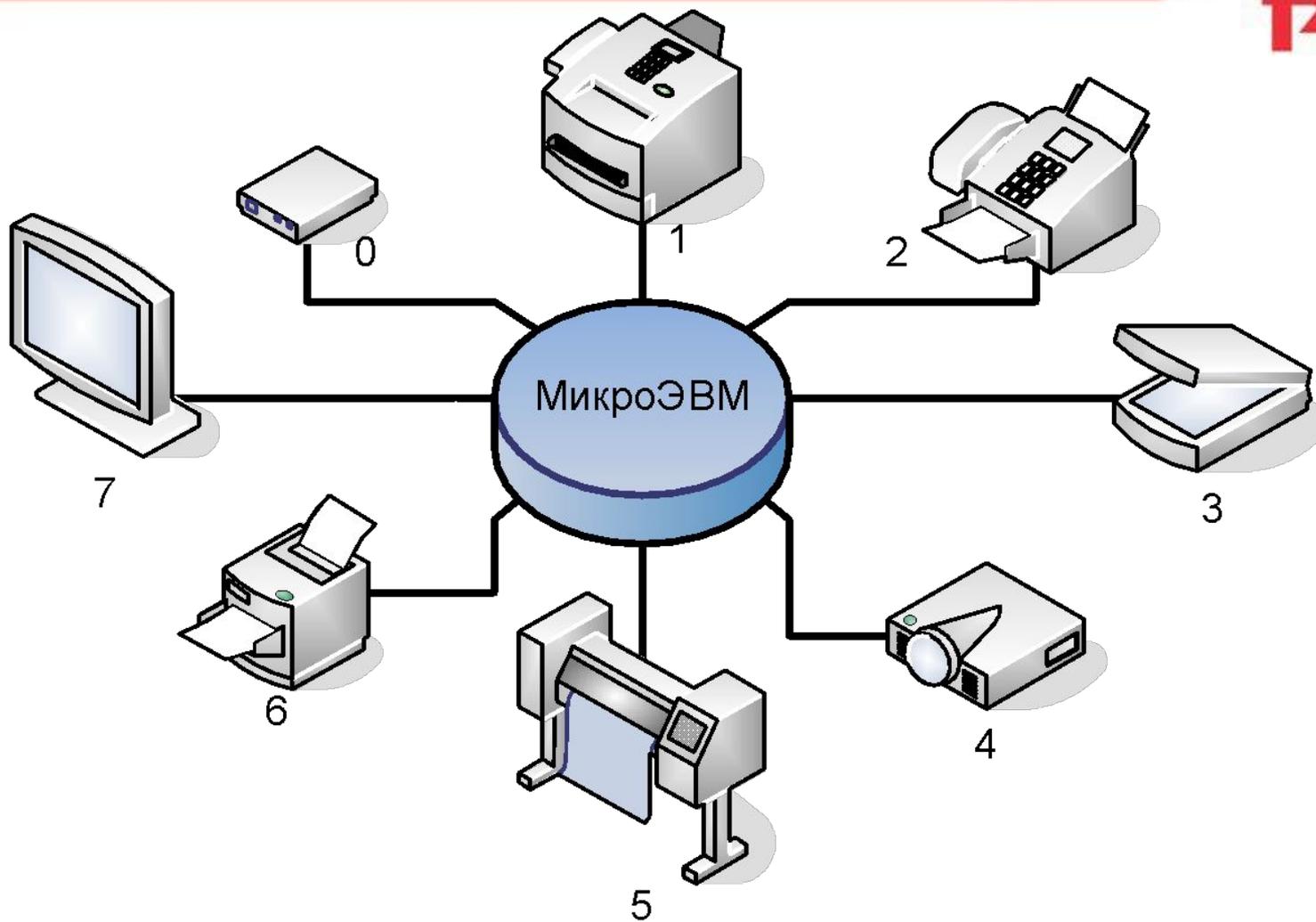
В случае большого количества объектов управления коммутацию лучше производить по матричной схеме.

Основной недостаток - в невозможности одновременной адресации разных строк и столбцов.

Эффективно – при создании динамического изображения

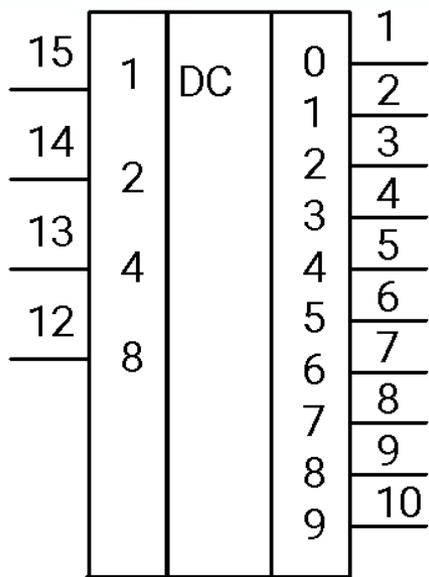
Скорость развёртки должна превосходить инерционность для исключения мерцания и стробоскопического эффекта



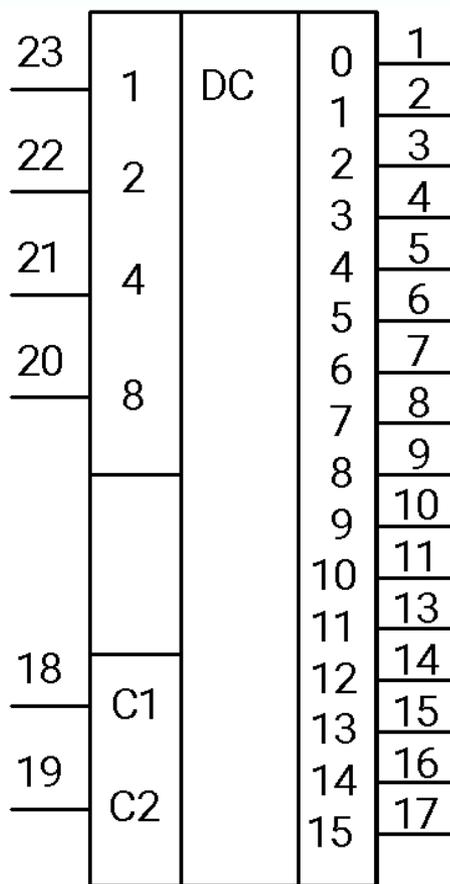


Каждое устройство в системе имеет свой уникальный адрес

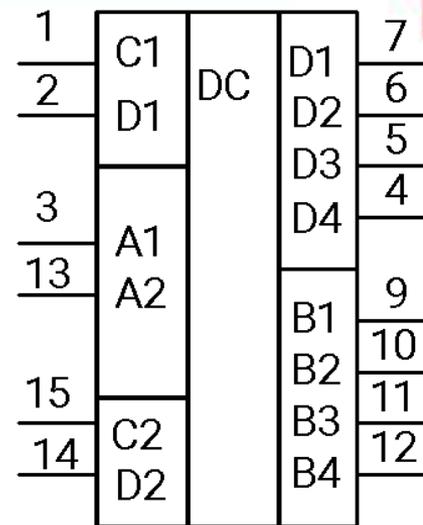
Дешифратор адреса микропроцессорной информационно - управляющей системы



К155ИД10



К155ИД3



К155ИД4

В соответствии с сигналами на адресных входах появляется сигнал низкого уровня на одном из выходов дешифратора

Как правило – наличие входов управления, разрешающих/запрещающих дешифрацию

При запрете дешифрации – на всех выходах сигнал высокого уровня

ИД10

Преобразует четырехразрядный двоичный код, поступающий на входы А0 - А3 в сигнал низкого уровня, появляющийся на одном из выходов 0 - 9 .

Если десятичный эквивалент входного кода превышает 9, то на всех выходах 0 -9 появятся напряжения высоких уровней (1010, 1011, 1100, 1101, 1110, 1111)

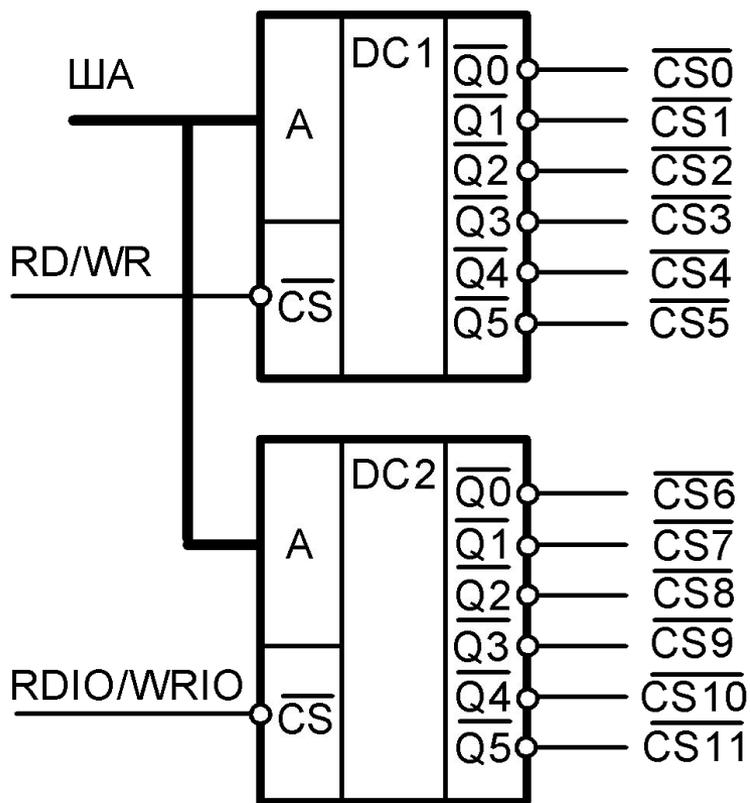
Может применяться для дешифрации трехзначного двоичного кода, поступающего на входы А0 – А2.

Вход А3 можно использовать как разрешающий с низким активным уровнем.

Входы				Выходы			
Адрес		Разрешение					
A1	A2	D1	C1	D1	D2	D3	D4
X	X	1	X	1	1	1	1
0	0	0	1	0	1	1	1
1	0	0	1	1	0	1	1
0	1	0	1	1	1	0	1
1	1	0	1	1	1	1	0
X	X	X	0	1	1	1	1

Эту же микросхему можно использовать как дешифратор трехразрядного кода на восемь выходов.

Для этого следует соединить D2 и D1 (получив третий адресный вход A2), а также входы C1 и C2 (получив вход разрешения на дешифрацию)



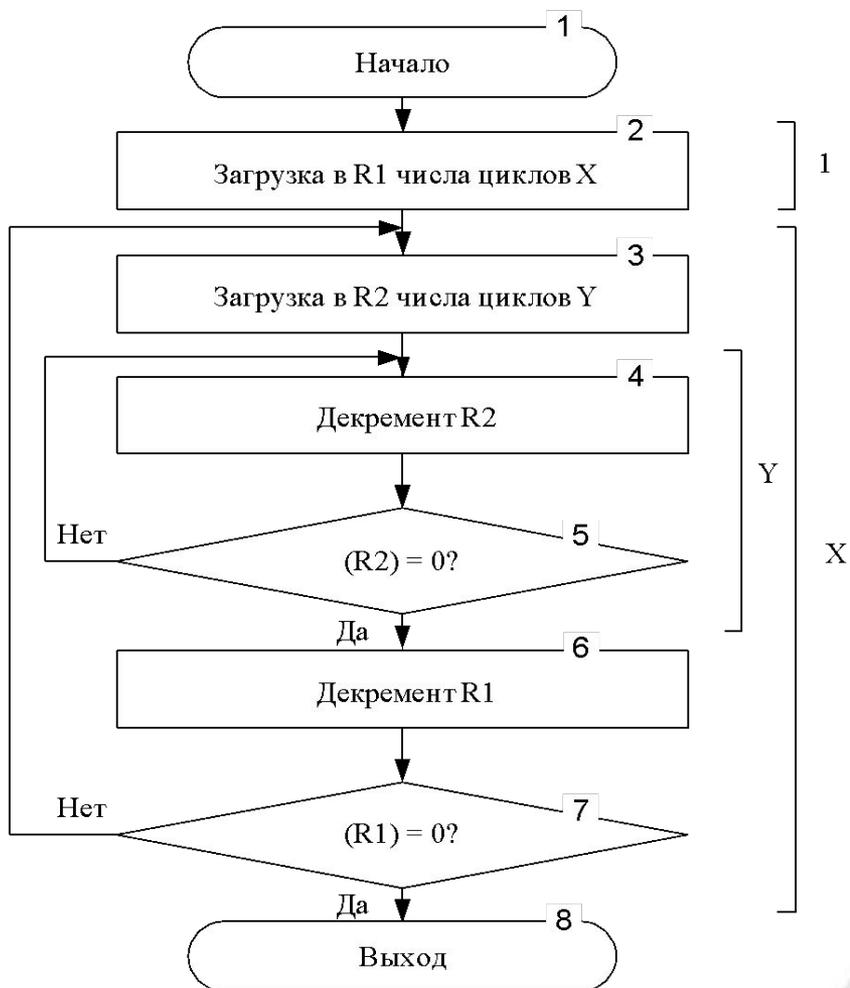
В случае когда дешифратор адреса является общим для устройств памяти и ввода-вывода, все эти устройства размещены в одном адресном поле и обращение к внешним устройствам производится так же, как и к ячейкам памяти.

Групповой выбор адресов

Формирование импульса заданной длительности



Во многих применениях МК-51 необходимо сформировать импульс заданной длительности на той или иной линии порта. Обычно для этих целей используется либо таймер/счетчик, либо регистры РПД. Блок-схема алгоритма формирования временной задержки большой длительности показана на рисунке



Данный алгоритм для формирования временной задержки использует так называемые вложенные циклы.

На начальном этапе в регистр R1 загружается число “большого” цикла X (блок 2), а в регистр R2 – число “малого” цикла Y (блок 3).

Эти две команды выполняются за один машинный цикл.

С помощью блоков 4, 5 подпрограммы содержимое регистра R2 уменьшается до 0 и осуществляется переход к блоку 6 подпрограммы.

Этот цикл удобнее организовать с помощью команды условного перехода, которая выполняется МК-51 за 2 машинных цикла.

Аналогично организуется и “большой” цикл (блоки 6, 7).

Таким образом, длительность временной задержки, формируемой с помощью этого алгоритма, в машинных циклах можно рассчитать по формуле:

$$t_{3Ц} = 1 + (1 + 2 \cdot Y + 2) \cdot X$$

Время задержки в секундах рассчитывается по формуле:

$$t_3 = \frac{1}{f_{BQ}} \cdot 12[1 + (3 + 2 \cdot Y) \cdot X]$$

Если задана длительность импульса, формируемого с помощью рассмотренного алгоритма, то необходимо подобрать такие X и Y, чтобы выполнялось условие:

$$t_3 \leq t_{3AD}$$

Для того чтобы МК-51 сформировал импульс с точностью плюс/минус 1 машинный цикл в подпрограмму необходимо добавить команду “нет операции”, число которых можно рассчитать по формуле:

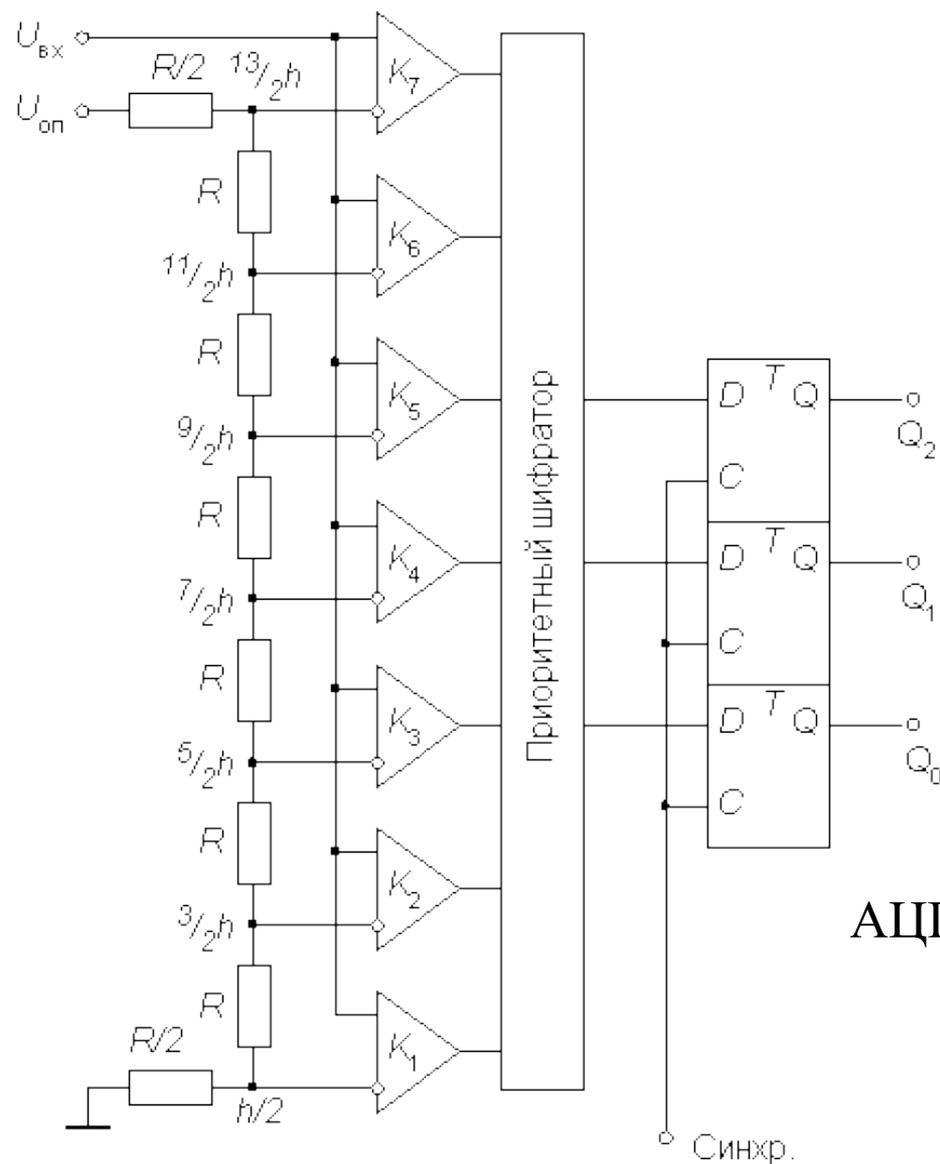
$$N = \frac{t_{3AD} - t_3}{12} \cdot f_{BQ}$$

Если число команд «нет операции», необходимых для “подгонки” задержки, получится больше 5, то рекомендуется для этих целей использовать локальный цикл, который вставляется в тело подпрограммы после блока 7.

Из всего многообразия существующих методов аналого-цифрового преобразования в интегральной технологии нашли применение в основном три:

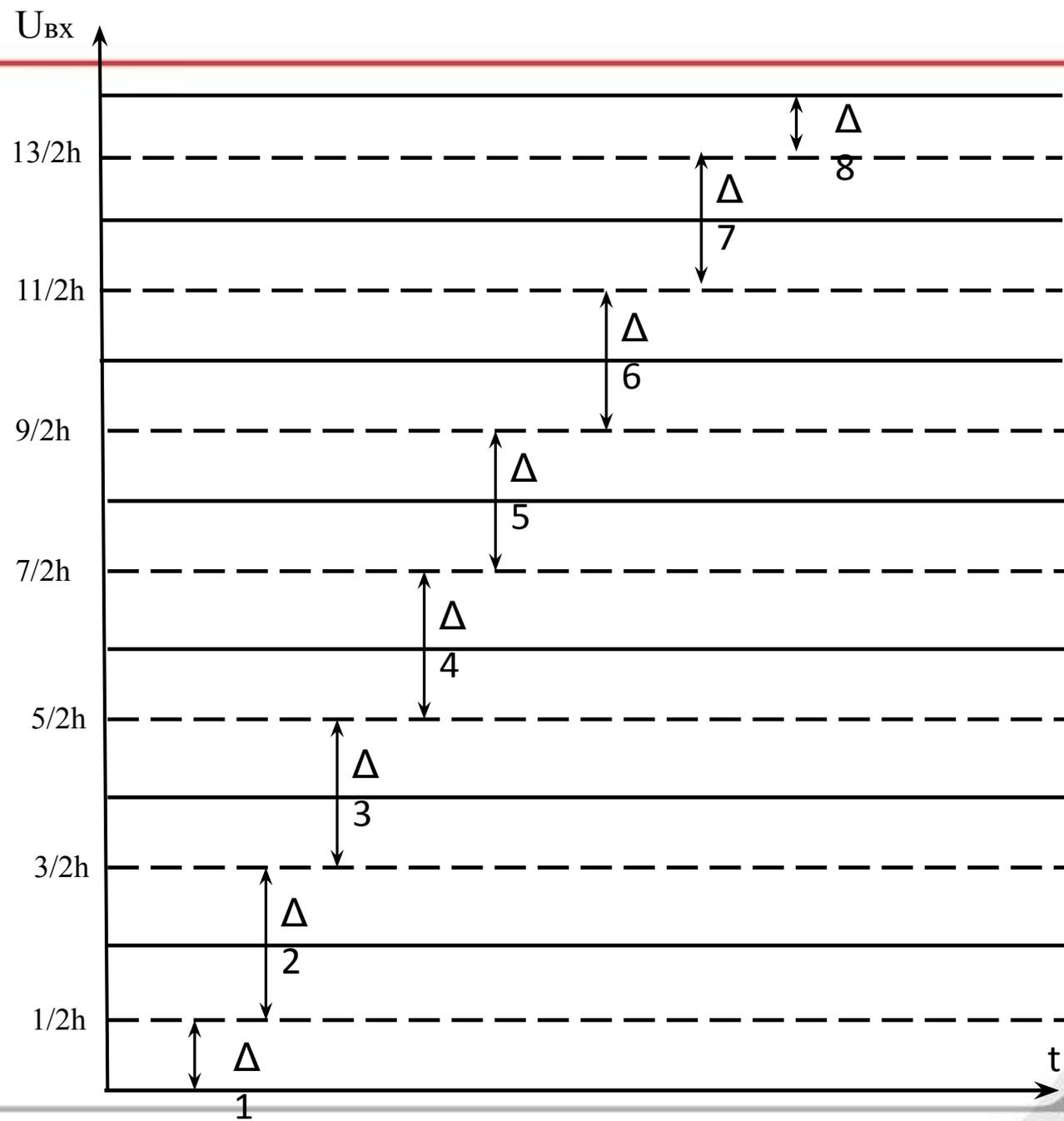
- 1) метод прямого (параллельного) преобразования;**
- 2) метод последовательного приближения (поразрядного уравнивания);**
- 3) метод интегрирования.**

В АЦП с параллельным преобразованием входной сигнал прикладывается одновременно ко входам всех компараторов. В каждом компараторе он сравнивается с опорным сигналом, значение которого эквивалентно определенной кодовой комбинации. Опорный сигнал снимается с узлов резистивного делителя, питаемого от источника опорного напряжения. Число возможных кодовых комбинаций (а следовательно, число компараторов) равно $2^m - 1$, где m — число разрядов АЦП. АЦП прямого преобразования обладают самым высоким быстродействием среди других типов АЦП, определяемым быстродействием компараторов и задержками в логическом дешифраторе



Недостатком их является необходимость в большом количестве компараторов. Так, для 8-разрядного АЦП требуется 255 компараторов. Это затрудняет реализацию многоразрядных (свыше 6-8 разрядов) АЦП в интегральном исполнении. Кроме того, точность преобразования ограничивается точностью и стабильностью каждого компаратора и резистивного делителя.

АЦП с параллельным преобразованием

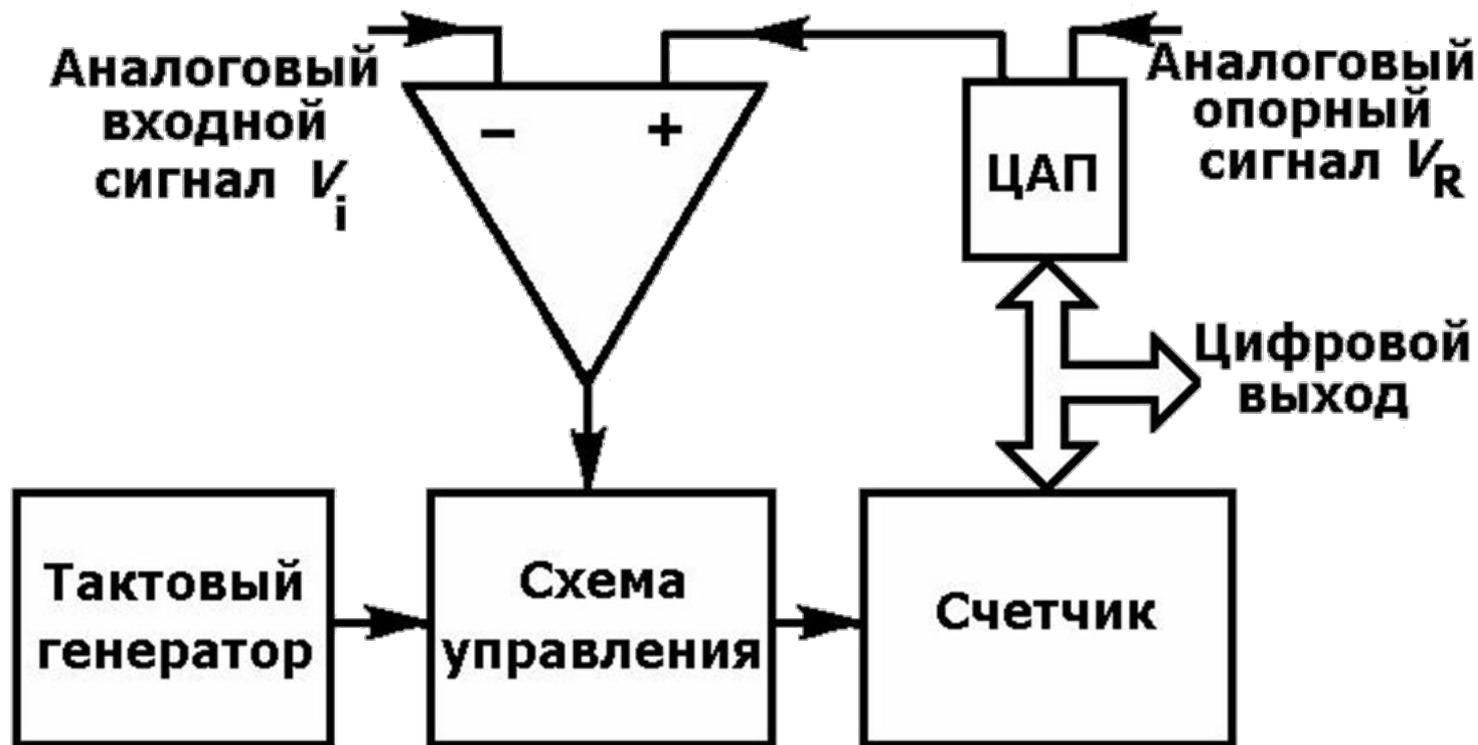


U_{BX}	K1	K2	K3	K4	K5	K6	K7	Q0	Q1	Q2
<1/2h	0	0	0	0	0	0	0	0	0	0
1/2h-3/2h	1	0	0	0	0	0	0	1	0	0
3/2h-5/2h	1	1	0	0	0	0	0	0	1	0
5/2h-7/2h	1	1	1	0	0	0	0	1	1	0
7/2h-9/2h	1	1	1	1	0	0	0	0	0	1
9/2h-11/2h	1	1	1	1	1	0	0	1	0	1
11/2h-13/2h	1	1	1	1	1	1	0	0	1	1
>13/2h	1	1	1	1	1	1	1	1	1	1

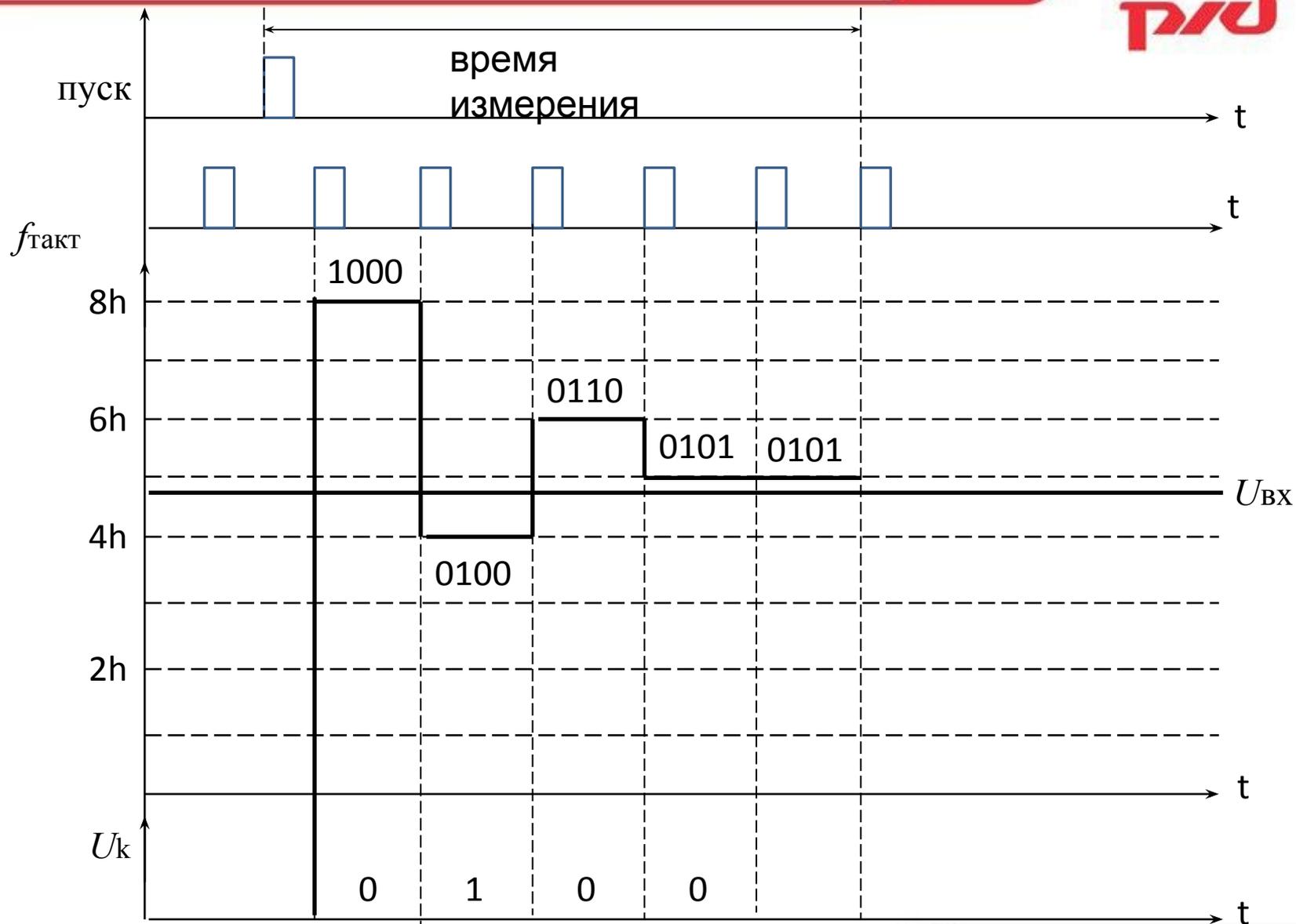
АЦП последовательного приближения состоит из следующих узлов:

1. Компаратор. Он сравнивает входную величину и текущее значение «весового» напряжения.
2. Цифро-аналоговый преобразователь. Он генерирует «весовое» значение напряжения на основе поступающего на вход цифрового кода.
3. Регистр последовательного приближения. Он осуществляет алгоритм последовательного приближения, генерируя текущее значение кода, подающегося на вход ЦАП.

Достоинством устройства является относительно высокая скорость преобразования: время преобразования N -битного АЦП составляет N тактов.

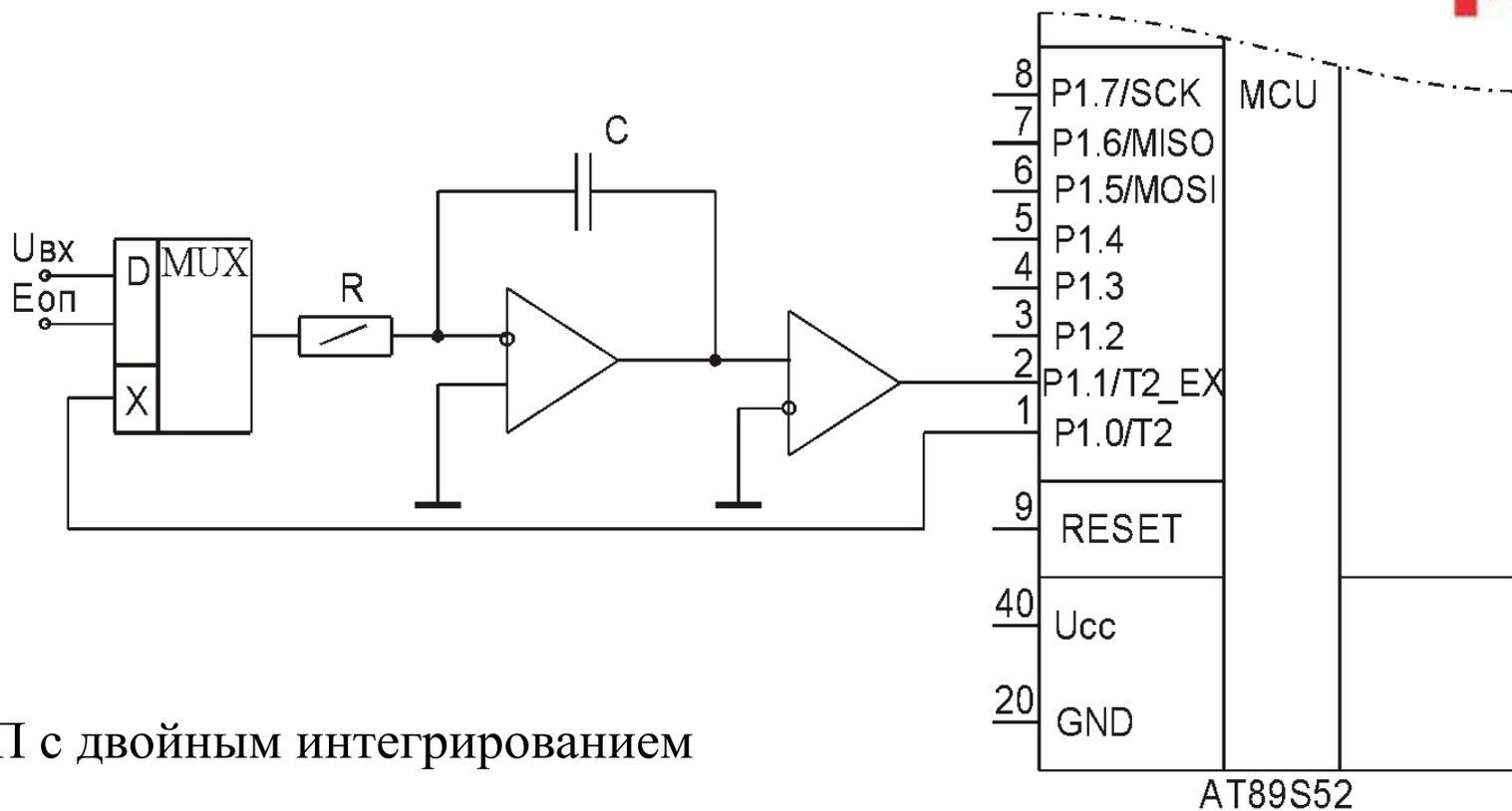


АЦП последовательного приближения



Наиболее простыми по структуре среди *интегрирующих преобразователей* являются АЦП с преобразованием напряжения в частоту, построенные на базе интегрирующего усилителя и аналогового компаратора. Погрешность их преобразования определяется нестабильностью порога срабатывания компаратора и постоянной времени интегратора. Более высокими метрологическими характеристиками обладают АЦП, реализованные по принципу двойного интегрирования, поскольку при этом практически удастся исключить влияние на погрешность преобразования нестабильности порога срабатывания компаратора и постоянной времени интегратора.

Схема реализации АЦП двойного интегрирования на МК-51 показана на рисунке. Первоначально на вход интегратора подается отрицательное напряжение $E_{оп}$. При этом на выходе интегратора через некоторое время установится отрицательный уровень, а на выходе компаратора будет сформирован сигнал 0.



АЦП с двойным интегрированием

Процесс преобразования состоит из двух этапов.

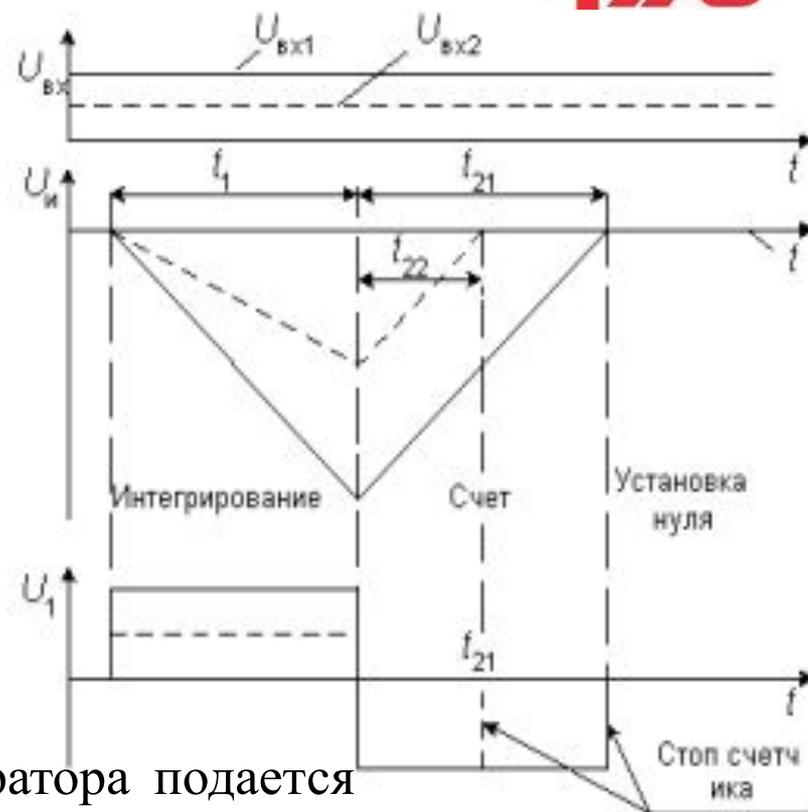
Сначала производится интегрирование входного аналогового сигнала в течение строго определенного времени T_1 .

Отсчет интервала T_1 производится от момента t_0 перехода напряжения на выходе интегратора через нуль.

Входной преобразуемый сигнал (для данной схемы) должен быть положительного напряжения.

Затем в момент времени t_1 на вход интегратора подается опорное напряжение $E_{оп}$ (противоположной полярности) и измеряется время интегрирования T_2 , которое и будет пропорционально входному напряжению ($U_{вх}$).

Время T_1 (период первого интегрирования) выбирается так, чтобы при максимальном входном напряжении ($U_{вх. макс} = -E_{оп}$) интегратор не вошел в насыщение.



$$t_1 = \frac{K_{сч}}{f_{ТАКТ}}$$

Время первого интегрирования (постоянное)

$$t_2 = \frac{n_2}{f_{ТАКТ}}$$

Время второго интегрирования,

где n_2 - содержимое счетчика после окончания стадии счета

$$n_2 = \frac{U_{ВХ} * K_{сч}}{U_{оп}}$$

Из этой формулы следует, что отличительной особенностью метода двойного интегрирования является то, что ни тактовая частота, ни постоянная интегрирования РС не влияют на результат. Необходимо только потребовать, чтобы тактовая частота в течение времени $t_1 + t_2$ оставалась постоянной.

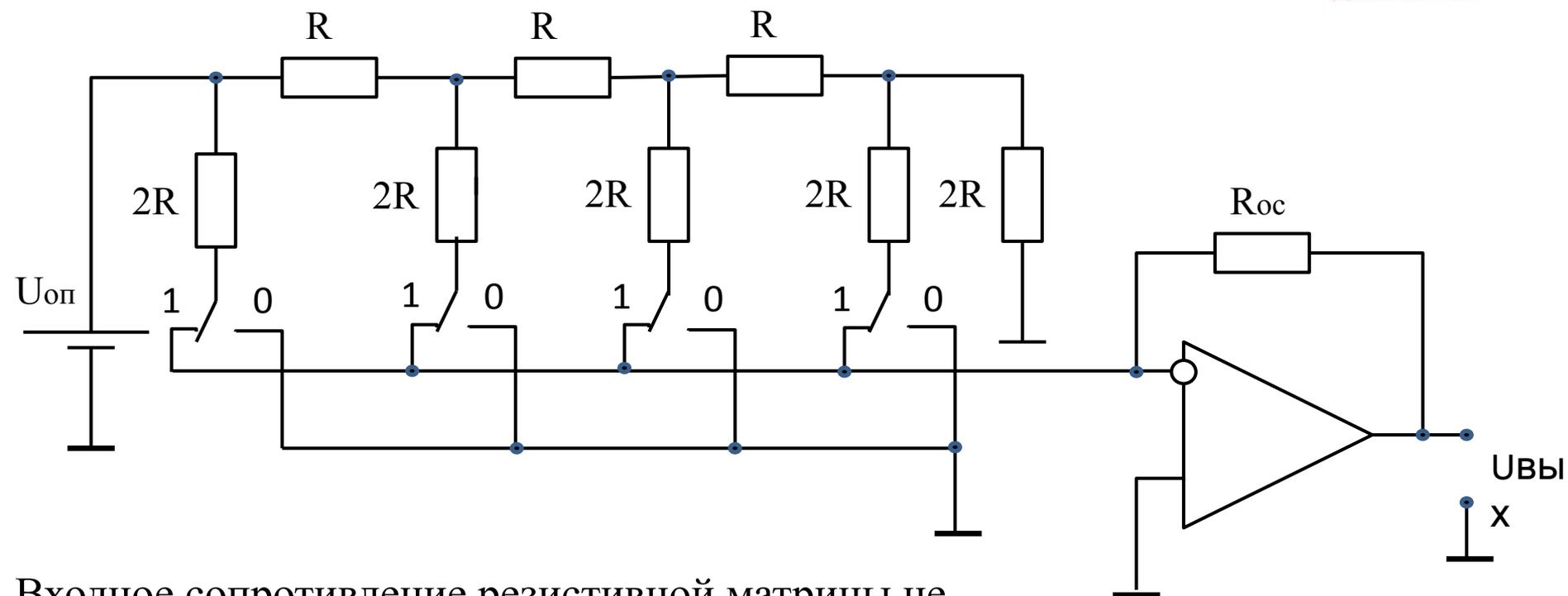
Цифро-аналоговый преобразователь (ЦАП) предназначен для автоматического преобразования входных величин, представленных числовыми кодами, в соответствующие им значения непрерывно изменяющихся во времени (т.е. аналоговых) величин.

В схемах ЦАП обычно используется представление двоичного числа, состоящего из нескольких разрядов, в виде суммы степеней числа 2.

Каждый разряд (если в нем записана единица) преобразуется в аналоговый сигнал, пропорциональный числу 2 в степени, равной номеру разряда

В схеме ЦАП, показанной на рисунке, весовые коэффициенты каждого разряда задаются последовательным делением опорного напряжения с помощью резистивной матрицы типа $R-2R$, представляющей собой многозвенный делитель напряжения.

В данной схеме ЦАП используются двухпозиционные ключи, которые подсоединяют резисторы $2R$ либо ко входу операционного усилителя (при 1 в данном разряде), либо к общему нулевому проводу.



Входное сопротивление резистивной матрицы не зависит от положения ключей. Коэффициент передачи между соседними узловыми точками матрицы составляет 0,5. Выходное напряжение определяется по формуле:

$$U_{\text{ВЫХ}} = -U_{\text{ОП}} * \frac{R}{16R} * (X_0 + 2X_1 + 4X_2 + 8X_3)$$

К основным таким системам относятся:

- 1) автоматизированные системы управления и контроля движения поездов;
- 2) автоматизированные системы управления расформированием составов на сортировочных станциях;
- 3) автоматизированные системы диспетчерского контроля;
- 4) информационные системы обслуживания пассажиров.

Автоматизированные системы управления и контроля движения поездов

- 1) микропроцессорные системы автоблокировки;
- 2) микропроцессорные системы электрической централизации;
- 3) системы диспетчерского управления движением поездов;
- 4) микропроцессорные устройства контроля исправности подвижного состава;
- 5) микропроцессорные локомотивные системы обеспечения безопасности движения поездов;
- 6) автоматизированные комплексы для испытания и диагностирования узлов подвижного состава.

Основные преимущества микропроцессорных систем

1. Более высокий уровень надежности
2. Наличие встроенного диагностического контроля состояния аппаратных средств
3. Сокращение капитальных вложений и эксплуатационных затрат
4. Улучшение условий труда эксплуатационного персонала
5. Возможность протоколировать и архивировать информацию

Основной проблемой создания МПИУС является обеспечение безопасности их функционирования для процесса движения поездов.

Все методы построения безопасных систем управления основаны на введении в устройства этих систем некоторой избыточности, которая позволяет исключать возможность появления или своевременно обнаруживать и парировать опасные отказы аппаратуры или сбои программных средств.

Обеспечение безопасности в микропроцессорных информационно-управляющих системах

Недостатки полупроводниковой элементной базы по сравнению с релейной :

- 1. Низковольтные электронные компоненты обладают **высокой чувствительностью к внешним воздействиям***
- 2. **Невозможность создания полностью безопасной системы** (в отличие от реле (однонаправленный отказ) не имеют четкой направленности отказов в сторону защитных состояний, последствия которых сложно предугадать);*
- 3. **Рабочие характеристики электронных компонентов с течением времени могут меняться;***
- 4. **Высокая сложность электронных компонентов затрудняет предотвращение систематических ошибок на этапе производства, а также контроль за происходящим в технической системе процессами и изменением ее состояния.***

Структура программного обеспечения

Программное обеспечение (ПО)

Прикладное ПО

Системное ПО

ПО

централизации

Базы данных

Управление вычислительными процессами и ресурсами

Управление периферийным оборудованием

Инициализация оборудования

Драйверы оборудования и шрифтов

Функции индикации

Функции управления

Функции ведения диалога

Функции протоколирования

Функции информационного обмена

Функции речевого информирования

Другие функции

Топологические данные

Данные настройки специфических функций

Данные настройки информационного обмена

Конфигурация ЛВС

Конфигурация аппаратных средств

Другие данные по станции

Обеспечение безопасности в микропроцессорных системах:

1. Избыточность позволяет исключить случайные ошибки в микропроцессорных комплексах.

Пример аппаратной избыточности (системы 2002, 2003 и 2×2002).

Во всех системах обеспечивается резервирование с целью повышения безопасности. В системах 2003 и 2×2002 – повышение готовности к работе на случай возникновения неисправностей (снижает вероятность задержек в поездной работе).

2. Диверситет помогает исключить систематические ошибки при проектировании:

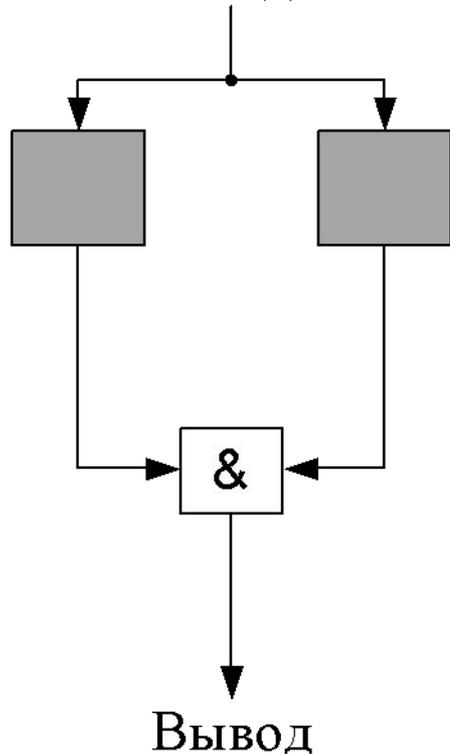
2.1. Аппаратный (в вычислительных каналах используется аппаратное обеспечение, созданное разными группами разработчиков);

2.2. Программный (1. За счет применения в вычислительных каналах разных операционных систем Windows и Linux; 2. при описании функций централизаций или задании данных, описывающих топологию путевого развития).

Обеспечение безопасности в микропроцессорных централизациях

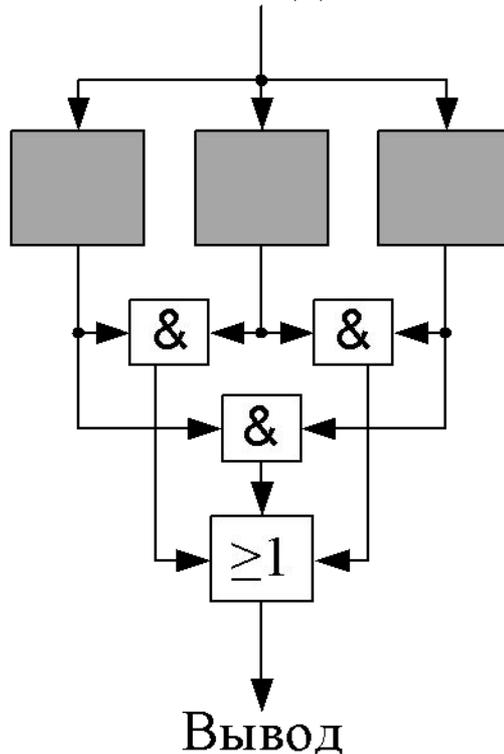
2 из 2 (2oo2)

Ввод



2 из 3 (2oo3)

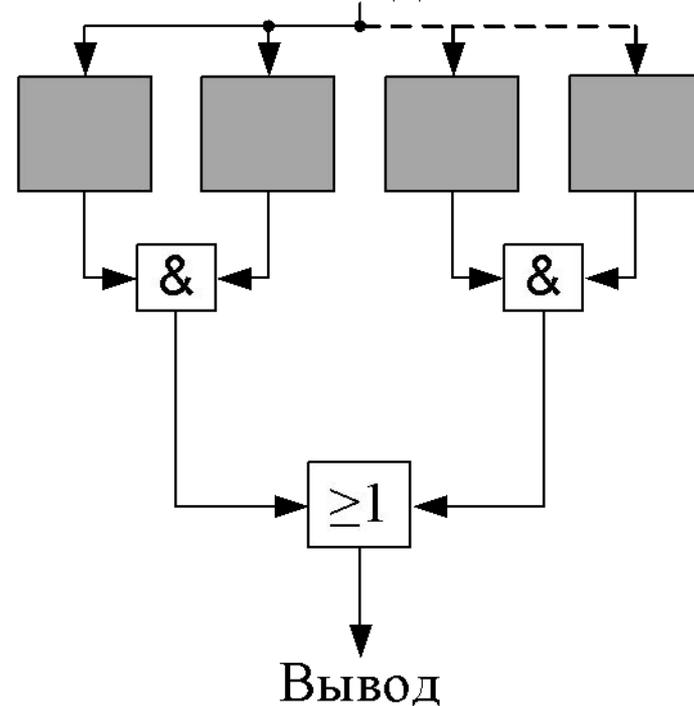
Ввод



Двойная система

2 из 2 (2×(2oo2))

Ввод



Уровень управления и контроля

Автоматизированные рабочие места дежурного по станции (основное и резервное АРМ) АРМ ШН и др.

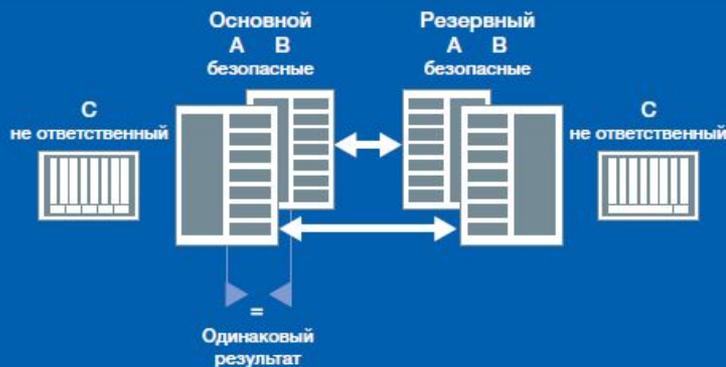


Команды ↓

↑ Извещения о состоянии

Уровень обработки зависимостей централизации

Центральное процессорное устройство



↑ Система передачи данных

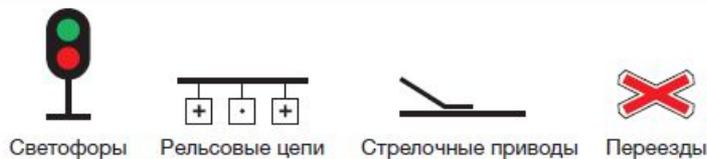
Уровень системы объектных контроллеров

Сигнальные объектные контроллеры
Стрелочные объектные контроллеры
Релейные объектные контроллеры
Объектные контроллеры системы счета осей

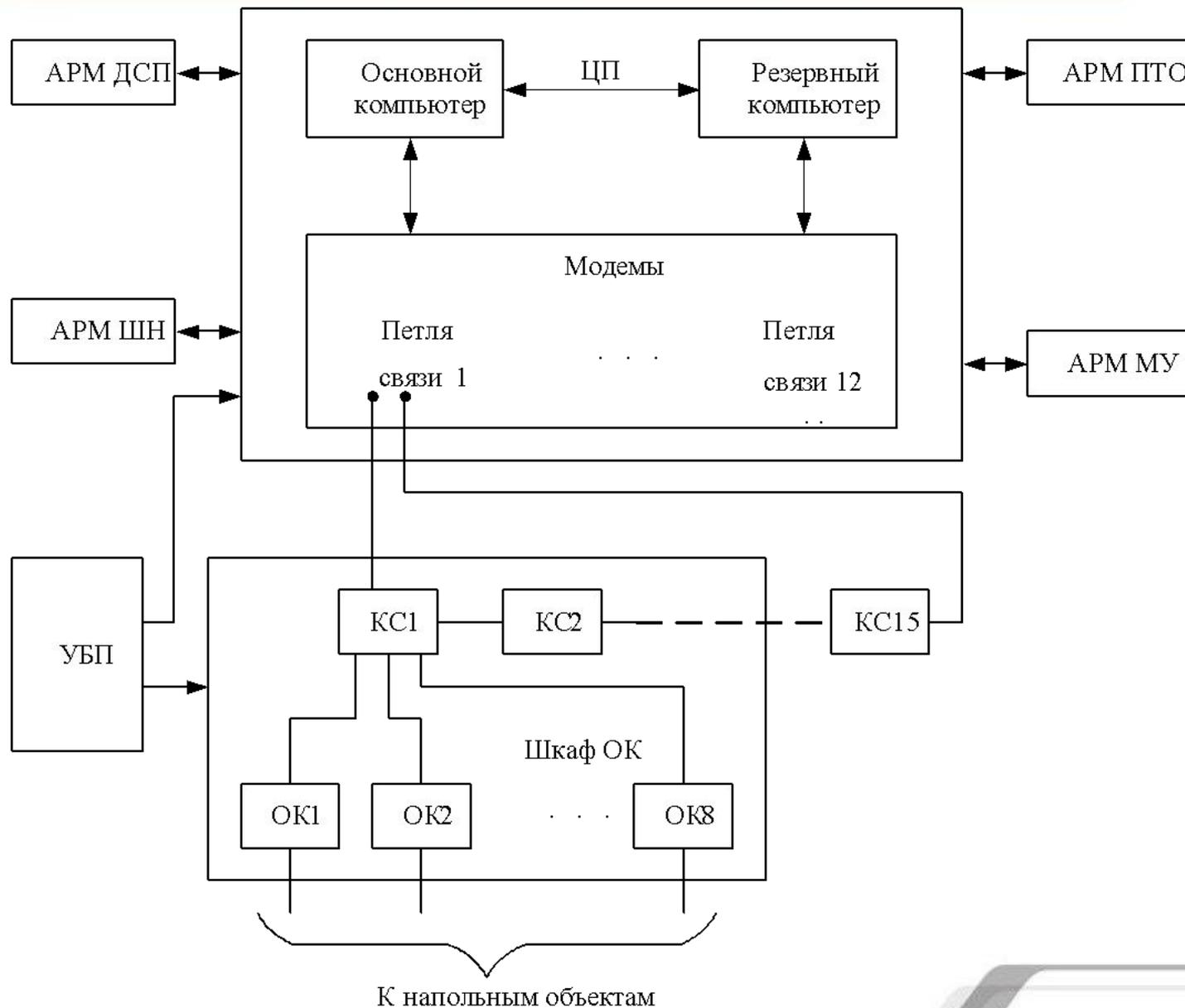


↑ Кабельные сети

Напольные устройства централизации



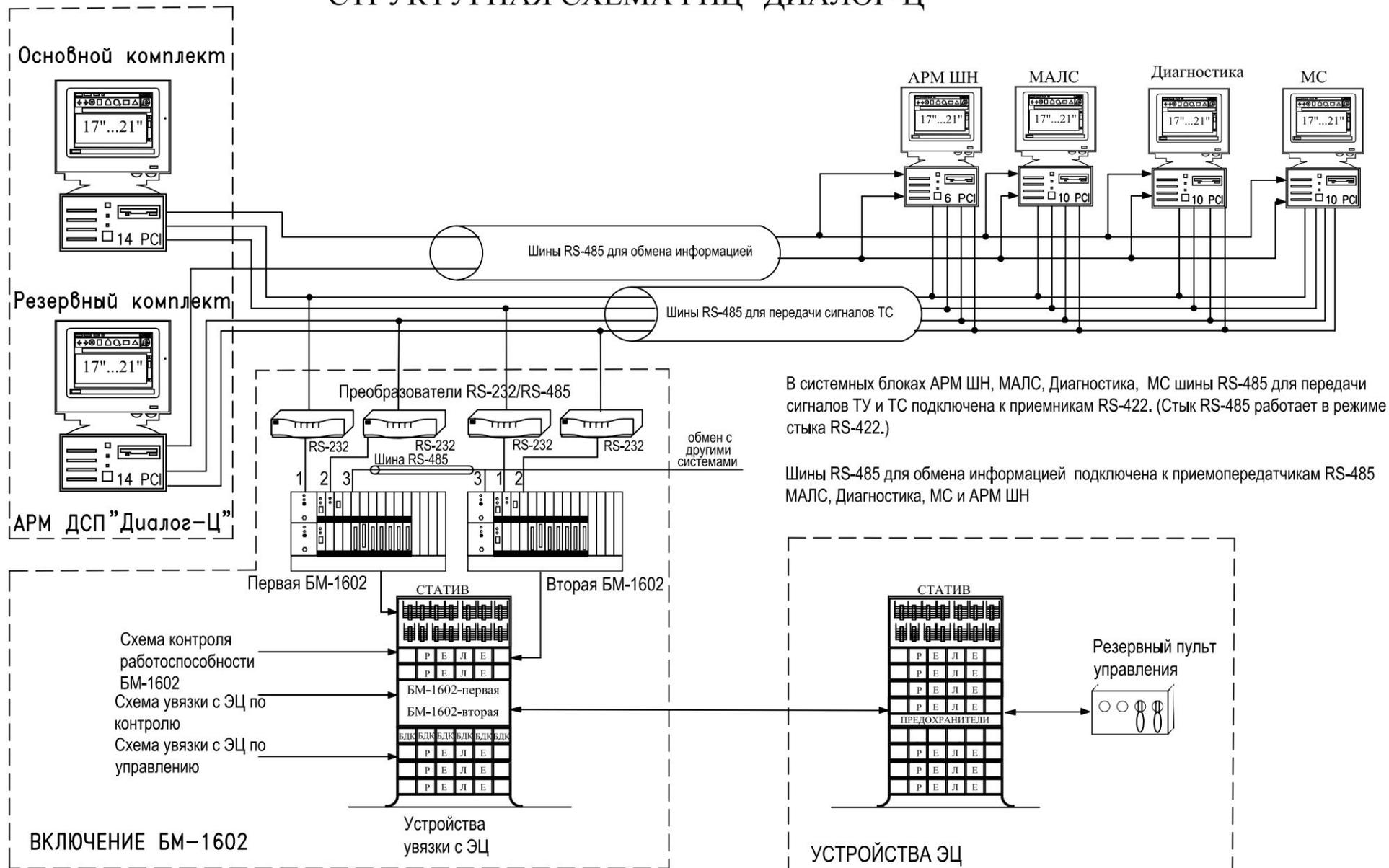
Структурная схема системы ЕВІ lock-950



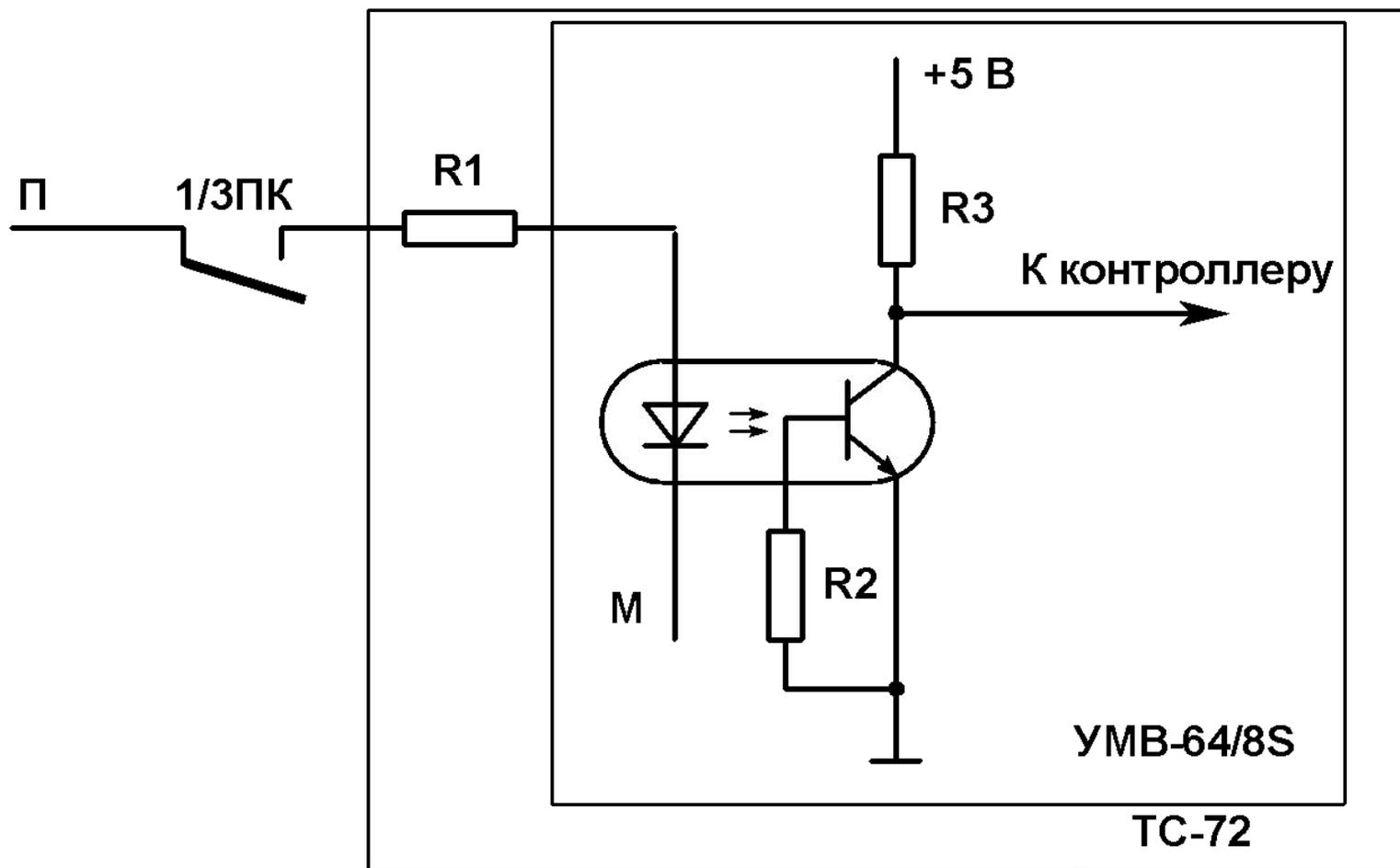
Одним из перспективных направлений перехода на компьютерные средства в устройствах стационарной автоматики является применение релейно-компьютерных или релейно-процессорных (гибридных) систем, в которых логические функции управления выполняются с помощью вычислительных средств, а непосредственное управление стационарными объектами и функции обеспечения безопасности реализуются традиционными средствами на электромагнитных реле.

Примером гибридной системы релейно-процессорной централизации (РПЦ) является система «Диалог-Ц».

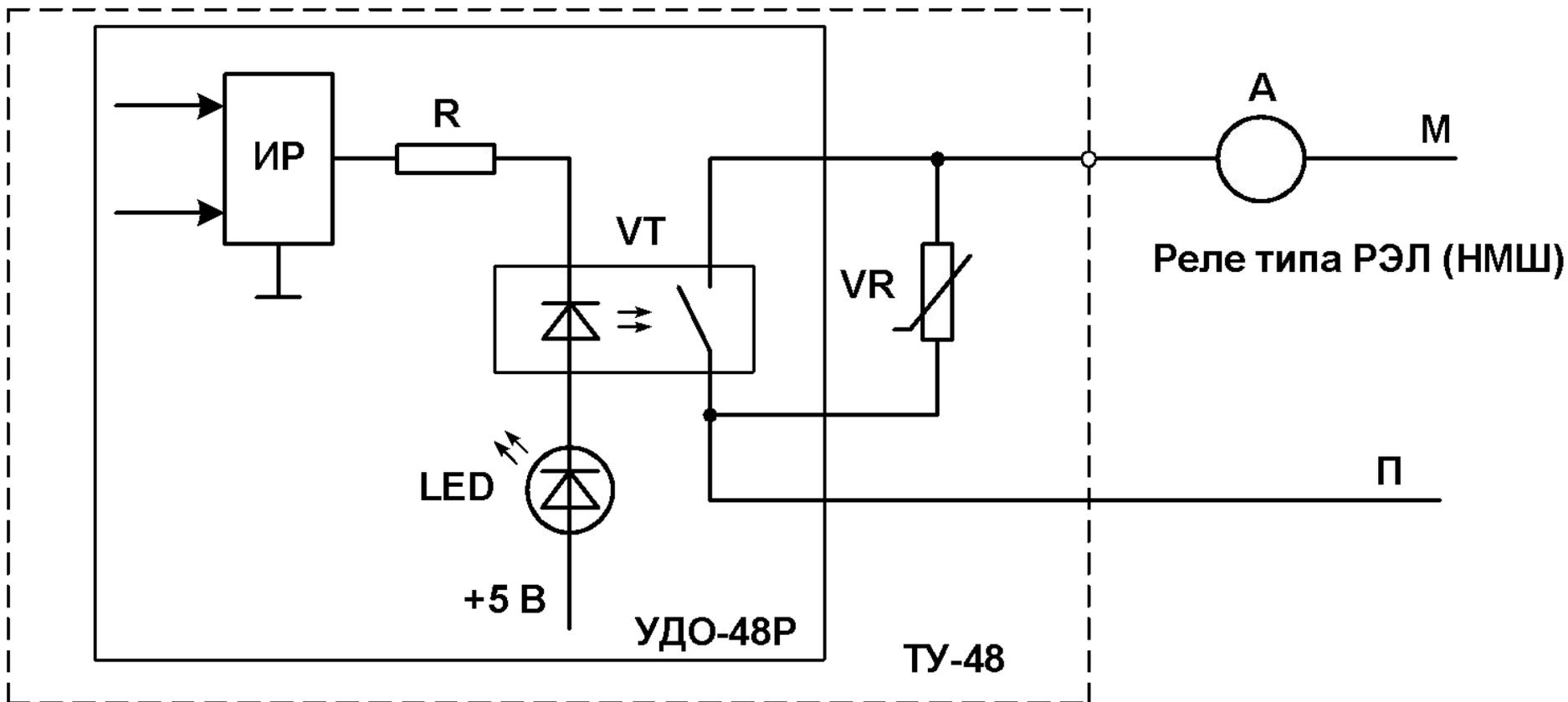
СТРУКТУРНАЯ СХЕМА РПЦ "ДИАЛОГ-Ц"



*Электрическая схема контроля одного
двухпозиционного объекта платы УМВ-64/8-S
релейно-процессорная централизация «ЭЦ-МПК»*



Принципиальная схема управления реле
платы УДО-48Р



К системам диспетчерского управления движением поездов относится диспетчерская централизация (ДЦ)

Диспетчерская централизация применяется для управления из центрального поста (ЦП) стрелками и сигналами промежуточных станций, называемых линейными пунктами (ЛП).

С одного ЦП можно управлять линейными пунктами одного или нескольких диспетчерских участков.

ДЦ позволяет поезвному диспетчеру (ДНЦ) руководить движением поездов на участке и непосредственно управлять стрелками и сигналами на ЛП без участия дежурных по соответствующим станциям.

В комплекс устройств ДЦ обязательно входят автоблокировка (или другие устройства, обеспечивающие контроль свободности перегона) на перегонах, ЭЦ на станциях и аппаратура телемеханики.

Устройства ДЦ должны обеспечивать:

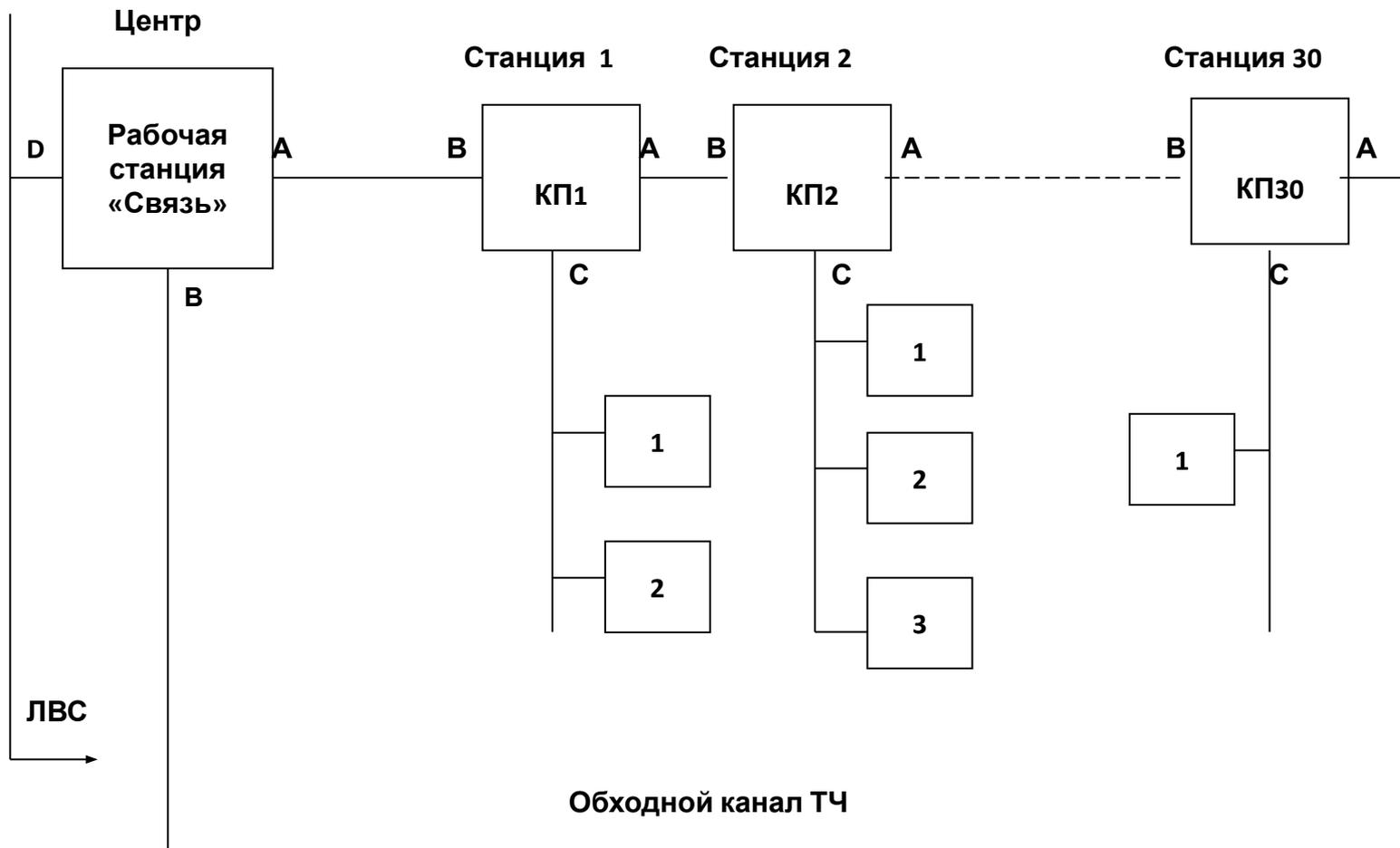
1. Управление из одного пункта стрелками и светофорами отдельных пунктов диспетчерского круга

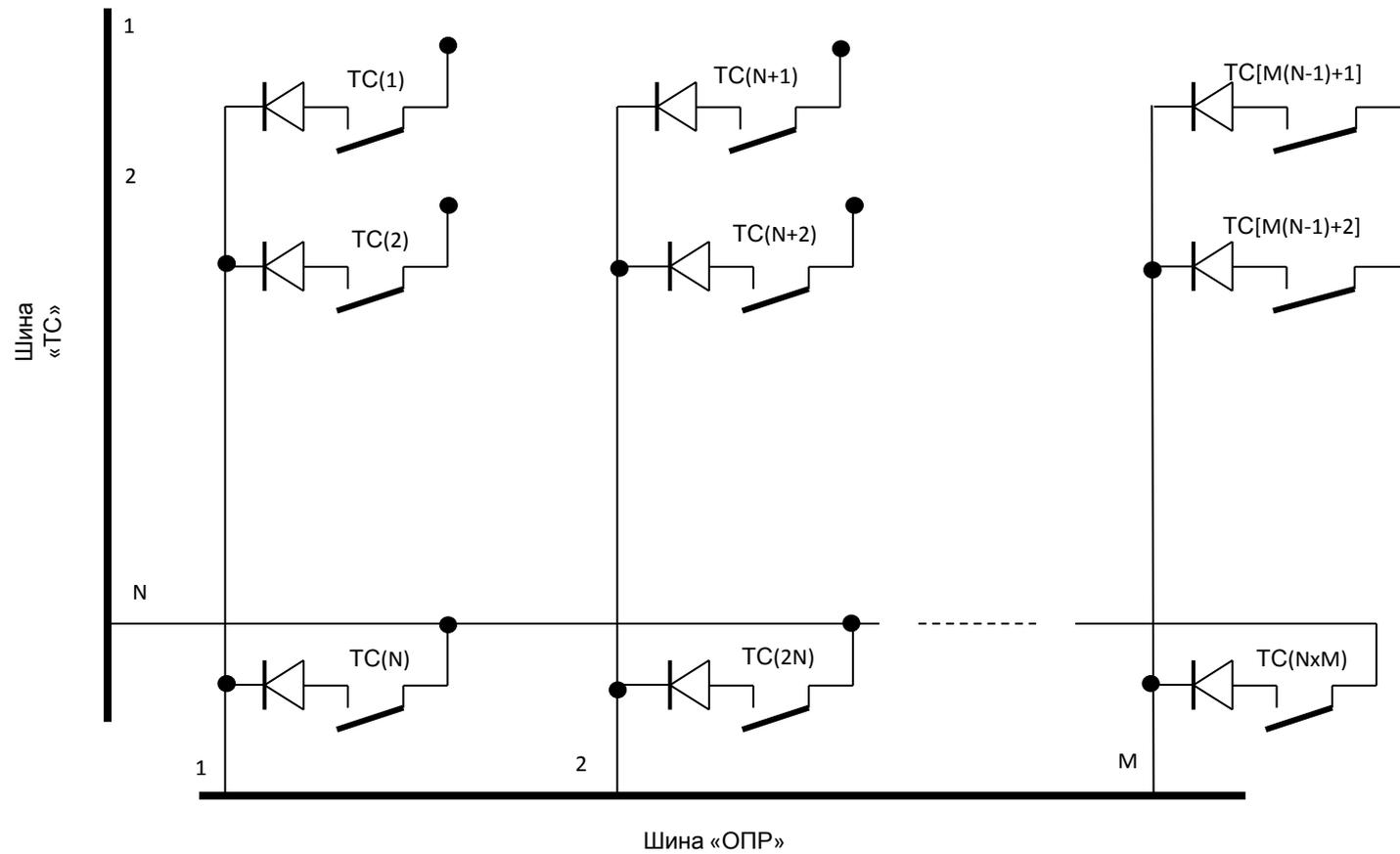
2. Контроль положения и свободности стрелок и изолированных участков, занятости перегонов и путей на станциях, индикацию показаний станционных светофоров.
3. Возможность передачи отдельных станций на резервное или автономное управление
4. Автоматическую запись графика исполненного движения (ГИД) поездов.
5. Передачу команд ТУ, безопасность выполнения которых определяется только устройствами ДЦ и действиями оператора (ответственные команды)

Для устройств передачи информации основным методом обеспечения безопасности является введение информационной избыточности в кодовые комбинации управляющих и информационных сигналов (ТУ и ТС)

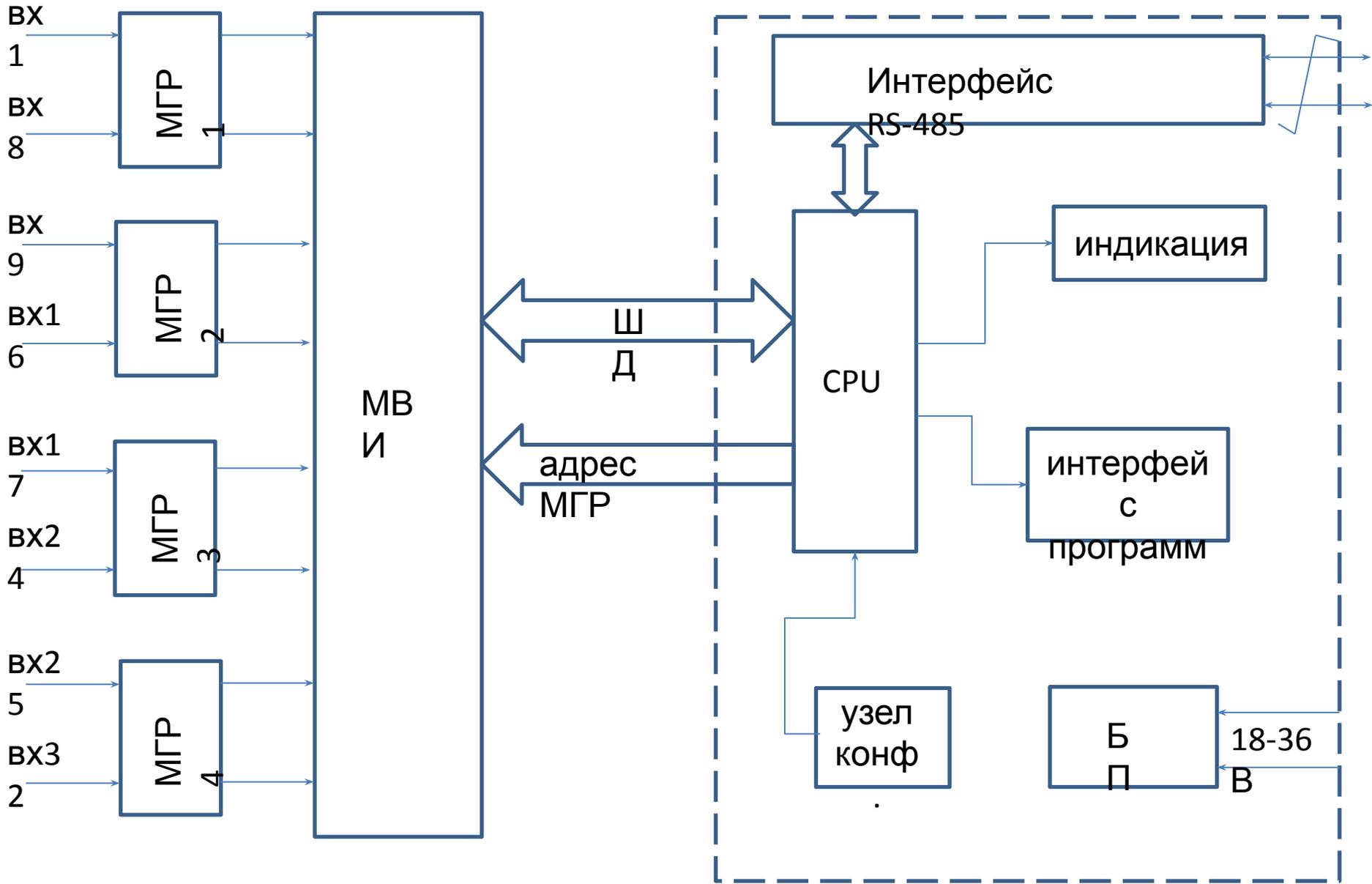
Это достигается передачей их помехозащищенными кодами с минимальным кодовым расстоянием не менее $d_{\min} = 4$.

$$d_{\min} = r + s + 1$$

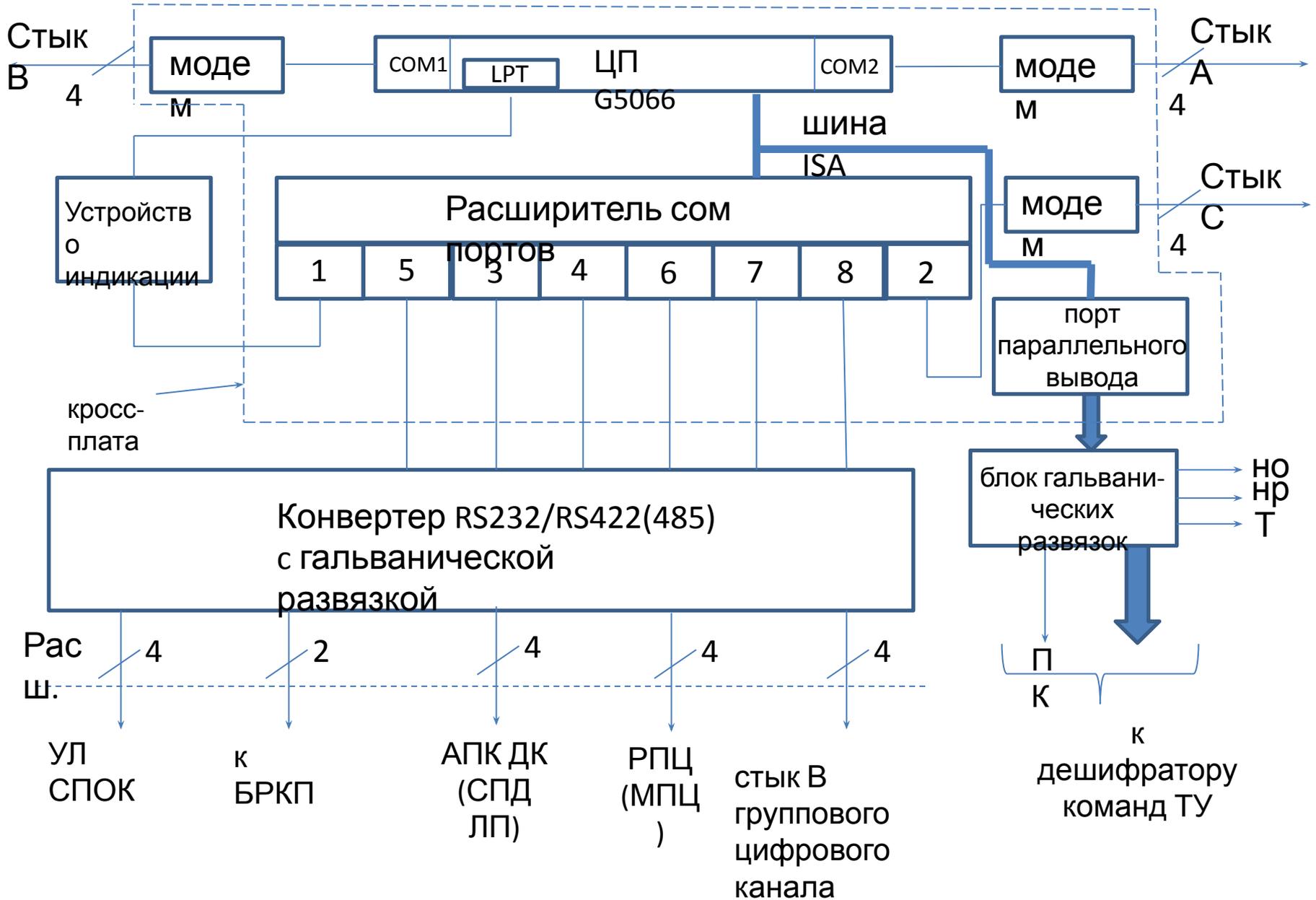




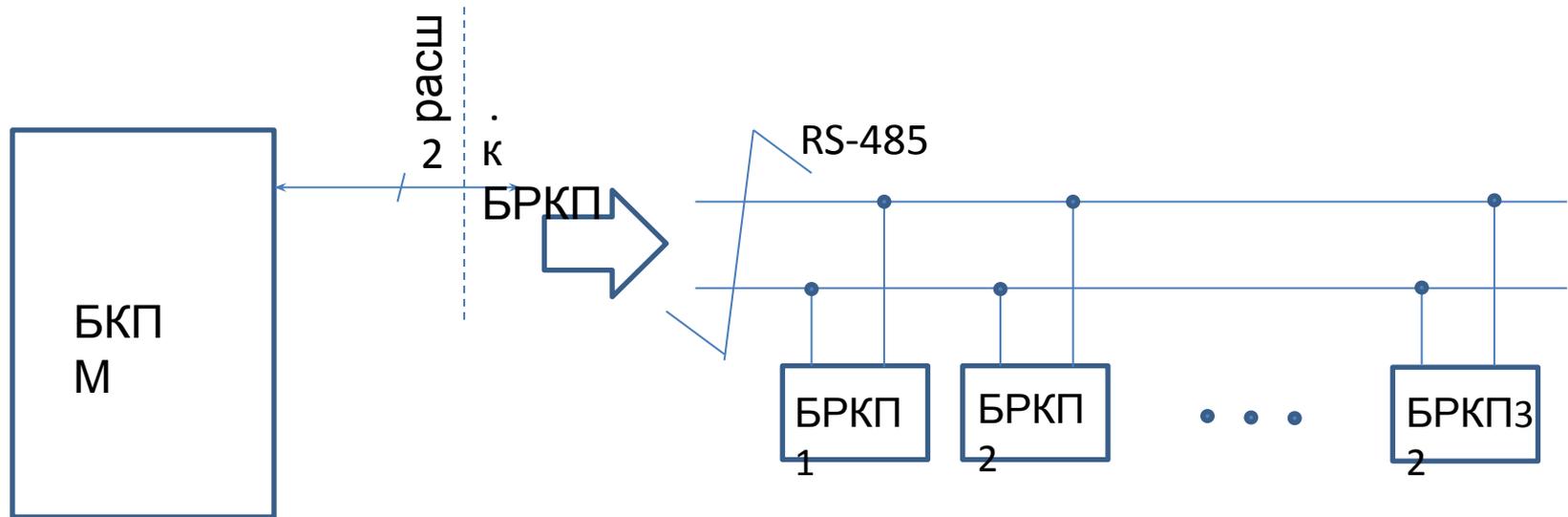
БРКП



Структурная схема БКПМ



Подключение БРКП к БКПМ



1. Сервер сигналов

- формирует сигналы запроса на линейные пункты;
- принимает информацию о состоянии объектов контроля с линейных пунктов;
- архивирует принятую информацию;
- автоматизированное ведение графика исполненного движения

2. Концентратор информации.

Предназначен для сбора поступающей информации по различным линиям связи и передачи ее на сервер сигналов

Состав:

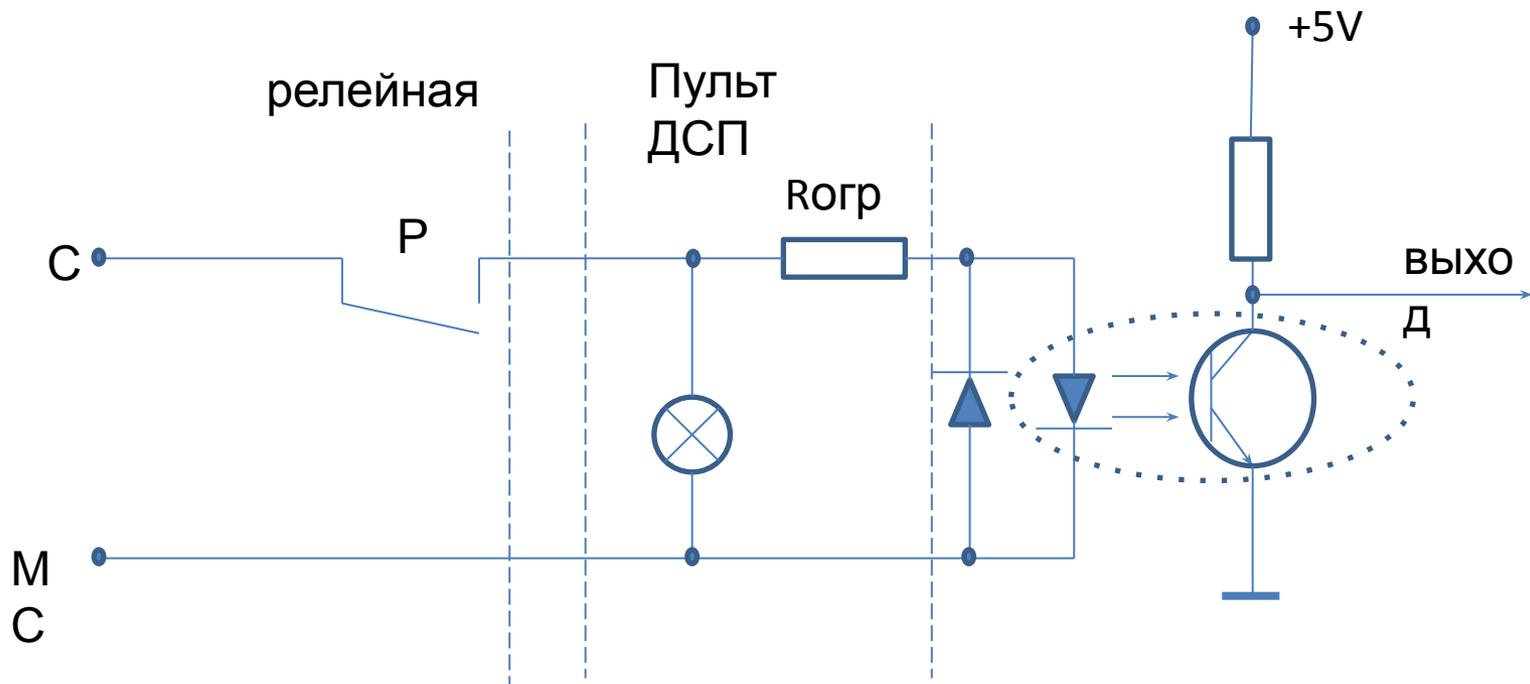
- 2.1. Модуль центрального процессора МЦП2
- 2.2. Модем (до 6 штук)
- 2.3. Блок питания

3. Контроллер

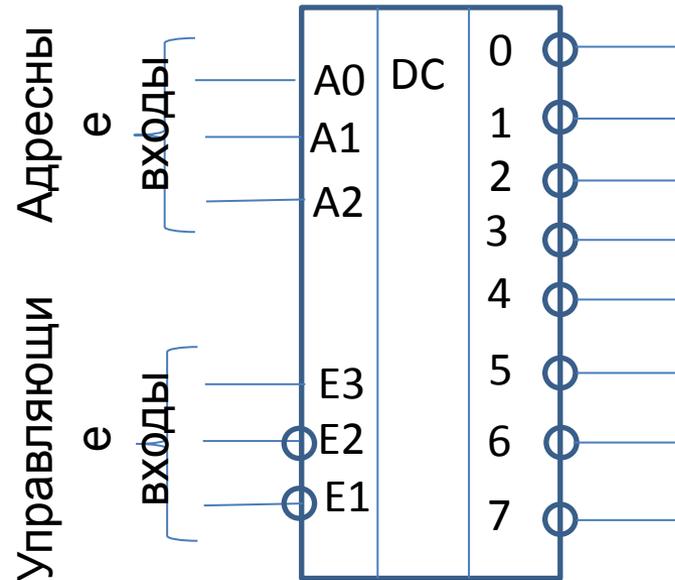
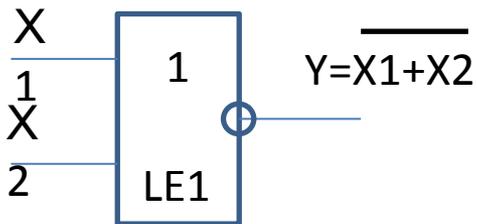
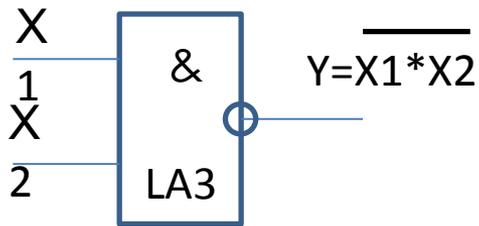
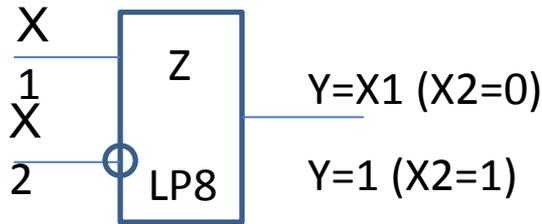
Предназначен для подключения к ОК с целью получения информации об их состоянии и передачи этой информации на концентратор.

Состав:

- 3.1. Модуль центрального процессора МЦП2
- 3.2. Модем
- 3.3. Модуль ввода дискретных сигналов (до 7 штук)
- 3.4. Блок питания

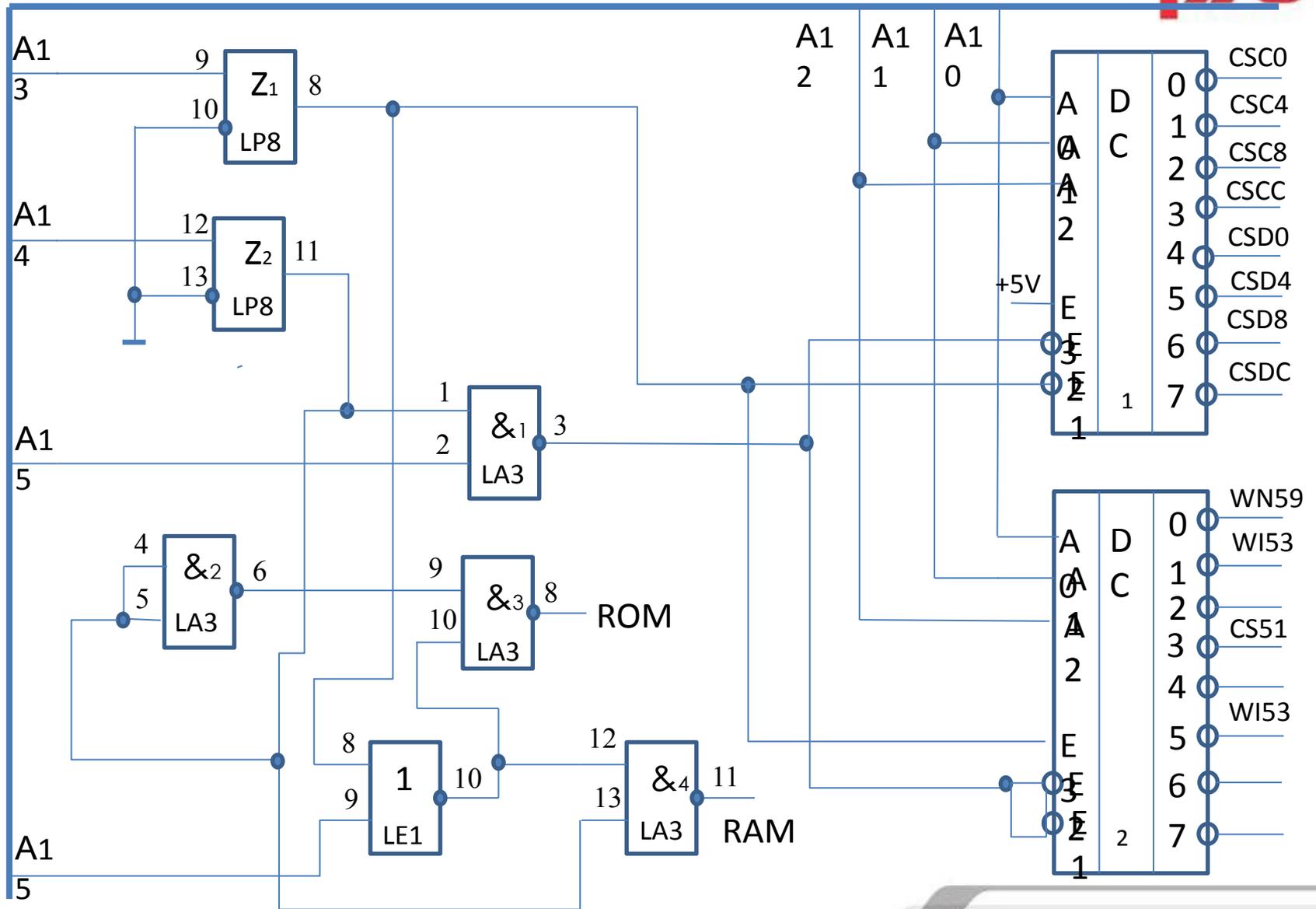


№ п/п	Адрес	Объект
1	0000÷1FFF	ПЗУ
2	4000÷5FFF	ОЗУ
3	C000÷C0FF	0-я позиция, 1-й модуль МДВ
4	C400÷C4FF	1-я позиция, 2-й модуль МДВ
5	C800÷C8FF	2-я позиция, 3-й модуль МДВ
6	CC00÷CCFF	3-я позиция, 4-й модуль МДВ
7	D000÷D0FF	4-я позиция, 5-й модуль МДВ
8	D400÷D4FF	5-я позиция, 6-й модуль МДВ
9	D800÷D8FF	6-я позиция, 7-й модуль МДВ
10	DC00÷DCFF	7-я позиция, модем
11	E000÷E001	Контроллер прерываний
12	E400÷E403	Таймер 1
13	EC00÷EC01	Последовательный интерфейс
14	F400÷F403	Таймер 2

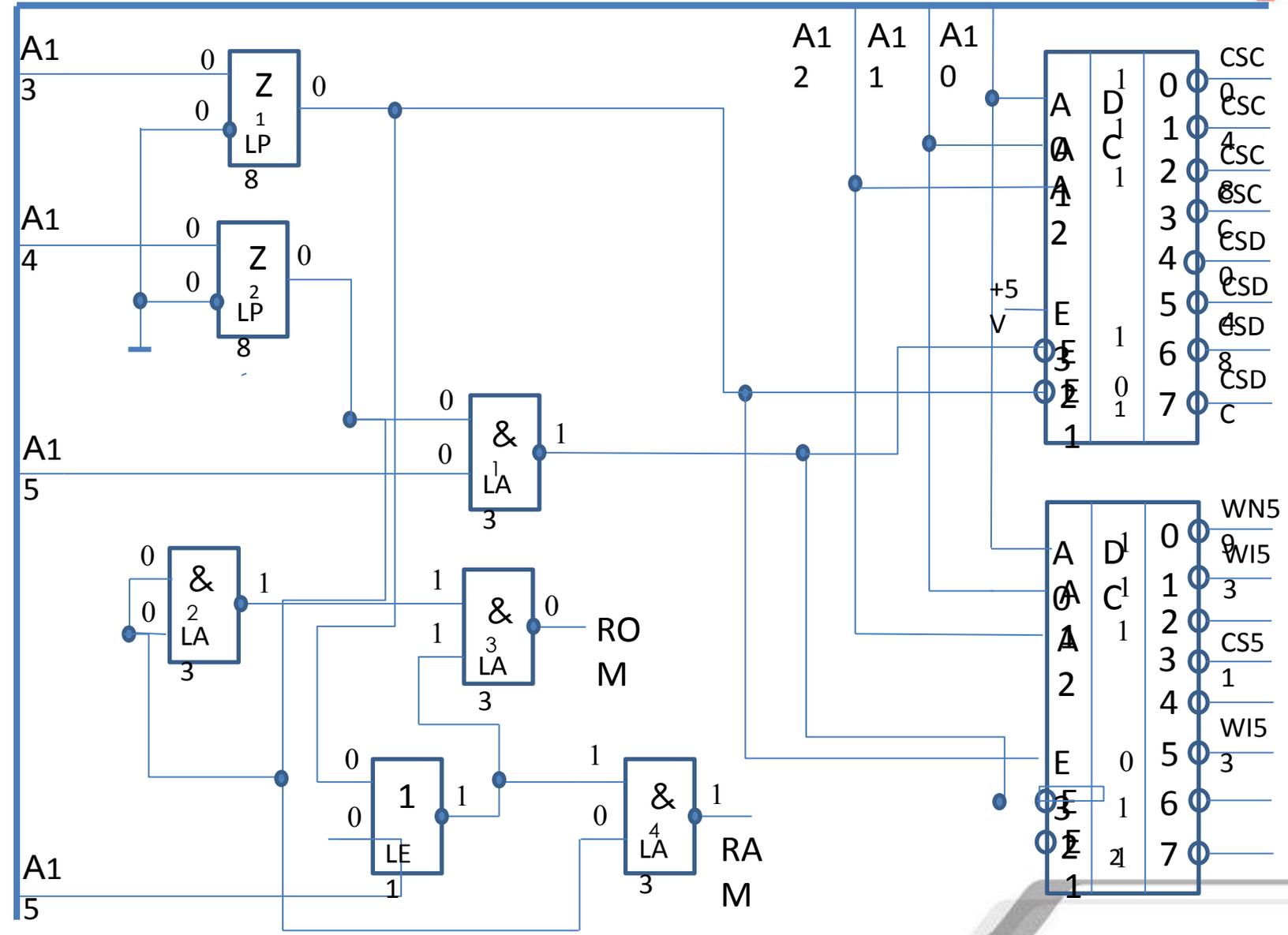


E3, E2, E1 – разрешение/запрет дешифрации
 «запрет» – выходы (0 – 7) = «1»
 Разрешение – 100

Разрешение – «0» на одном выходе в соответствии с таблицей:



A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1



A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
1	1	0	1	1	0	0	0	1	1	1	1	1	1	1	1

