

SyntacoreTM
Custom cores and tools



Открытая архитектура и экосистема RISC-V

СПб НИУ ИТМО
Октябрь 2018

info@syntacore.com
www.syntacore.com

Syntacore: основные факты

Компания - разработчик процессорного IP

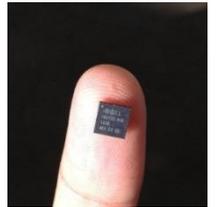
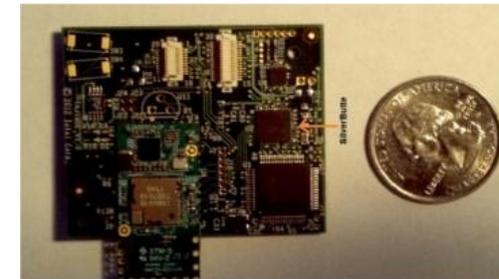
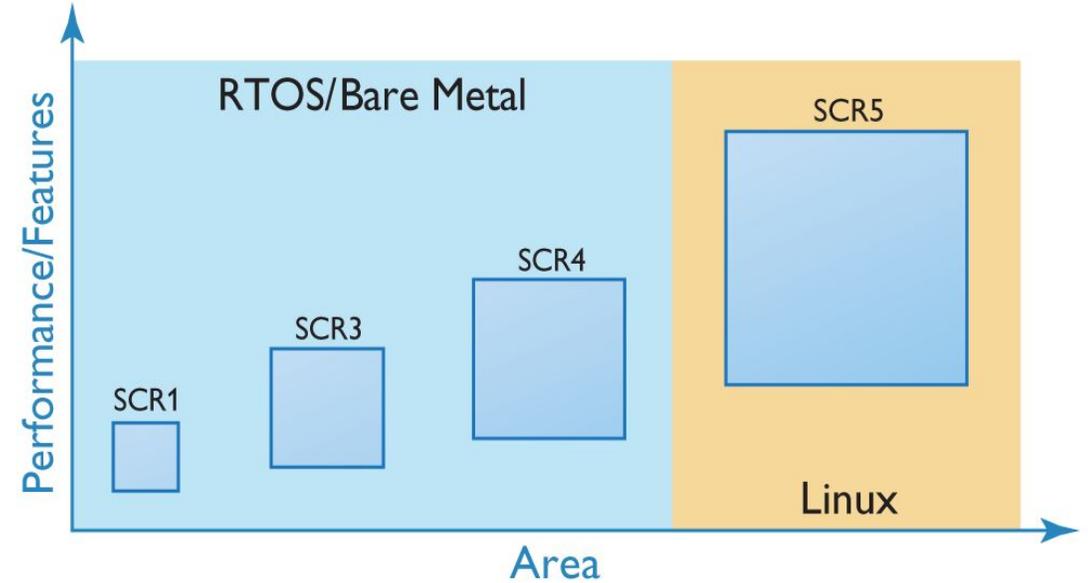
- Основана в 2015 г, офисы в Санкт-Петербурге и Москве
- Более 25 сотрудников, поиск специалистов
- Резидент IT-кластера «Сколково» с 2017 г

Опыт команды

- Более 10 лет в корпоративном R&D (крупнейшая полупроводниковая МНК)
- Разработанные ядра и СнК запущены в массовое производство
- 15+ tapeouts, 180..14 нм
- Более 3 лет опыта с RISC-V ISA (член консорциума)

Основные компетенции

- Высокопроизводительные энергоэффективные ядра и IP
- ASIP технологии и реконфигурируемые архитектуры
- Исследования в областях вычислительных архитектур и свойств алгоритмов
- Компиляторные технологии



Решения Syntacore

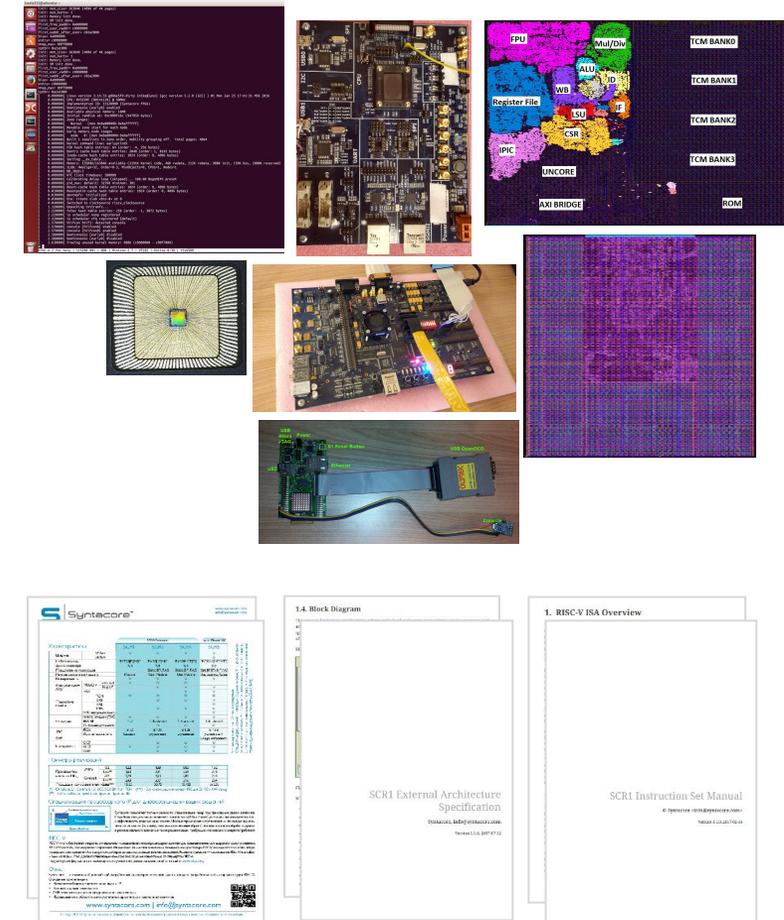
Доступна линейка процессорных ядер с системой команд RISC-V

- 4 процессора, включая IP с открытым кодом, расширение линейки в 2019 году
- SDK, образцы в кремнии, инструменты, документация

Синтезируемое (Soft) IP и/или Топология ИС (Hard/Firm IP)

Сервис по специализации процессорных ядер под задачи заказчика для ускорения/повышения эффективности вычислений (возможность 10x)

Полный цикл поддержки: инструменты, интеграция в СнК, миграция приложений



Что такое RISC-V

RISC-V - это качественный, современный, открытый и свободный стандарт на набор команд процессора (ISA, instruction set architecture)

- 32-, 64-, 128 бит базовые наборы, поддержка расширяемости

Создавать совместимые процессоры разрешено всем

- бесплатная архитектурная лицензия
- в том числе с расширением системы команд

На базе RISC-V возможны как открытые, так и проприетарные имплементации

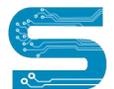
Стандарт управляется RISC-V Foundation

- отраслевая non-profit ассоциация по типу PCI-SIG и USB-IF
- открытость и невозможность контроля со стороны отдельных компаний

Консорциум RISC-V (RISC-V Foundation)



RISC-V Foundation: 100+ Members



Принципы организации консорциума

- Основан в августе 2015 как некоммерческая организация, Устав утвержден в декабре 2016
- Цель – развитие и продвижения стандарта RISC-V
- Стандарт RISC-V ISA и другие относящиеся стандарты должны оставаться открытыми и бесплатным (license-free) для всех
- RISC-V ISA спецификации должны быть всегда доступны для всех для онлайн загрузки
- Тесты совместимости (compliance tests) должны быть всегда доступны для всех в исходных кодах
- Для защиты стандарта, только члены RISC-V консорциума (с коммерческими RISC-V продуктами) могут использовать товарный знак RISC-V и только для устройств, которые пройдут тестирование с использованием публично-доступных тестов совместимости



Отличительные черты RISC-V ISA

7

Простота

- Существенно меньше, чем другие коммерческие ISA

Разработана с чистого листа, отсутствие legacy

- Четкое разделение вычислительной (user) и системной (privileged) частей набора команд
- Имплементационная нейтральность (отсутствие микроархитектурно- или технологически- обусловленных свойств)

Модульная структура с поддержкой расширяемости/специализации

- Небольшой базовый набор команд с набором стандартных расширений
- Разумное управление кодированием команд, существенное резервирование

Стабильность

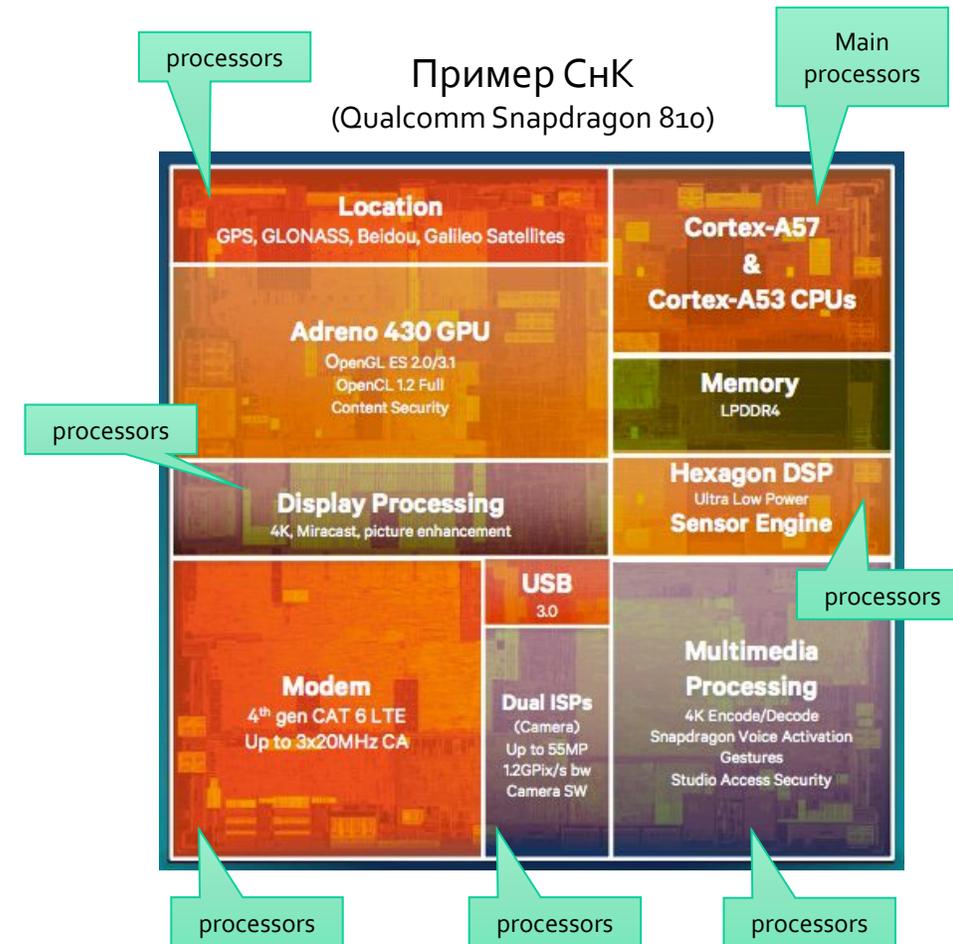
- Базовый набор и стандартные расширения зафиксированы
- Добавление функциональности через расширения, не выпуск новых версий

Управляется пользователями ISA

- Разработана с участием ведущих профильных ученых и экспертов из промышленности

Что меняет RISC-V

- Решает проблему зависимости целых отраслей от решений и политики конкретных компаний
- Инновации на уровне процессорной технологии становятся доступны для широкого круга компаний-производителей
- Существенно уменьшается полная стоимость разработки специализированных процессорных технологий
- Общее уменьшение затрат на разработку
 - Стоимость лицензий - открытая конкуренция производителей IP
 - Стандартизация SW
- Возможность создания по-настоящему эффективных гетерогенных систем с единой программной моделью



Недавние события

Ряд крупнейших компаний объявили о переходе на RISC-V в собственных СнК:

- Microsemi
- Nvidia
- Western Digital

RISC-V становится основой учебных программ по CS/EE направлению во многих университетах

Существенное внимание на основных профильных конференциях (EW, DAC, Hotchips, SOCconf, MICRO, Linley processor conference)

Более ста компаний по всей цепи производства ИС составляют стратегические планы с учетом существования RISC-V

WESTERN DIGITAL TO ACCELERATE THE FUTURE OF NEXT-GENERATION COMPUTING ARCHITECTURES FOR BIG DATA AND FAST DATA ENVIRONMENTS

San Jose and Milpitas, Ca – November 28, 2017

Company to Transition Consumption of Over One Billion Cores Per Year to RISC-V to Drive Momentum of Open Source Processors for Data Center and Edge Computing



Поставщики RISC-V IP

Коммерческие:

- Andes Technology (2)
- Cudasip (3)
- Cortus (1)
- C-SKY(**)
- Esperanto technologies (**)
- Roa-logic (1)
- Microsemi (1)
- SiFive (3*)
- Syntacore (4)

(*) Генерируются на основе Rocket

(**) Объявлены планы, дата доступности TBD

С открытым кодом:

- Rocket by SiFive <https://github.com/freechipsproject/rocket-chip>
- SCR1 by Syntacore <https://github.com/syntacore/scr1>
- PULPino by EZTH <http://www.pulp-platform.org>
- picoRV32 by Clifford Wolf <https://github.com/cliffordwolf/picorv32>
- SODOR by USB-BAR <https://github.com/ucb-bar/riscv-sodor>
- rv12* by Roa-logic <https://github.com/RoaLogic/RV12>
- ORCA by vectorblox <https://github.com/vectorblox/orca>
- SHAKTI by IIT Madras https://bitbucket.org/casl/shakti_public
- f32c by University of Zagreb <https://github.com/f32c/f32c>

(*) Некоммерческая лицензия

Национальные программы

- Индия: выбрала RISC-V национальным стандартом на ISA элементной базы
- США: агентство DARPA указывает RISC-V в списке требований по ряду программ
- Израиль: ИА (Israel Innovation Authority) объявило о создании проекта GenPro на основе RISC-V (общая процессорная платформа)
- Программы в ряде стран - на разных стадиях рассмотрения

*"If your country wishes to control security of its own information infrastructure,
and further its own domestic semiconductor industry,
sponsor RISC-V"*

Krste Asanovich, CotB RISC-V Foundation



Дополнительные ресурсы по RISC-V

- Foundation: <https://riscv.org/>
 - Specifications: <https://riscv.org/specifications/>
 - GitHub: <https://github.com/riscv>
 - Mailing Lists: <http://riscv.org/mailling-lists>
- Open-source SCR1 core: <https://github.com/syntacore/scr1>
- RISC-V Workshop Proceedings: <http://riscv.org/category/workshops/proceedings>
- Stack Overflow: <http://stackoverflow.com/questions/tagged/riscv>
- “The Case for Open Instruction Sets”, Microprocessor Report
- “RISC-V Offers Simple, Modular ISA”, Microprocessor Report
- “An Agile Approach to Building RISC-V Microprocessors”, IEEE Micro41



Возможности

- С 2017 года запущен учебный курс “Организация и Проектирование Систем-на-Кристалле” в НИУ ИТМО с участием специалистов компании Syntacore
- Возможность практики и стажировок в компании Syntacore
- Сотрудничество с исследовательскими группами в мировых университетах (UC Berkeley, Cambridge University, ETH Zurich, University of Bologna, ICT, IIT Madras и др.)