НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ
ТОМСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИСТЕТ

Схемотехника ЭВМ

Лекция №1.
Дисциплина Схемотехника ЭВМ.
Понятие, классификация интегральной схемы.
Элементы транзисторно-транзисторной логики

Мальчуков Андрей Николаевич

Томск – 2014

Структура курса

- 7 лабораторных работы (30 б.);
- коллоквиум (10 б., 1-ая конференц-неделя 07.04.2014);
- 1 индивидуальное задание (10 б., 2-ая конференц-неделя 09.06.2014);
- 10 б. за посещение всех лекций, лабораторных и практических занятий.
- 10 б. дополнительных ($\sum \leq 60$ б.) – за успеваемость в семестре и работу на практических занятиях;
- 5 практических занятий (решение типовых задач);
- 11 лекций.

Основные ресурсы

- ftp://ftp.vt.tpu.ru/study/Malchukov/public/Schem/

- Базовая литература.doc;
- Вопросы (теория).doc;
- Пример титульного листа ИДЗ 8В1Х.doc;
- Пример титульного листа ЛБ 8В1Х.doc;
- Метод.ук.ЛБ_Схемотехника.pdf;
- IDZ.url (ссылка на ИДЗ);
- Справочники (папка);
- Лекции (папка);

- schem_131017.pdf (учебное пособие).

Экзамен

Допуск

- min 33 б. + 7 ЛБ.

Билет

- 1) 3 задачи (30 б.) – решение в течение max 2-х часов.
- 2) 1 теоретический вопрос из списка (10 б.) – устно.
- min 22 б.

Оценка

- 55 – 69 удовл.
- 70 – 89 хорошо
- 90 – 100 отлично

Место дисциплины

МПС, КТОП, Методы проектирования СЛУ

Схемотехника ЭВМ

Дискретная математика, Теория информации, Информатика, Электротехника, Электроника

Математика, Физика

Интегральные схемы (ИС)

- Изобретены в США в 1959 г. (Integrated Circuit – IC).
- Составляют основу элементной базы цифровых устройств (ЦУ).
- ИС по уровню интеграции: МИС, СИС, БИС, СБИС.
- ИС – представляет собой микроэлектронное устройство, рассматриваемое как единое изделие, содержащее, как правило, большое количество взаимосвязанных компонентов (транзисторы, диоды, конденсаторы, резисторы), изготовленная в едином технологическом цикле (одновременно) на одной и той же несущей конструкции (подложке) и выполняющая определенную функцию преобразования данных.

Понятие ИС и метод её изготовление

- Элементы ИС (интегральные элементы) – компоненты, входящие в состав ИС, которые не могут быть выделены из неё в качестве самостоятельных изделий.
- Групповой метод – на одной пластине полупроводникового (ПП) материала одновременно изготавливается большое количество ИС, одновременно обрабатывается несколько пластин.
- Отдельные кристаллы (chip) – получают после завершения определенных циклов изготовления, когда ПП разрезается в двух взаимно перпендикулярных направлениях.
- Корпусирование – помещение ИС в корпус с присоединением лазерной сваркой контактных площадок к ножкам (pin) ИС.

Составляющие стоимости ИС и пути ее уменьшения

$$D = \frac{1}{xy}\left(\frac{A+B}{z} + C\right)$$

- A – затраты на НИОКР по созданию ИС;
- B – затраты на технологическое оборудование, помещение и др.;
- C – текущие расходы на материалы, электроэнергию, зарплату в пересчете на одну пластину;
- z – количество чипов на пластине;
- y – отношение годных ИС к количеству запущенных в производство;
- x – количество кристаллов на пластину.

Типы интегральных схем по технологическому признаку

- Полупроводниковая ИС – ИС, все элементы и межэлементные соединения которой выполнены в объеме и на поверхности ПП кристалла.

- Гибридная ИС – ИС содержат элементы, компоненты и кристаллы, а также межэлементные соединения, размещенные на поверхности диэлектрической подложки.

- Пленочные ИС – содержат элементы и межэлементные соединения, выполненные на поверхности диэлектрической подложки.

Функциональная сложность ИС

- Степень интеграции: K = lgN, где N – число транзисторов.

- МИС – К ≤ 2 (IC, Integrated Circuit, малой степени интеграции – SSI (small scale integration));

- СИС – 2 < K ≤ 3 (средней степени интеграции – MSI (medium scale integration) , для аналоговых схем N < 500);

- БИС – 3 < K ≤ 5 (большой степени интеграции – LSI (large scale integra-tion) для аналоговых N > 500);

- СБИС – 5 < K (сверх большой степени интеграции – VLSI (very large scale integration)).

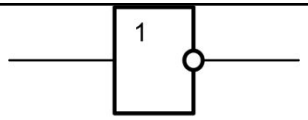
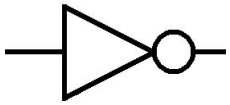
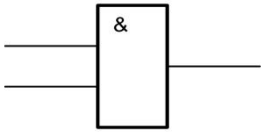
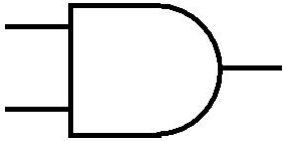
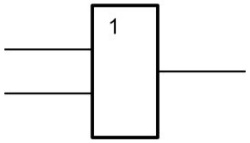
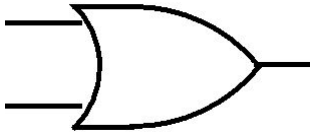
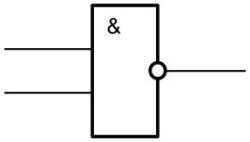
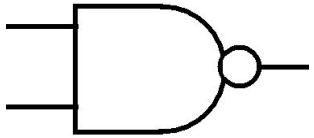
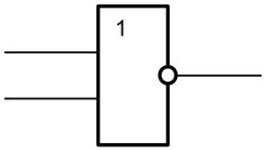
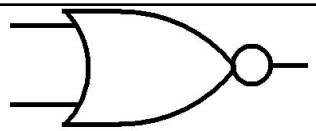
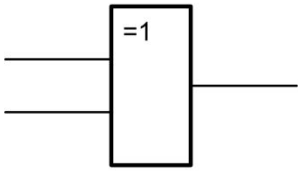
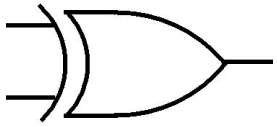
Понятие серии ИС

- Серия ИС – совокупность типов ИС, обладающих конструктивной, электрической и при необходимости информационной и программной совместимостью, предназначенных для совместного применения.

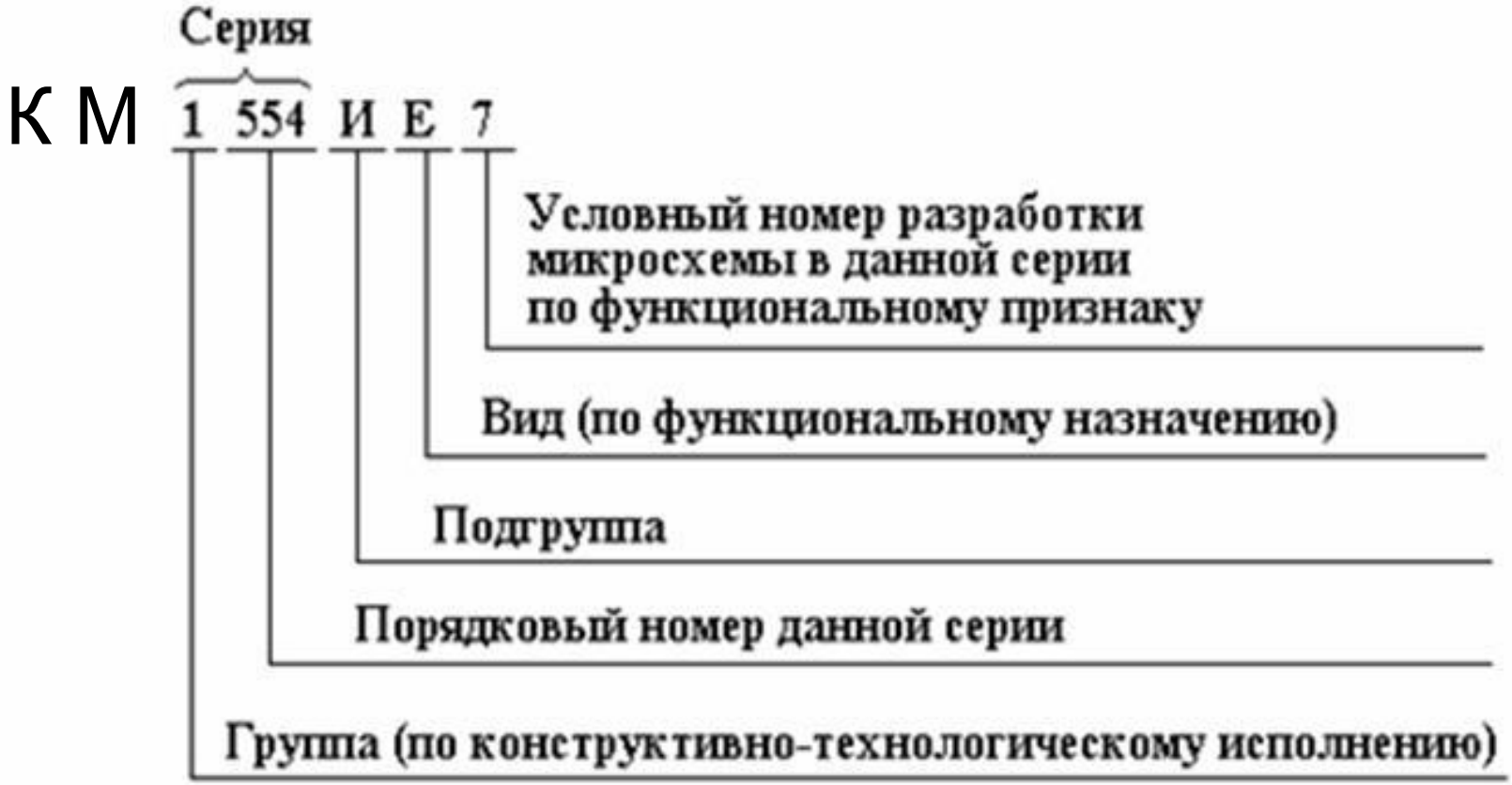
- Тип ИС – ИС конкретного функционального назначения и определенного конструктивного технологического и схемотехнического решения, имеющая свое условное обозначение.

- Типономинал ИС – ИС определенного типа, различающиеся по 1 или более параметрами и требованиями к внешним воздействующим факторам.

Условно графическое обозначение (УГО) логических элементов (ЛЭ)

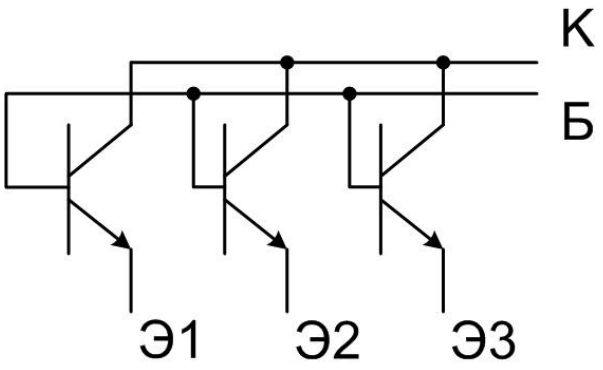
Логическая функция	Шифр функции в серии / международное обозначение	УГО	
		отечественное	международное
НЕ	ЛН / NOT		
И	ЛИ / AND		
ИЛИ	ЛЛ / OR		
И-НЕ	ЛА / NAND		
ИЛИ-НЕ	ЛЕ / NOR		
Исключающее ИЛИ	ЛП / XOR		

Условное обозначение ИС



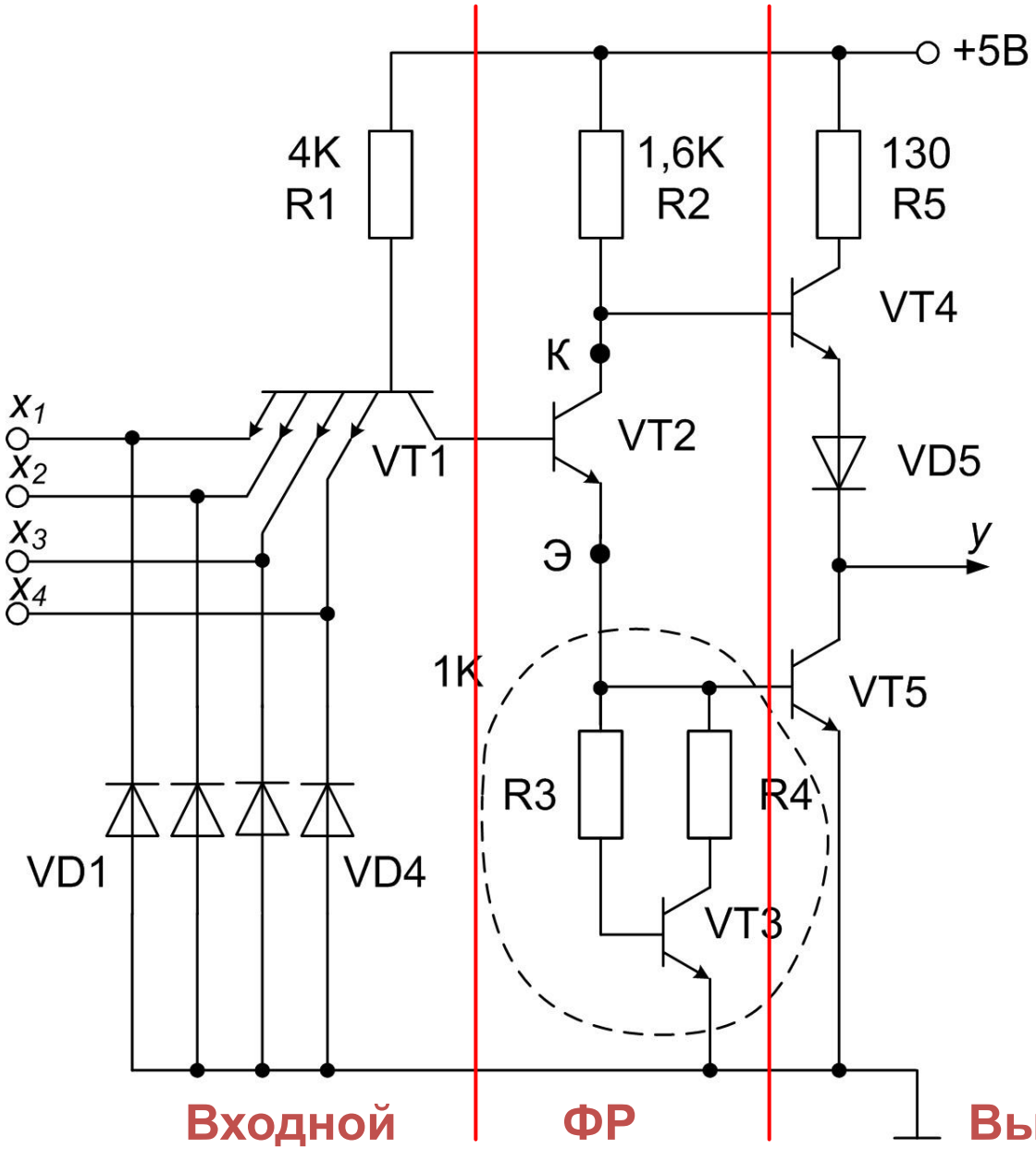
- КР 1533 ЛА3 – 4 ЛЭ 2-х вх. И-НЕ

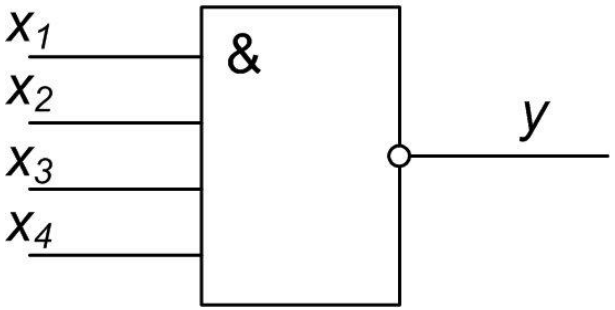
Элементы транзисторно-транзисторной логики (ТТЛ)



- Многоэмиттерный транзистор – биполярный транзистор с несколькими эмиттерами (2, 3, 4, 8), объединенных общей базой. Эмиттеры расположены так, что непосредственное взаимодействие между ними через участок базы отсутствует.

Базовый элемент (БЭ) ТТЛ





КАСКАДЫ:

входной

*R*1, *VT*1, *VD*1 – *VD*4;

фазорасщепительный

*R*2, *VT*2, *R*3, *R*4, *VT*3;

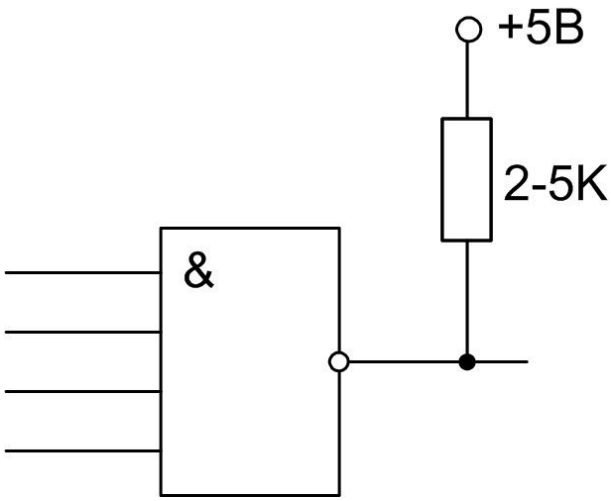
выходной

*VT*4, *VT*5, *VD*5, *R*5

К, Э – расширения по ИЛИ

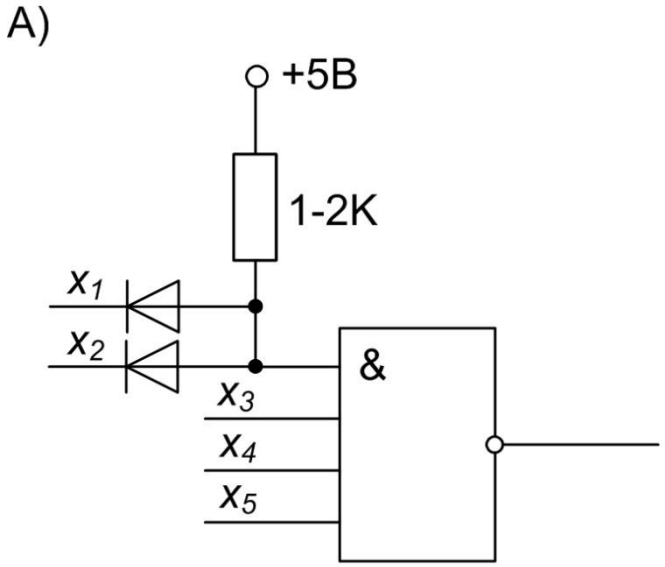
Повышения уровня выходного напряжения и фильтрующие С

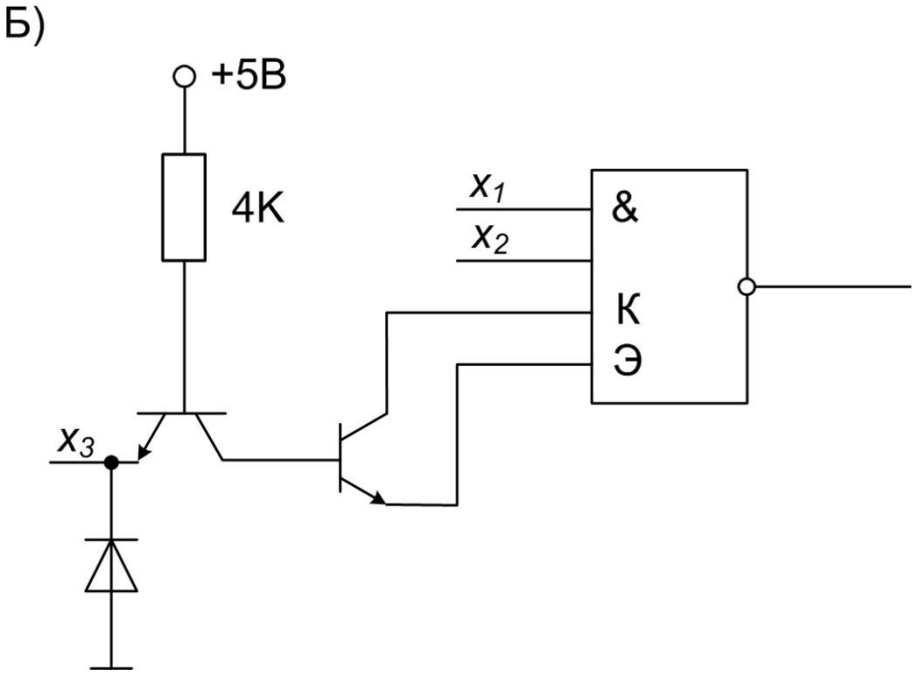
$$U^{1}{}_{out} = U_{vcc} - I_{out} \cdot R_5 - U_{c\text{channelVT4}} - U_{VD5} \approx 3{,}4 - 3{,}6\hat{A}$$



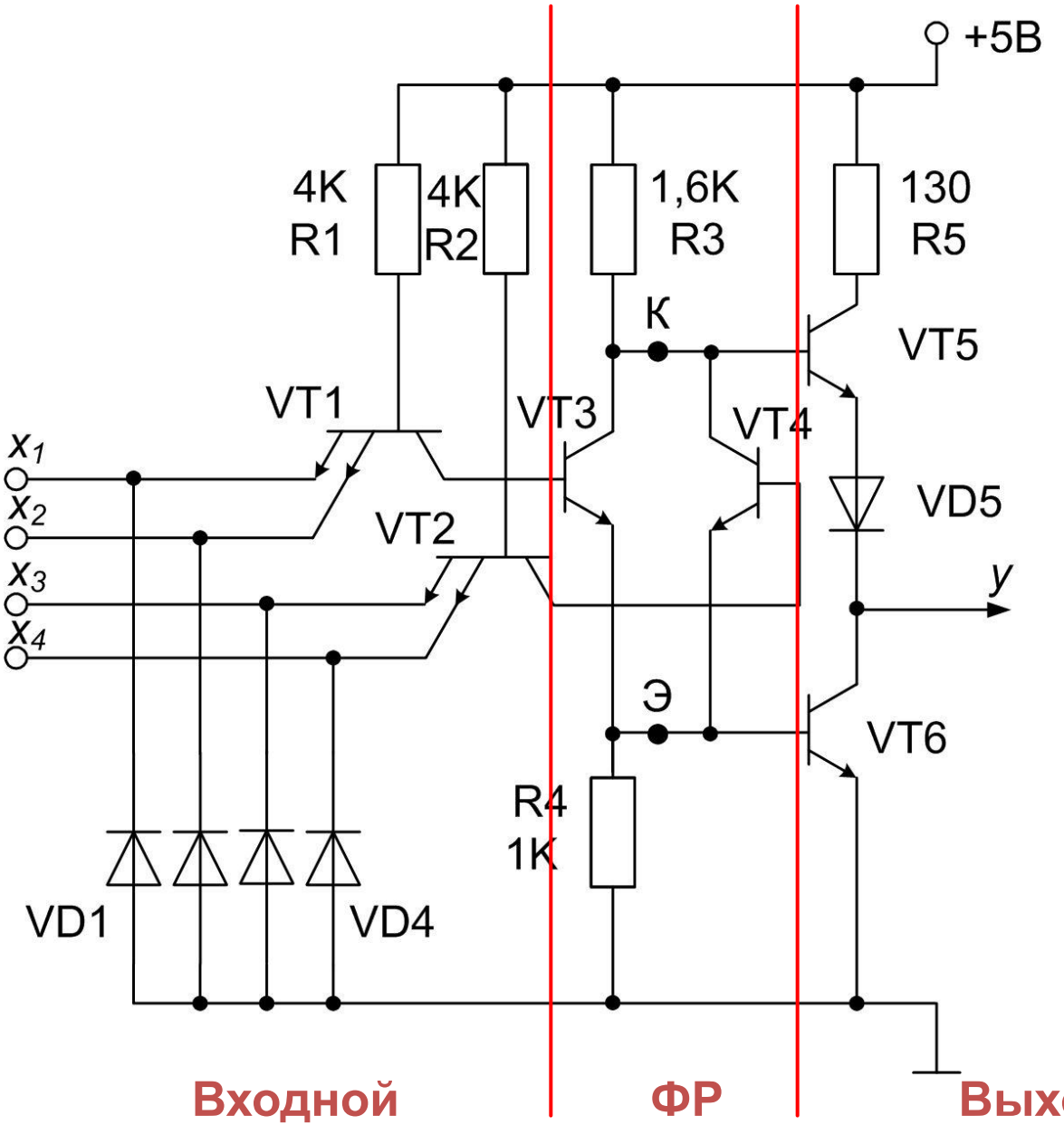
- Фильтрующие конденсаторы: керамический конденсатор возле каждого корпуса ИС емкостью из расчета 0,01 мкФ на корпус ИС и один электролитический 0,1 мкФ на плате.

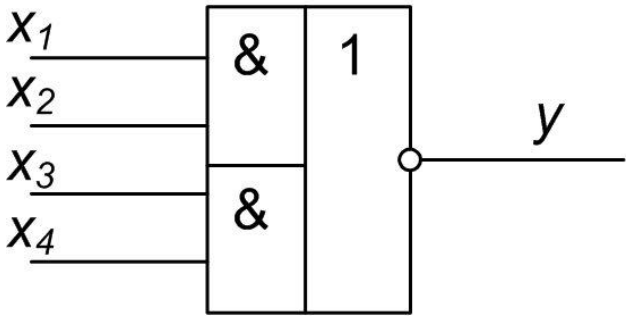
Расширение схем по И, ИЛИ





ЛЭ 2И-2ИЛИ-НЕ





КАСКАДЫ:

входной

*R*1-2, *VT*1-2, *VD*1 – *VD*4;

фазорасщепительный

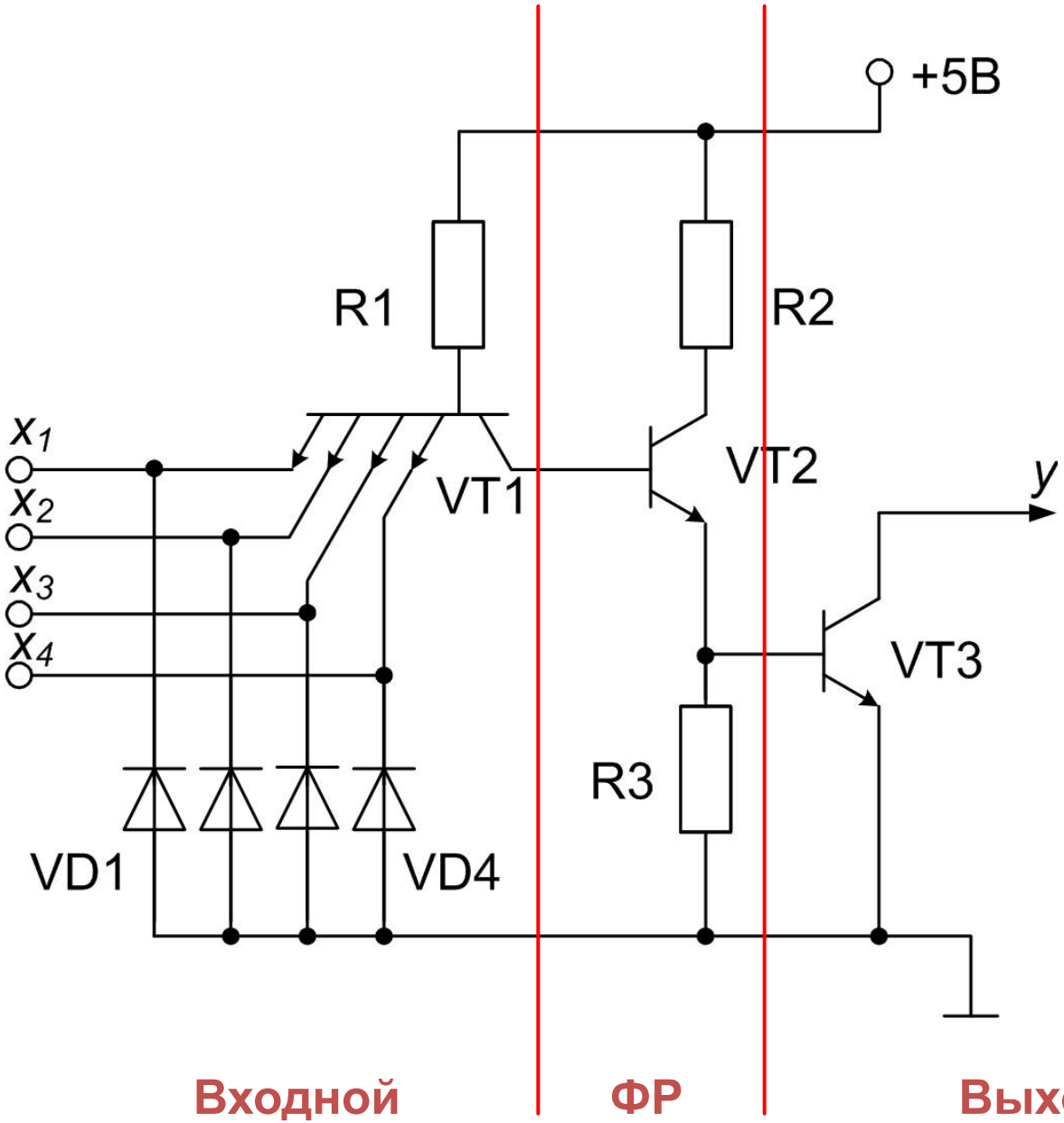
R3, *VT3-4*, *R*4;

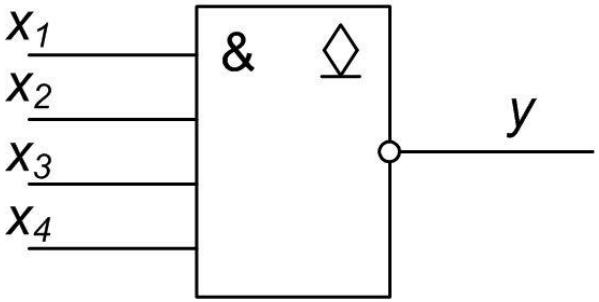
выходной

*R*5, *VT*5, *VT*6, *VD*5

Входной **ФР** **Выходной**

ЛЭ с открытым коллектором (ОК)





КАСКАДЫ:

входной

*R*1, *VT*1, *VD*1 – *VD*4;

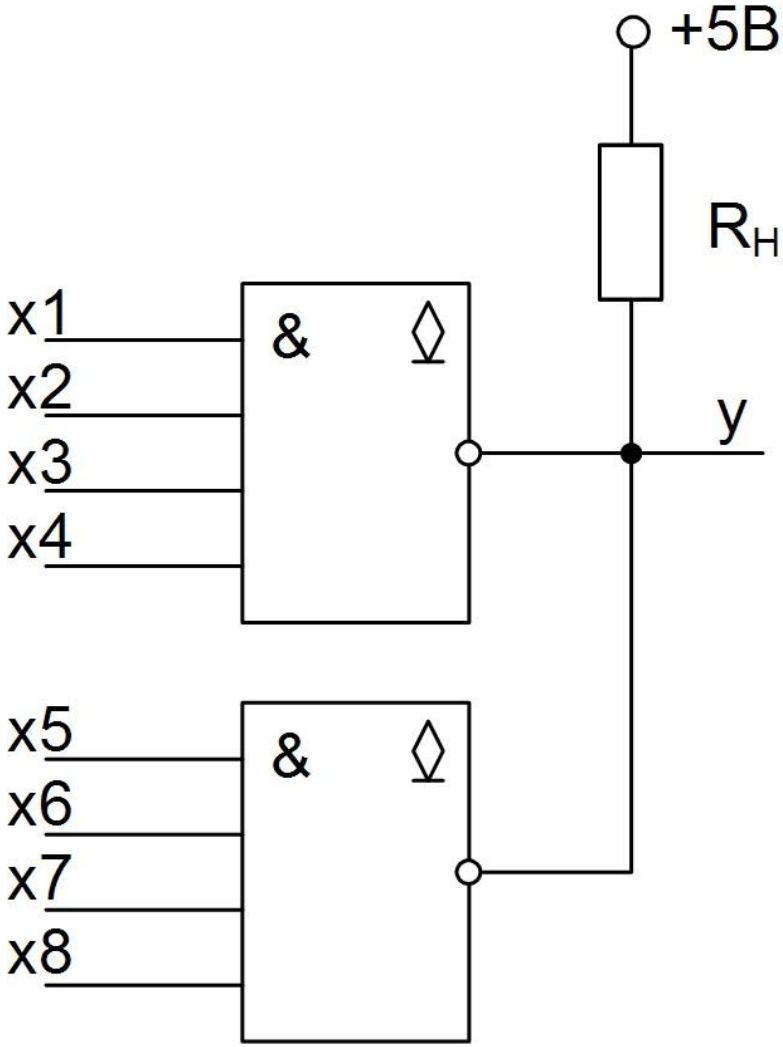
фазорасщепительный

*R*2, *VT*2, *R*3;

выходной

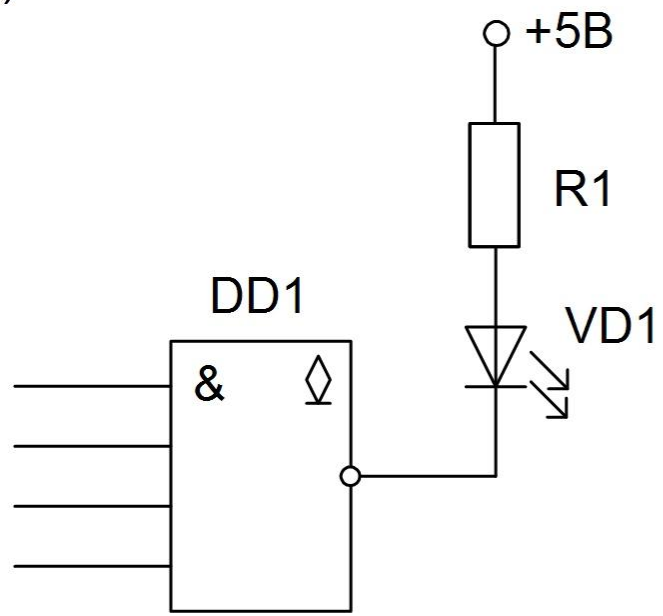
*VT*3

Монтажное И ЛЭ с ОК

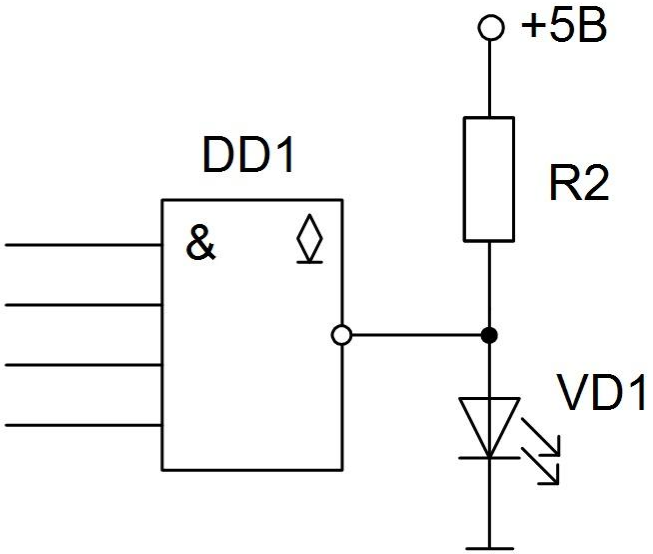


Подключение индикации к ЛЭ с ОК

А)



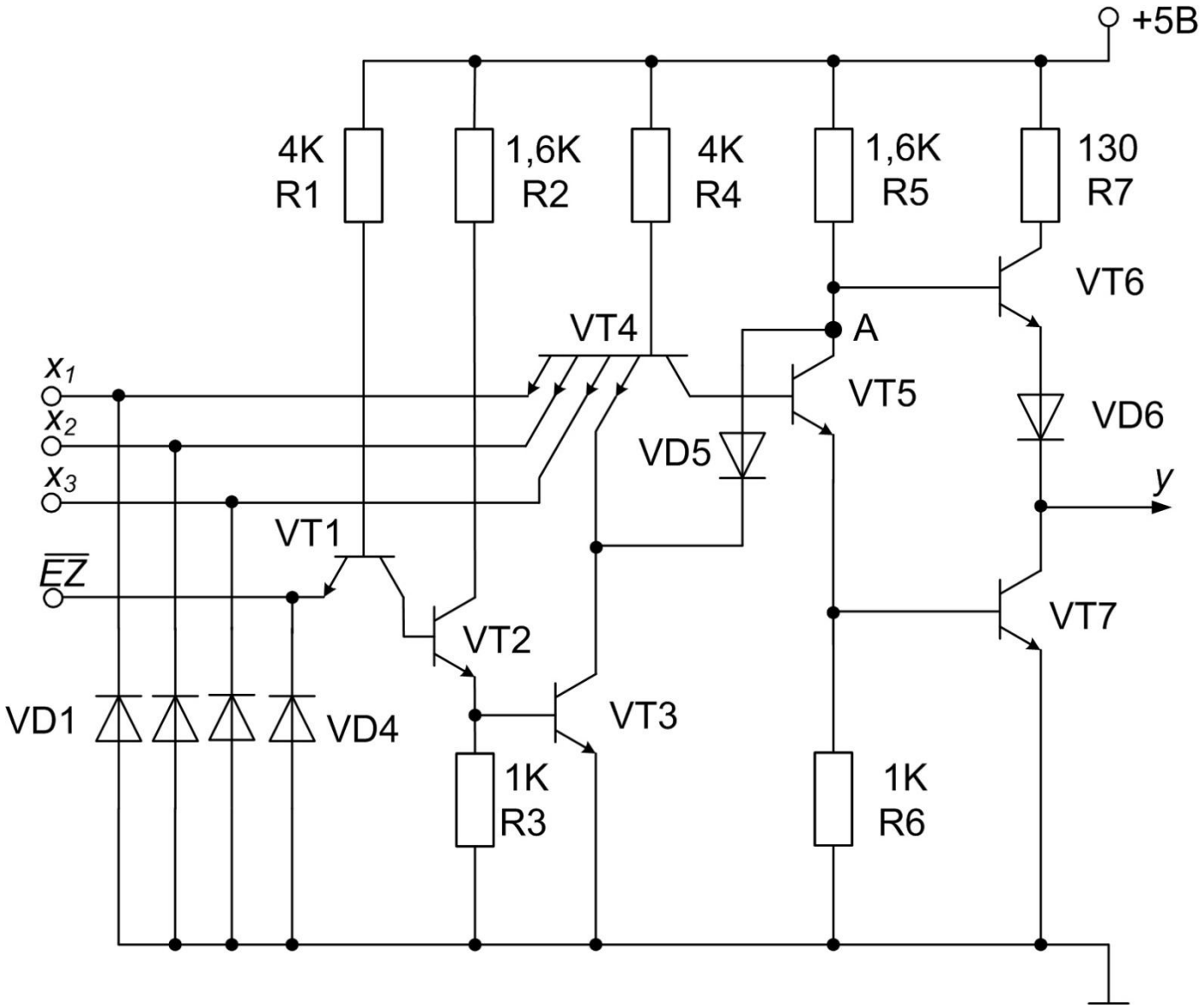
Б)



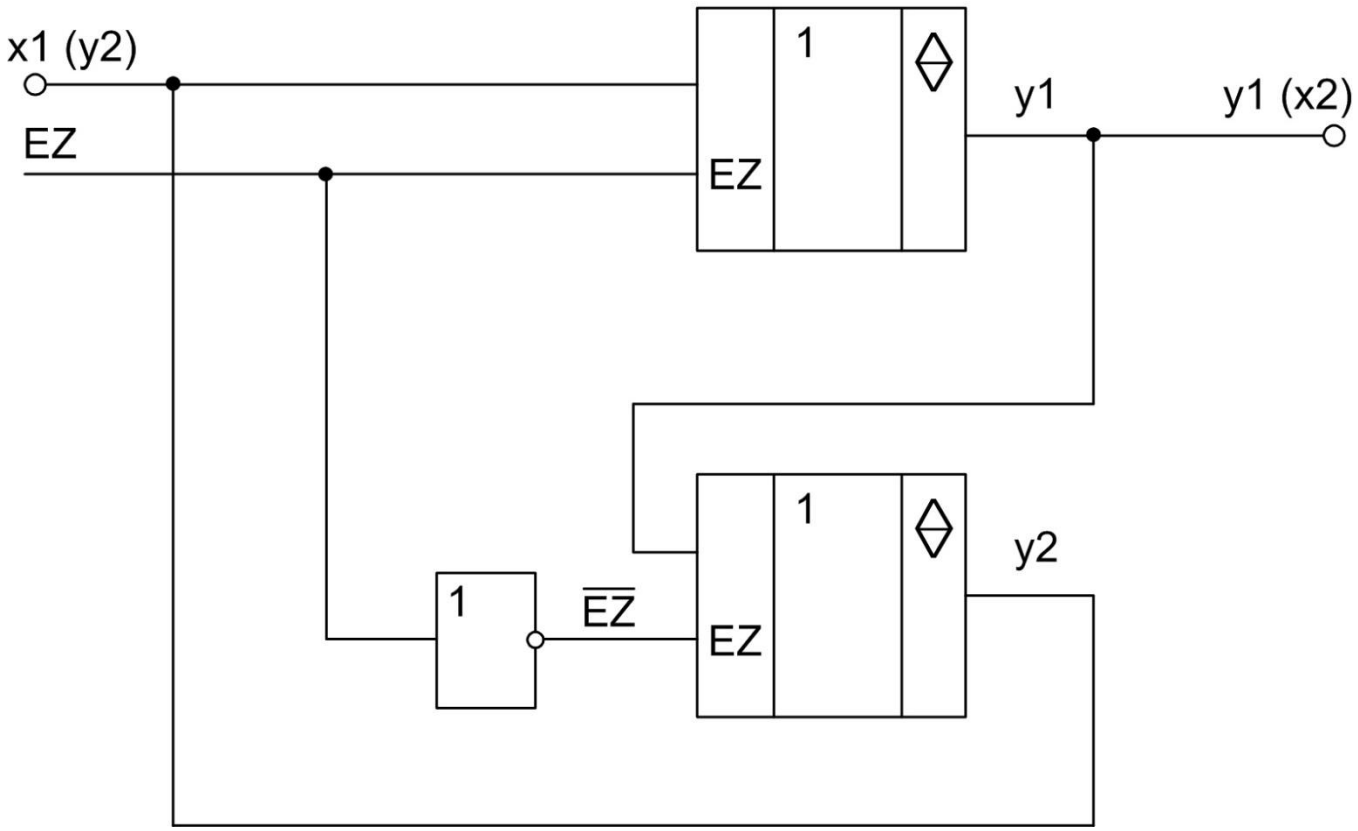
$$R1 = \frac{U_{vcc} - U_{VD1} - U_{DD1}}{I_{VD1\max} \cdot 0{,}8}$$

$$R2 = \frac{U_{vcc} - U_{VD1}}{I_{VD1\max} \cdot 0{,}8}$$

ЛЭ с тремя состояниями выхода



Пример применения ЛЭ с 3-мя состояниями выхода



НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ
ТОМСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИСТЕТ

Схемотехника ЭВМ

Лекция №1.
Дисциплина Схемотехника ЭВМ.
Понятие, классификация интегральной схемы.
Элементы транзисторно-транзисторной логики

Мальчуков Андрей Николаевич

Томск – 2013