

Аппаратная реализация

- Преобразование из аналогового видеосигнала в цифровой
- Запись цифрового видеосигнала
- Воспроизведение цифрового видеосигнала
- Редактирование цифрового видеосигнала
- Хранение цифрового видеосигнала
- Передача цифрового видеосигнала
- Прием цифрового видеосигнала
- Преобразование из цифрового видеосигнала в аналоговый

Аппаратная реализация

- PC-based
- Non-PC-based

- Программное сжатие
- Аппаратное сжатие

Non-PC-based

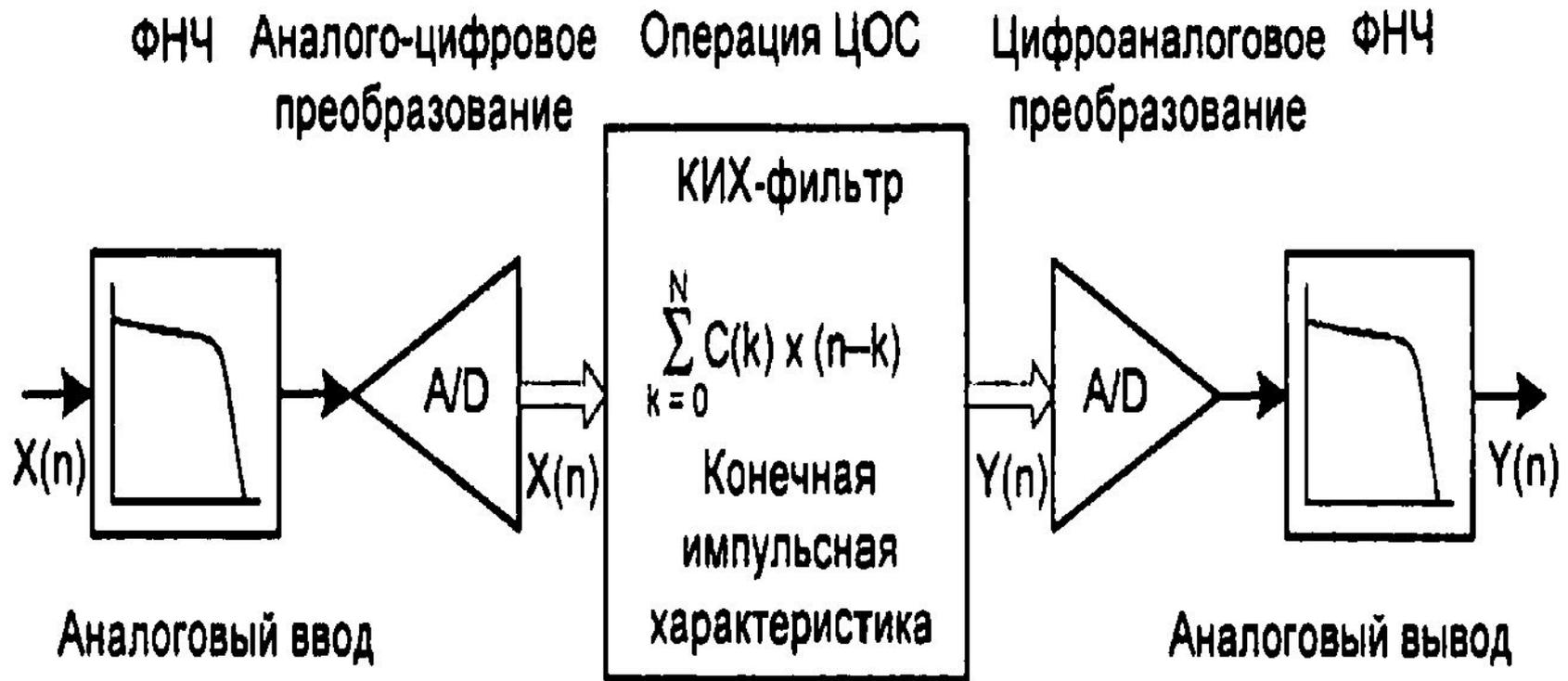
- Цифровые сигнальные процессоры
- Устройства на основе программируемых логических матриц
- Специализированные процессоры и элементная база

Цифровые сигнальные процессоры

Цифровая обработка сигнала (ЦОС) – это арифметическая обработка в реальном масштабе времени последовательности значений амплитуды сигнала, получаемых через равные временные промежутки [114]. Примерами цифровой обработки являются:

- ❑ фильтрация сигнала;
- ❑ свертка двух сигналов (смещение сигналов);
- ❑ вычисление значений корреляционной функции двух сигналов;
- ❑ усиление, ограничение или трансформация сигнала;
- ❑ прямое/обратное преобразование Фурье сигнала.

Цифровые сигнальные процессоры



Цифровые сигнальные процессоры

Приняты обозначения:

- T — блок задержки на 1 такт;
- × — блок умножения;
- + — блок сложения.

Для эффективной реализации алгоритмов цифровой фильтрации необходима аппаратная поддержка базовых операций ЦОС: умножения с накоплением (MAC — Multiplication Accumulation), модульной адресной арифметики, нормировки результатов арифметических операций.

Другим часто выполняемым преобразованием сигнала является дискретное преобразование Фурье (прямое и обратное) [115].

Цифровые сигнальные процессоры

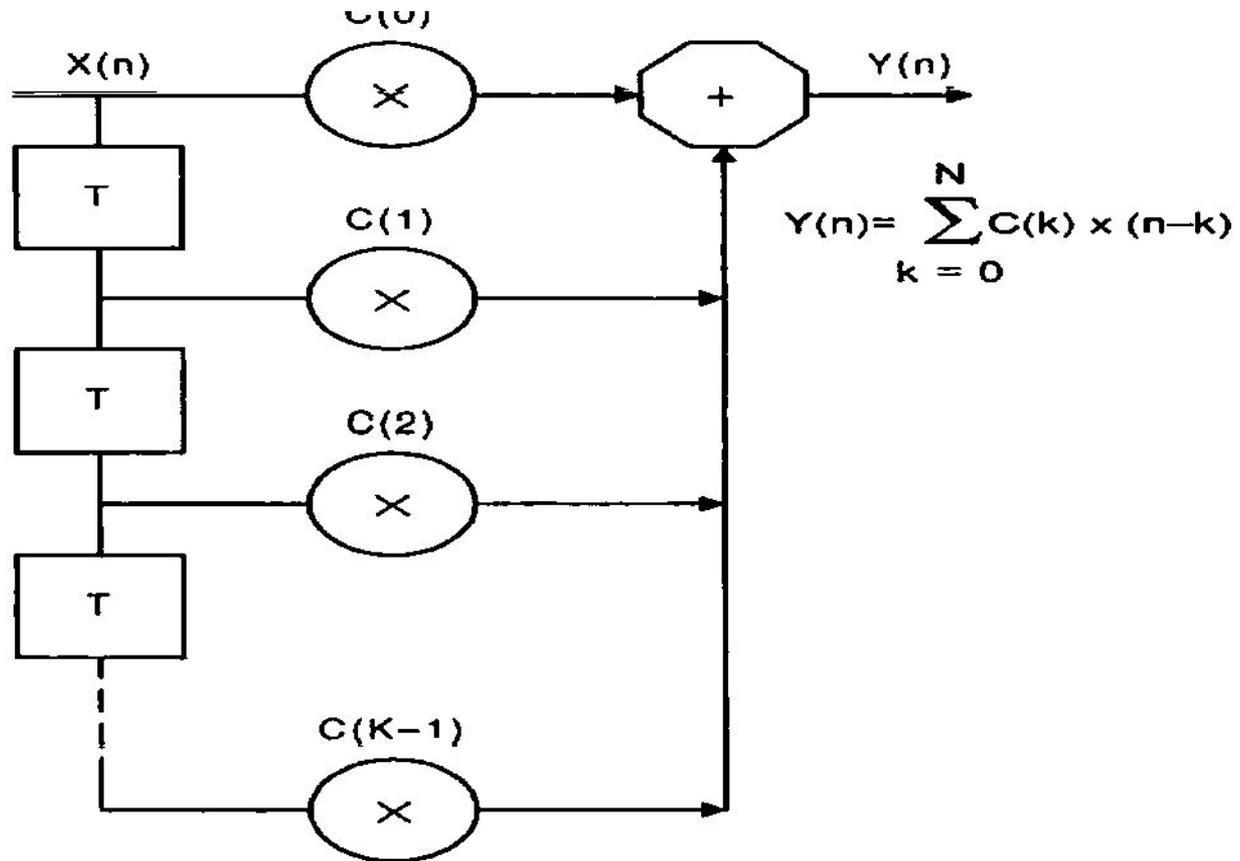


Рис. 3.3. Структура каскада КИХ-фильтра

Цифровые сигнальные процессоры

В большинстве реальных приложений рассмотренные базовые алгоритмы цифровой обработки сигналов должны выполняться в режиме реального времени, что предъявляет повышенные требования к производительности

реализующего их процессора. Аппаратная поддержка базовых операций алгоритмов цифровой обработки сигналов является характерной особенностью сигнальных процессоров.

Цифровые сигнальные процессоры

Для построения систем цифровой обработки сигналов используются специализированные микропроцессоры — цифровые сигнальные микропроцессоры. Невозможность или неэффективность применения для решения задач ЦОС универсальных микропроцессоров связана, с одной стороны, их низкой производительностью на указанных задачах, а с другой стороны — с их чрезмерной избыточностью для данных задач.

Для цифровой обработки сигналов используются так называемые сигнальные микропроцессоры. К их особенностям относятся малоразрядная (40 и менее разрядов) обработка чисел с плавающей точкой, преимущественное использование чисел с фиксированной точкой разрядности 32 и менее, а также ориентация на несложную обработку больших массивов данных.

Цифровые сигнальные процессоры

Отличительной особенностью задач цифровой обработки сигналов является поточный характер обработки больших объемов данных в реальном режиме времени, требующий высокой производительности процессора и обеспечения возможности интенсивного обмена с внешними устройствами. Соответствие данным требованиям достигается в настоящее время благодаря специфической архитектуре сигнальных процессоров и проблемно-ориентированной системе команд.

Цифровые сигнальные процессоры

Новое семейство процессоров ЦОС компании Texas Instruments — TMS320C6x — включает в себя процессоры как с фиксированной, так и с плавающей точкой [128—130]. Первый представитель данного семейства TMS320C6201 оперирует с данными только в формате с фиксированной точкой.

На тактовой частоте 200 МГц микропроцессор имеет производительность до 1,6 млрд операций в секунду. Областями его применения являются:

- беспроводные системы передачи данных;
- средства удаленной медицинской диагностики;
- базовые станции мобильной связи;
- модемные пулы и серверы удаленного доступа;
- xDSL и кабельные модемы;
- многоканальные телефонные платформы, офисные коммутаторы, системы речевой передачи сообщений;
- мультимедийные системы.

Цифровые сигнальные процессоры

Построенный в соответствии с разработанной компанией Texas Instruments архитектурой VelociTI, процессор 'С62хх – первый из сигнальных VLIW-процессоров, использующий для повышения производительности параллелизм уровня команд.

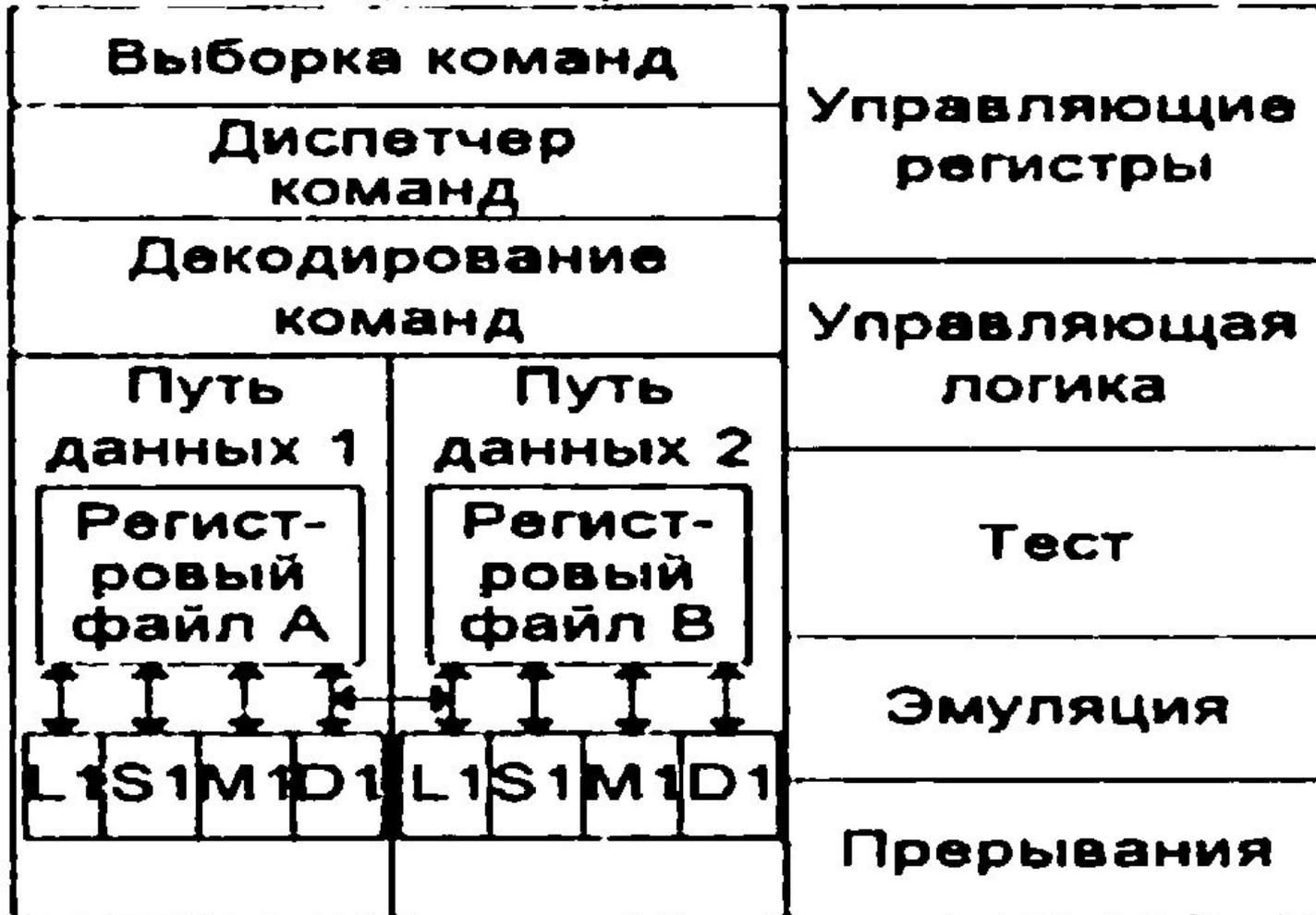
Структура микропроцессора TMS320C6201 приведена на рис. 3.17.

Процессор TMS320C6201 состоит из трех основных частей: центрального процессора (ядро), периферийных устройств и памяти.

Цифровые сигнальные процессоры

Цифровые сигнальные процессоры

Ядро ЦПУ С6201



Цифровые сигнальные процессоры

Ядром TMS320C6201 является VelocITI VLIW-процессор с 8 функциональными модулями, включая 2 умножителя и 6 АЛУ. Модули взаимодействуют через два регистровых файла, содержащих по 16 32-разрядных регистров. ЦП может выполнять до 8 команд за один такт.

Программный параллелизм выявляется на этапе компиляции, анализ зависимости по данным аппаратными средствами на стадии выполнения не производится. Код выполняется на независимых функциональных устройствах в последовательности, задаваемой программой.

Цифровые сигнальные процессоры

В процессоре используется упаковка команд, сокращающая размеры кода и время выборки команд. 256-разрядная шина памяти программ позволяет выбирать за один такт восемь 32-разрядных команд. Все команды содержат условия их выполнения, что позволяет сократить расходы производительности процессора на выполнение переходов и увеличить степень параллелизма обработки.

Цифровые сигнальные процессоры

Центральный процессор имеет два тракта обработки данных, каждый из которых содержит функциональные модули (L, S, M, D) и регистровый файл (16 32-разрядных регистров). Функциональные модули выполняют сдвиг, умножение, логические и адресные операции. Все операции выполняются над регистрами. Два набора устройств адресации данных (D1 и D2) отвечают исключительно за все пересылки данных между регистровым файлом и памятью. Управляющий регистровый файл определяет различные аспекты функционирования процессора.

Процесс обработки VLIW начинается с выборки из памяти команд 256-битного пакета. Команды связываются для совместного выполнения в выполняемый пакет (до 8 команд) по значению младшего бита команды.

Цифровые сигнальные процессоры

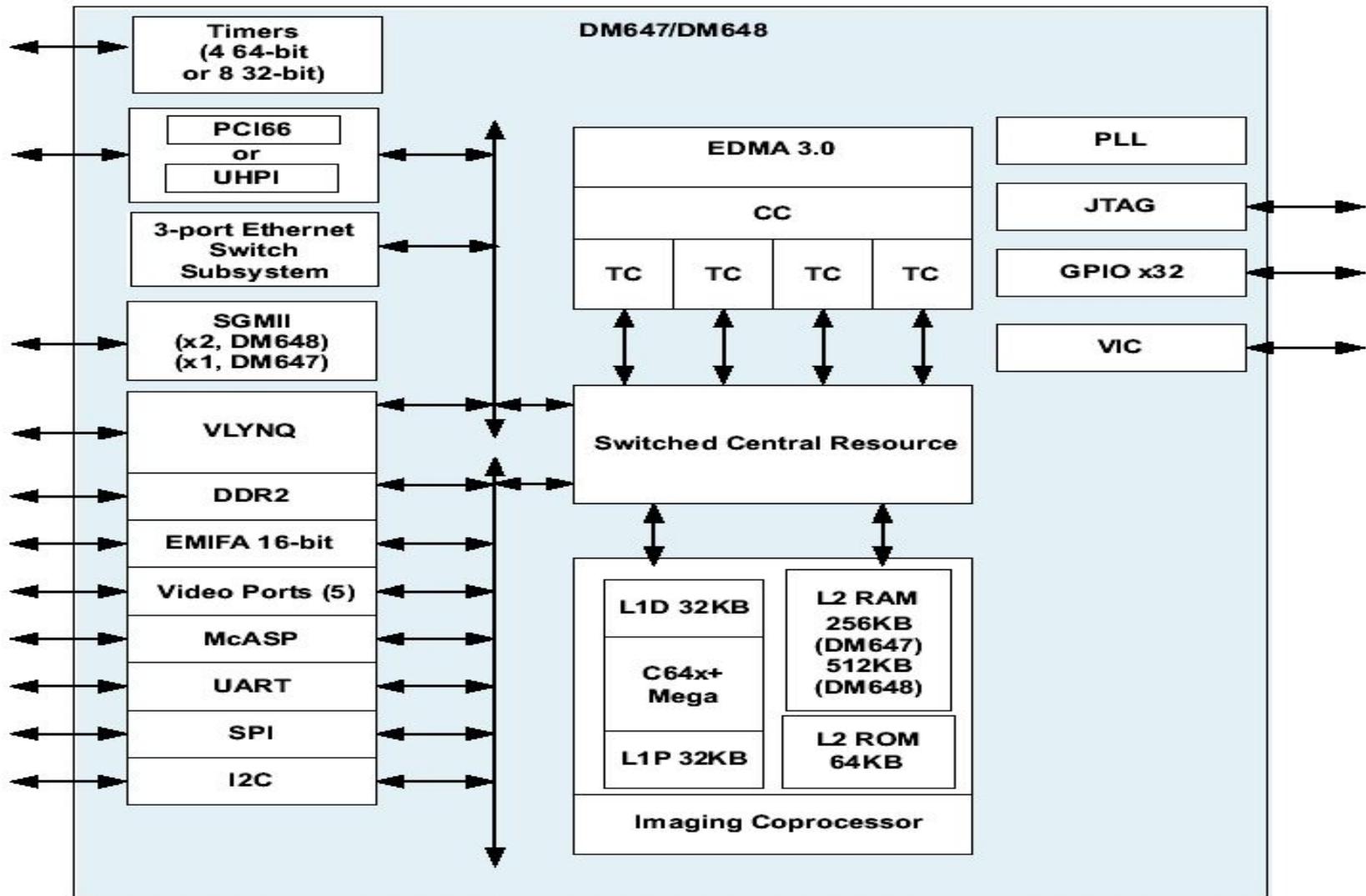
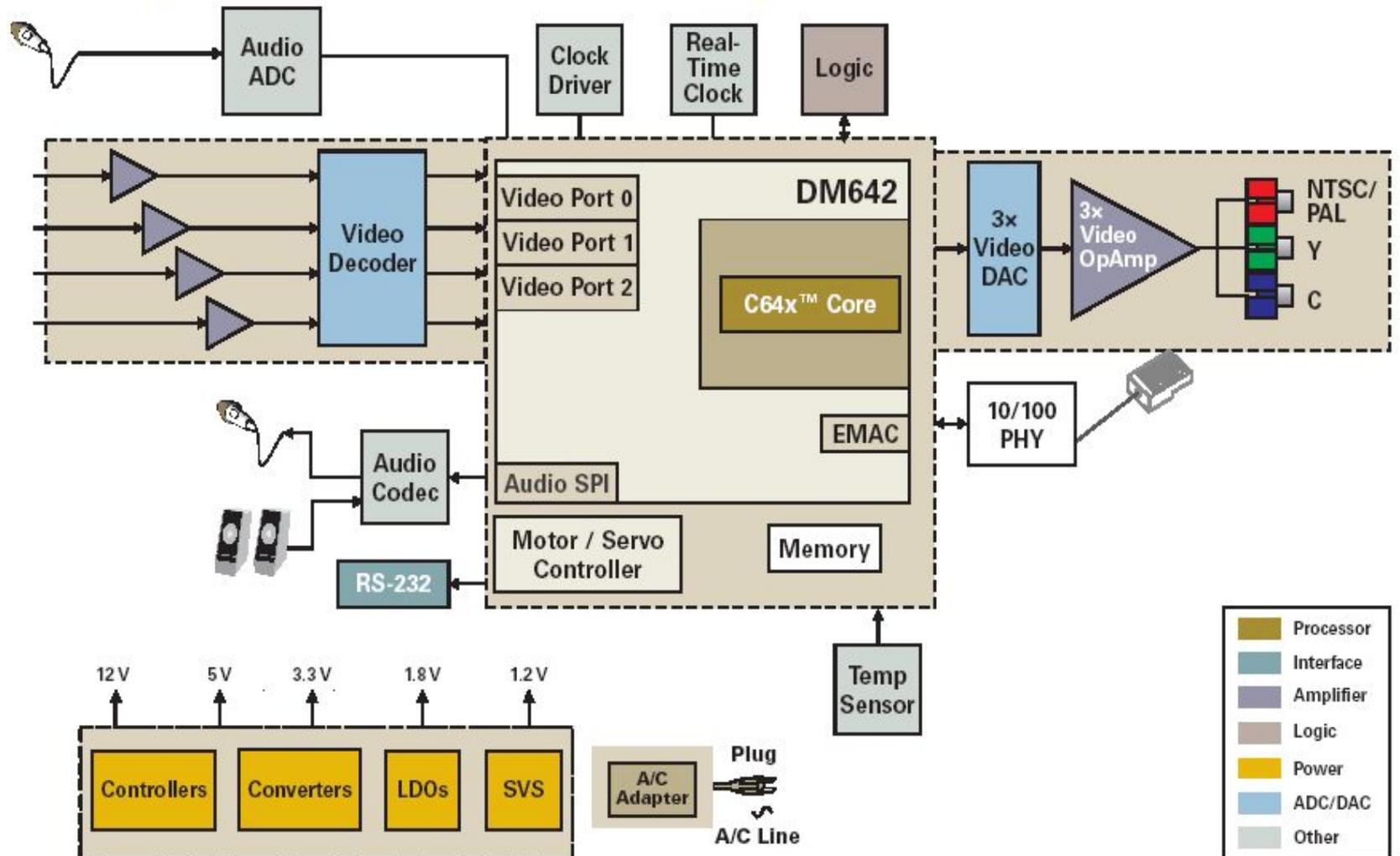


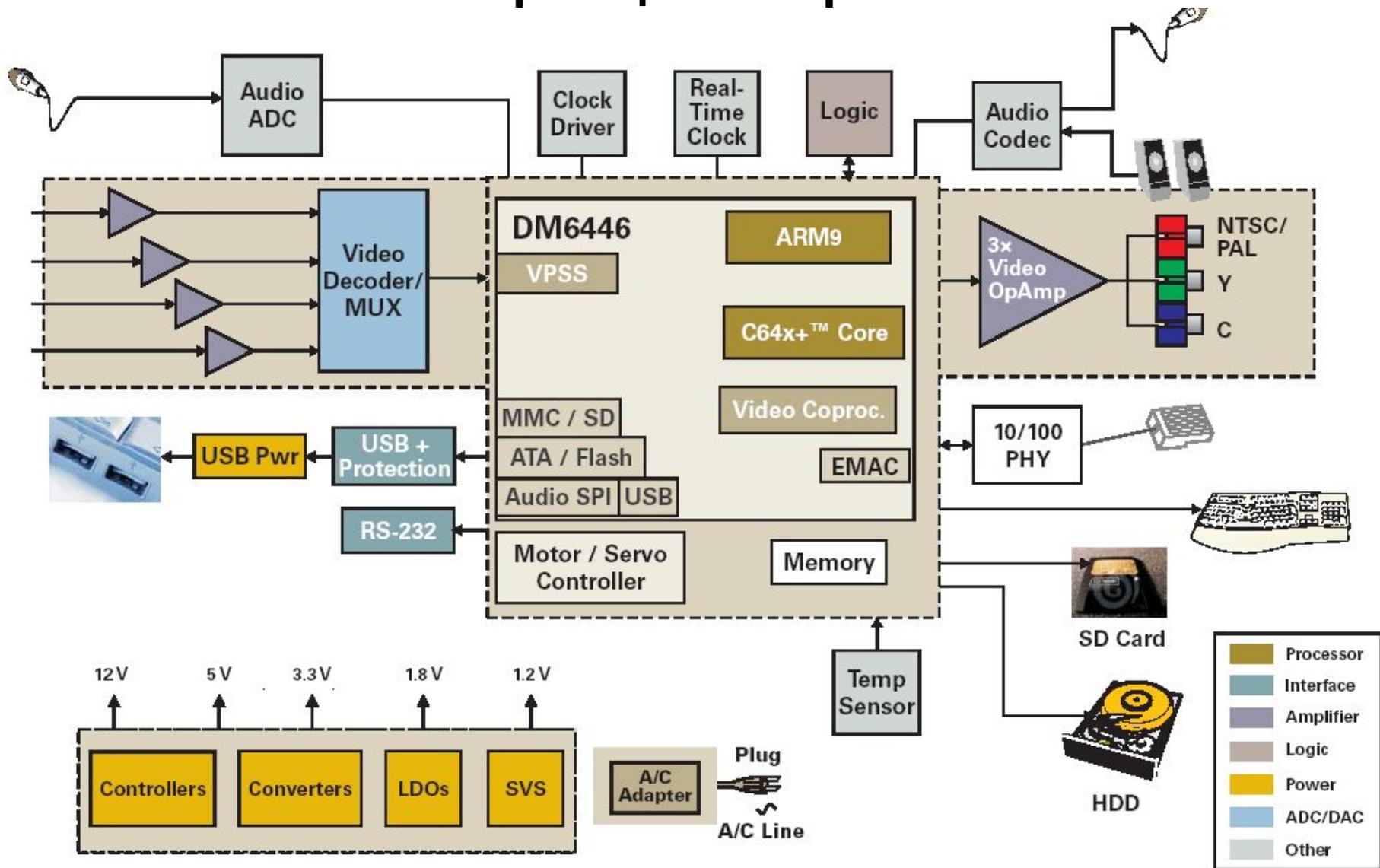
Figure 1-1. TMS320DM647/TMS320DM648 Functional Block Diagram

Цифровые сигнальные процессоры

High-Performance Digital Video Recorder Solution Block Diagram

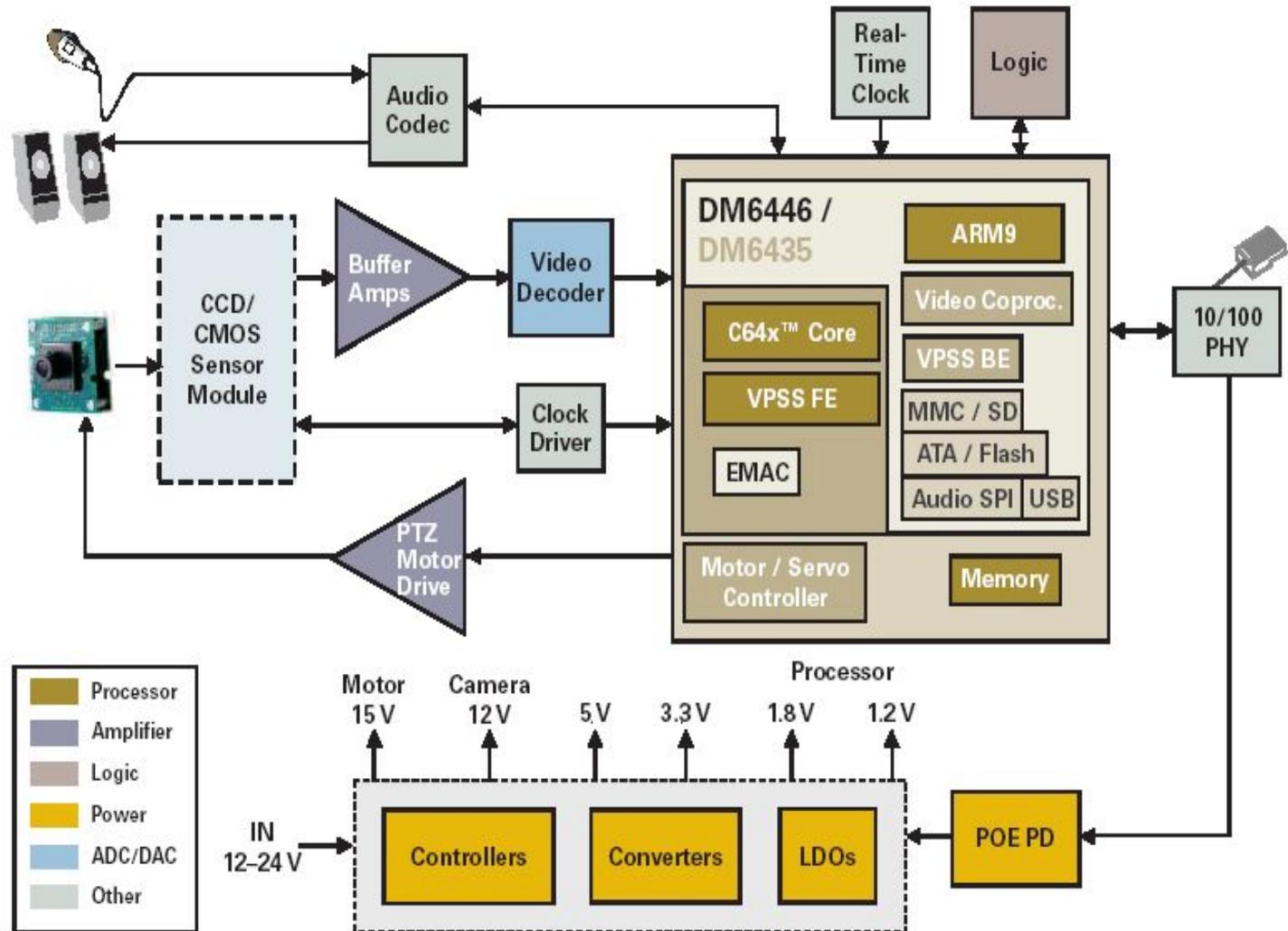


Цифровые сигнальные процессоры



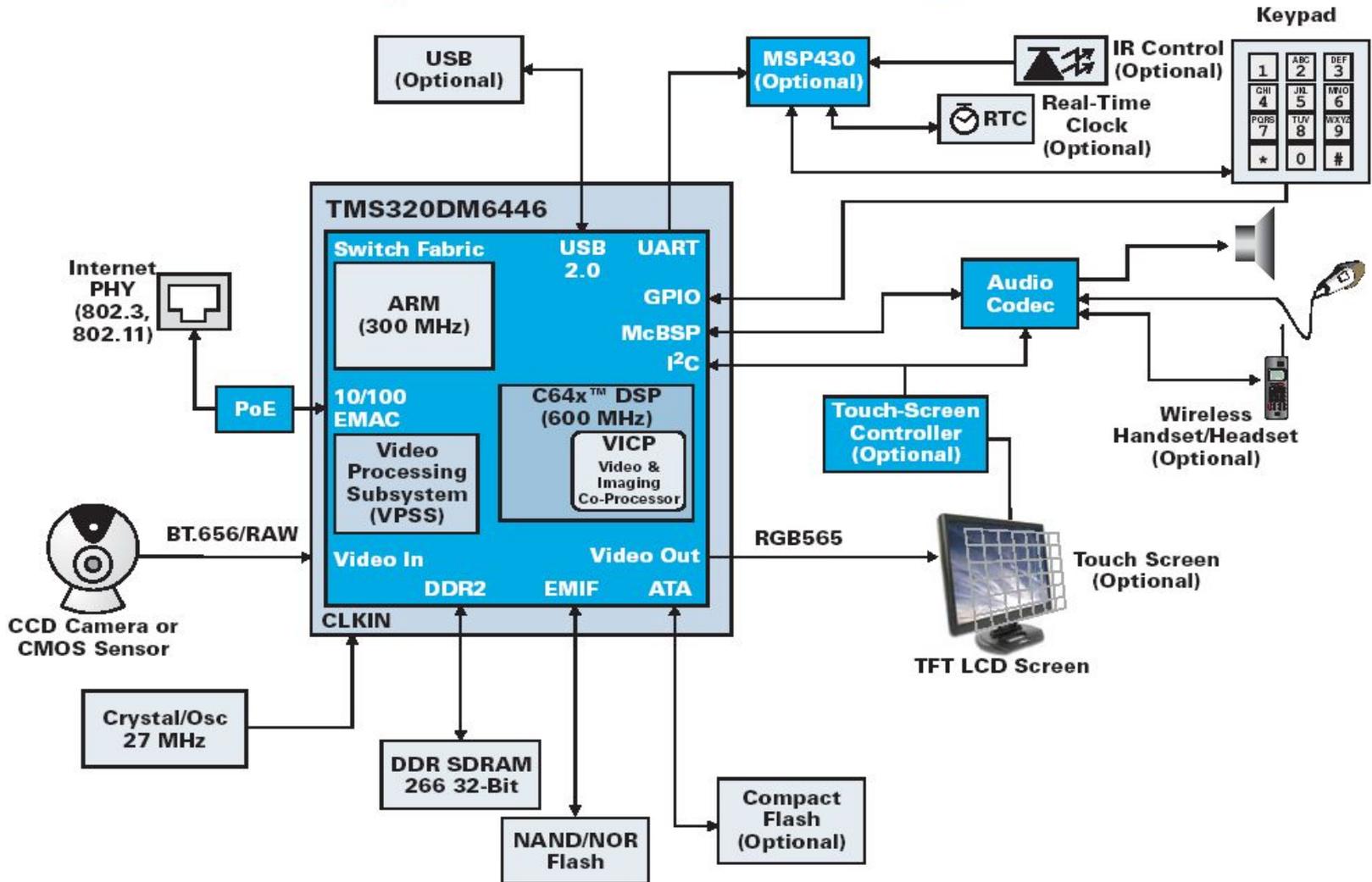
Цифровые сигнальные процессоры

DM644x SoC Processor Security IP Netcam



Цифровые сигнальные процессоры

Full-Featured IP Video Phone Using DaVinci TMS320DM6446 SoC Block Diagram



Цифровые сигнальные процессоры

Figure 1-1 shows the functional block diagram of the DM355 device.

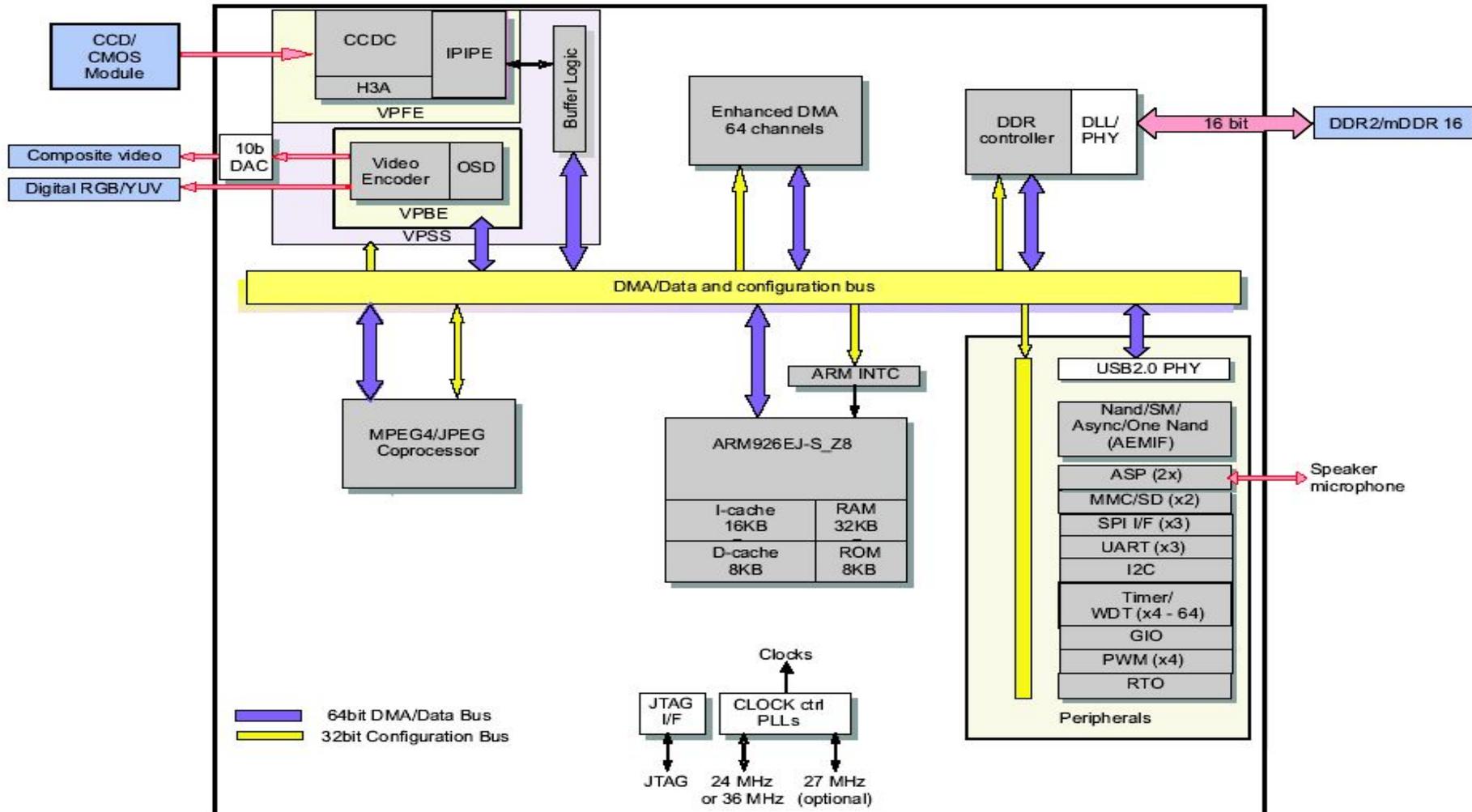


Figure 1-1. Functional Block Diagram

Литература

- www.ti.com
- Гук