

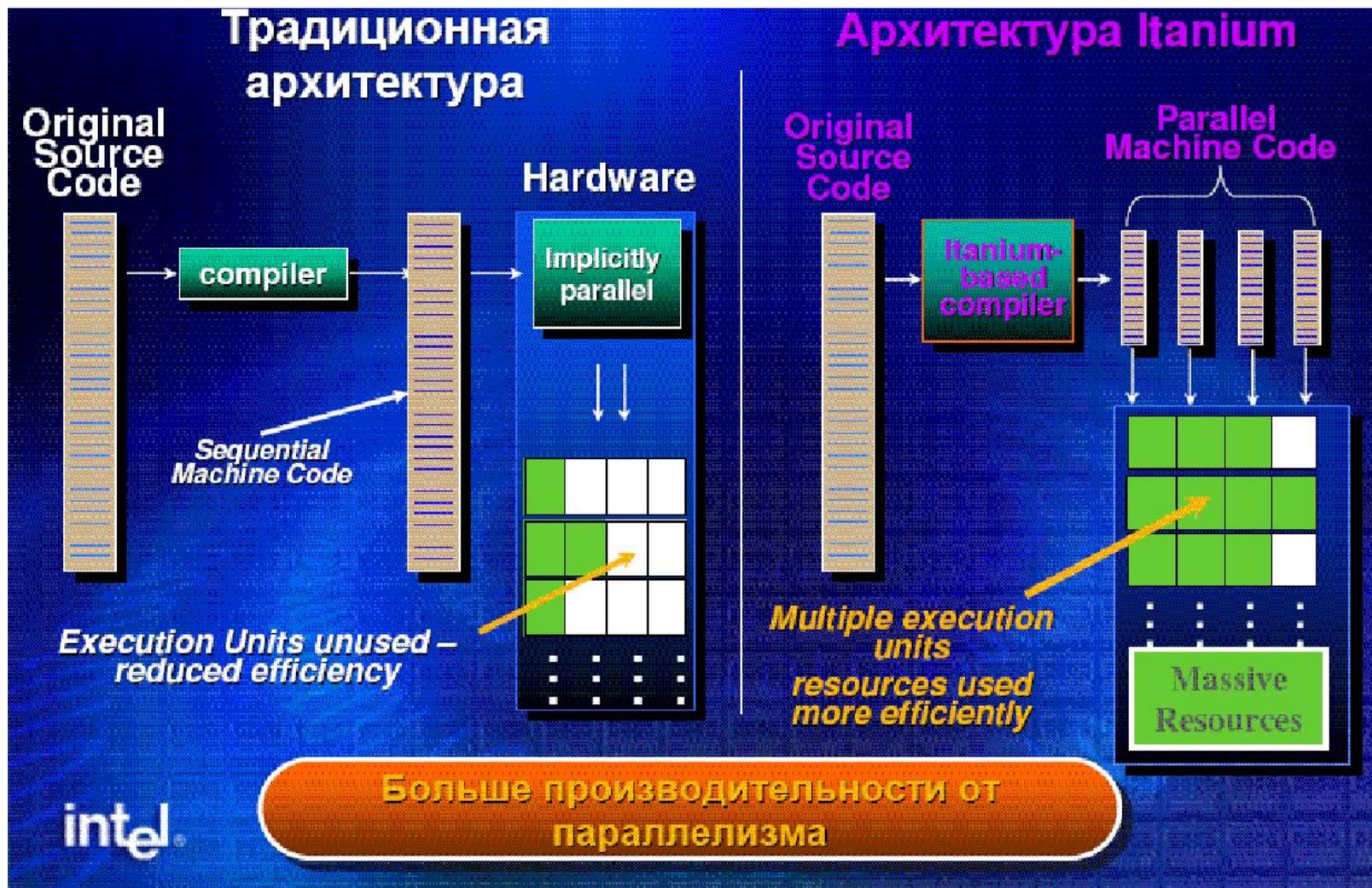
Современные микропроцессоры

Тенденции развития

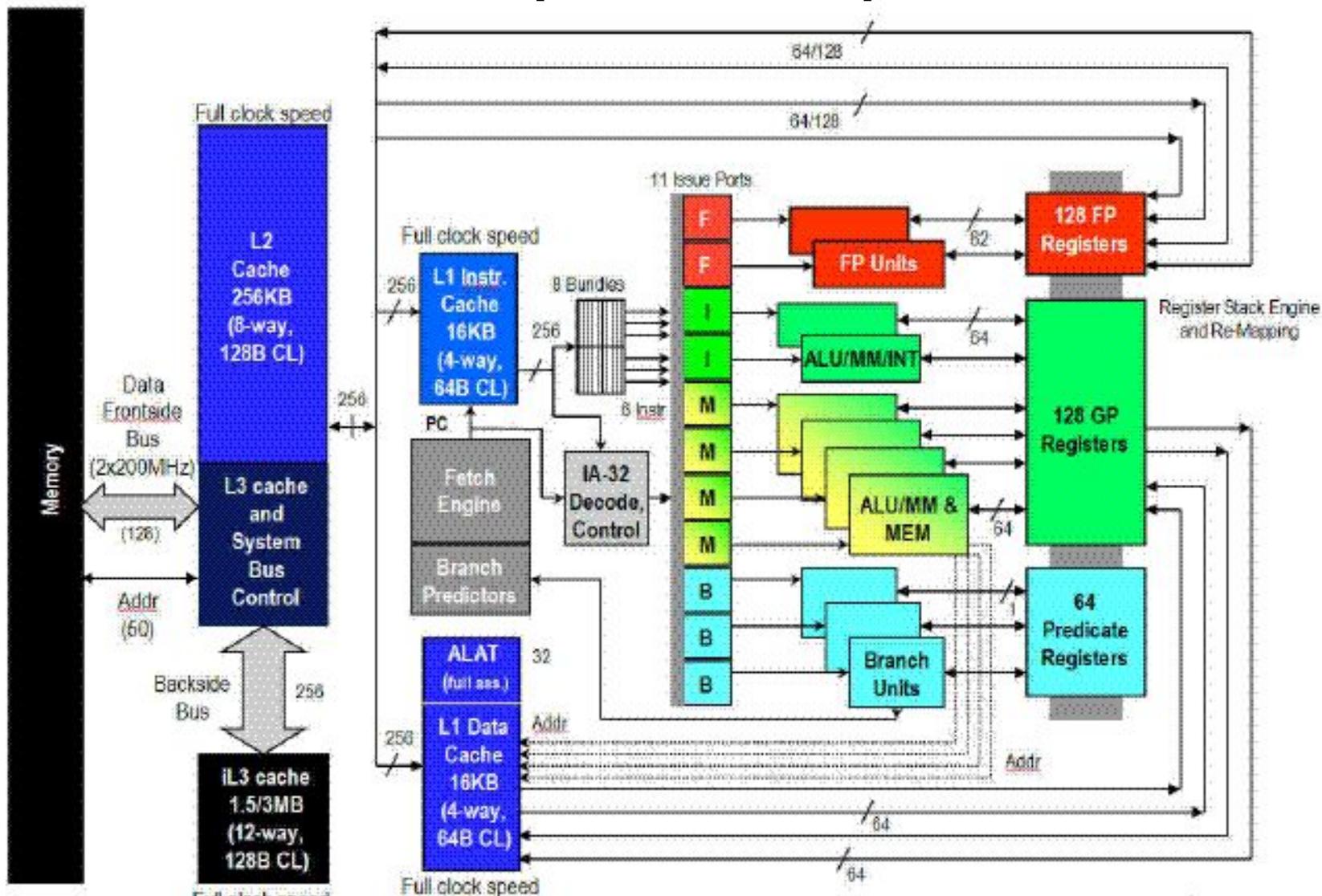
Рассматриваемые процессоры

- Intel Itanium 2
- Intel Core 2 Duo
- IBM Cell

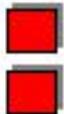
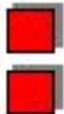
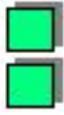
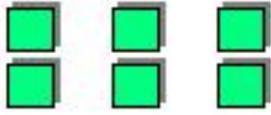
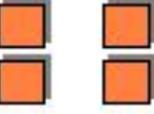
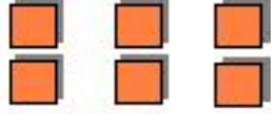
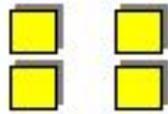
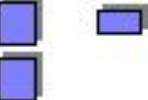
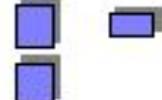
Неявный и явный параллелизмы



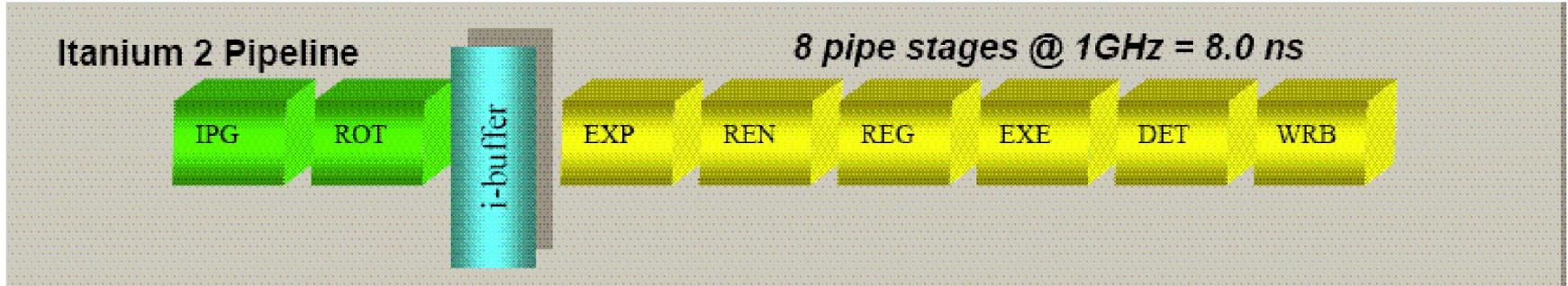
Блок-схема процессора Itanium 2



Исполнительные устройства

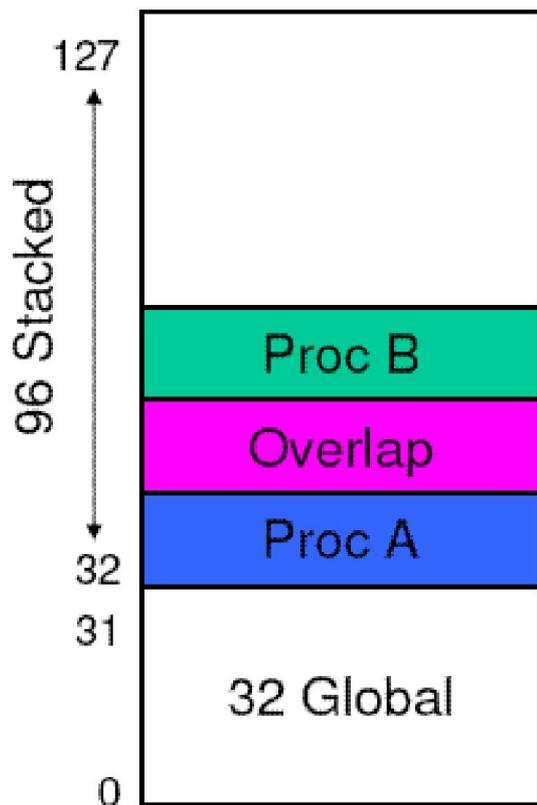
	PowerPC	Itanium® 2
F.P.		
Integer		
Multimedia		
Load/Store		
Branch		

Конвейер Itanium 2



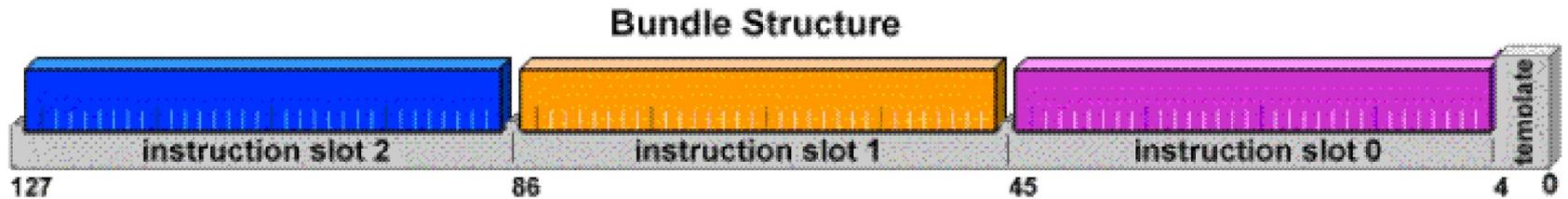
- Основной конвейер 8 стадий

Регистровый файл



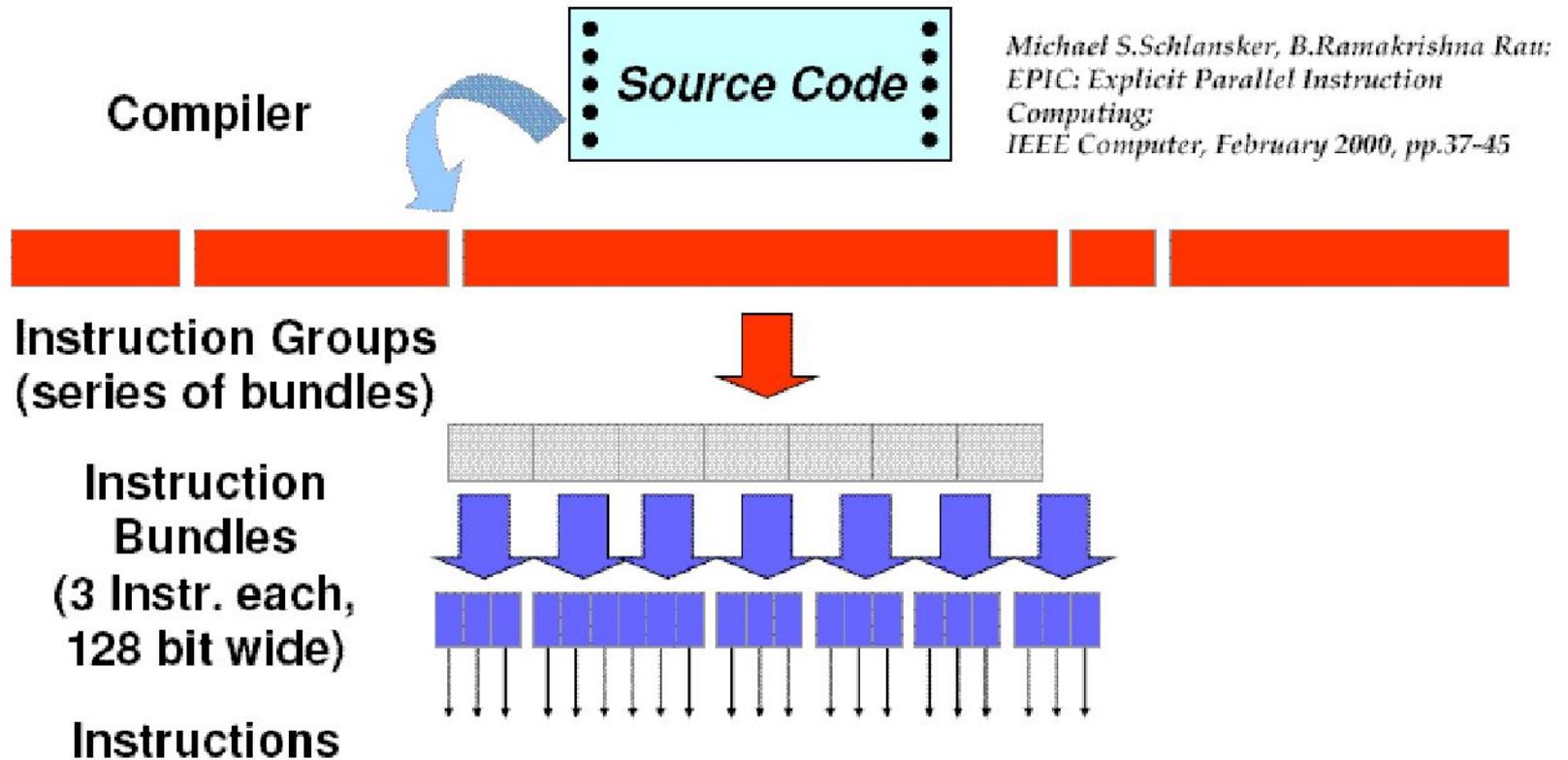
- 128 целочисленных регистров
- 128 регистров с плавающей запятой
- 64 предикатных регистра
- 128 регистров приложений
- Register Stack Engine

Связка



- 3 инструкции + шаблон
- Объединяются в группы без RAW зависимостей

Структура кода



Up to 6 instructions executed per clock

Предикатные регистры

Unpredicated Code

```
cmp a, b  
jump EQ  
y=3  
jump END
```

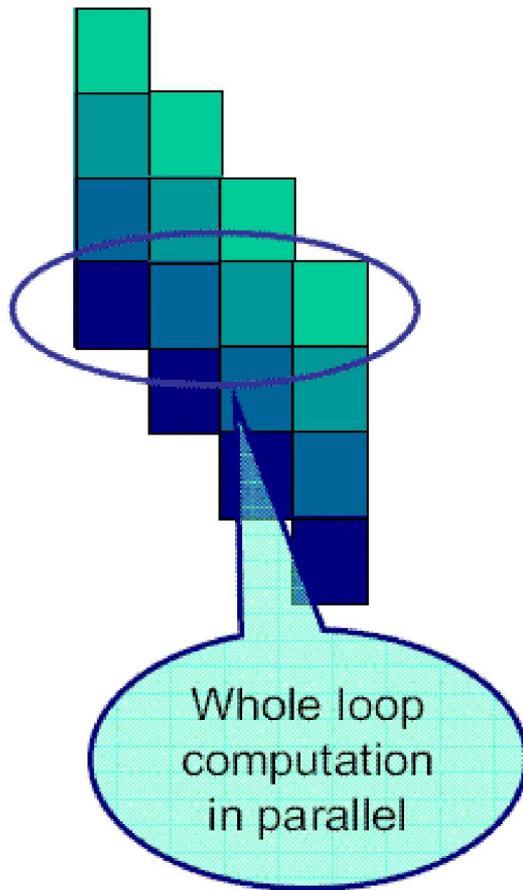
```
EQ: y=4
```

```
END:
```

Predicated Code

```
cmp.eq p1, p2=a, b  
p1 y=4  
p2 y=3
```

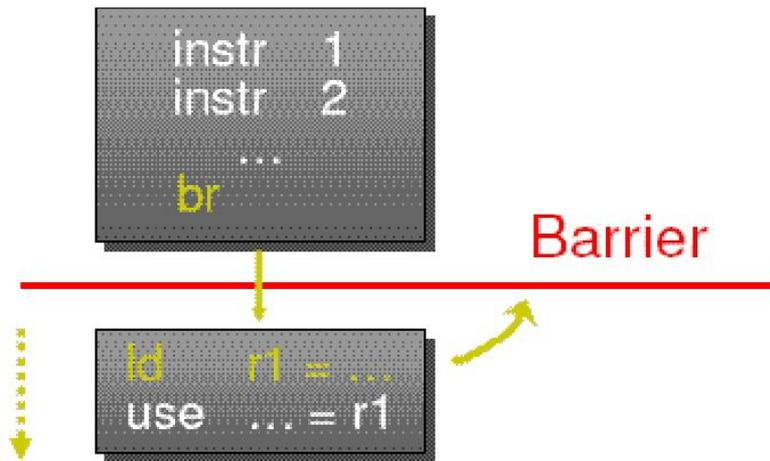
Программно-конвейеризуемые ЦИКЛЫ



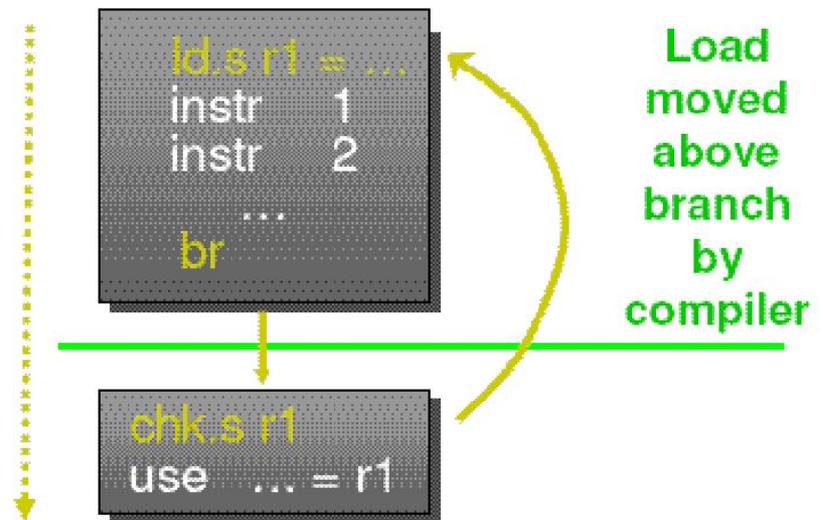
- Аппаратная поддержка SWP-циклов
 - Стадии пролога и эпилога
 - Вращение регистров
 - Предикаты

Спекуляция по данным

Traditional Architectures



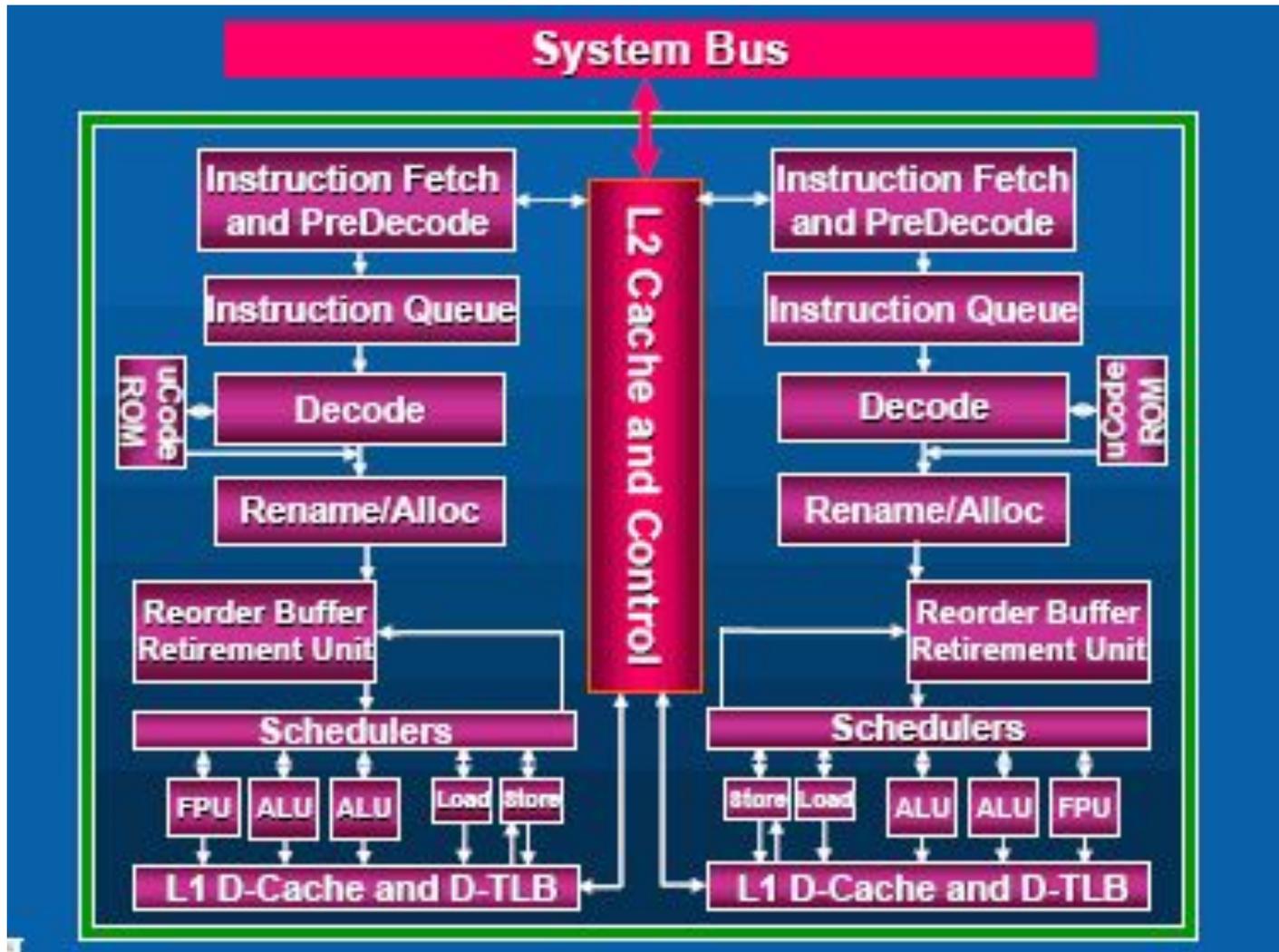
IA-64



Технические характеристики Itanium 2

- L1 DCache 16K 4-way
- L1 ICache 16K 4-way
- L2 Cache 256K 8-way
- L3 Cache 6M 12-way
- Устройства
 - 6 Integer
 - 4 Load/Store
 - 2 FP
 - 6 Multimedia
 - 4 Branch

Core 2 Duo



Core 2 Duo

- Двухъядерная 64-битная архитектура
 - За основу ядра взято ядро Pentium Pro
- Широкое динамическое исполнение
- Разделяемый КЭШ 2го уровня
- Поддержка мультимедиа
- Micro-ops fusion и Macrofusion
- Энергосберегательная система

Intel® Wide Dynamic Execution

EACH CORE

*EFFICIENT
14 STAGE
PIPELINE*

*DEEPER
BUFFERS*

*4 WIDE -
DECODE TO
EXECUTE*

*4 WIDE -
MICRO-OP
EXECUTE*

*MICRO
and
MACRO
FUSION*

*ENHANCED
ALUs*

CORE 1

INSTRUCTION FETCH
AND PRE-DECODE

INSTRUCTION QUEUE

DECODE

RENAME / ALLOC

RETIREMENT UNIT
(REORDER BUFFER)

SCHEDULERS

EXECUTE

CORE 2

INSTRUCTION FETCH
AND PRE-DECODE

INSTRUCTION QUEUE

DECODE

RENAME / ALLOC

RETIREMENT UNIT
(REORDER BUFFER)

SCHEDULERS

EXECUTE

Perf ↑

Energy ↓

ADVANTAGE

- 33% Wider Execution over Previous Gen
- Comprehensive Advancements
- Enabled In Each Core

With Intel's New Macro-Fusion

Read five Instructions from Instruction Queue

Send fusable pair to single decoder

Single uop represents two instructions

Instruction Queue

inc ecx

store [mem3], ebx

jne targ

cmp eax, [mem2]

load eax, [mem1]

dec0

dec1

dec2

dec3

Cycle 1

inc ecx

store [mem3], ebx

cmpjne eax, [mem2], targ

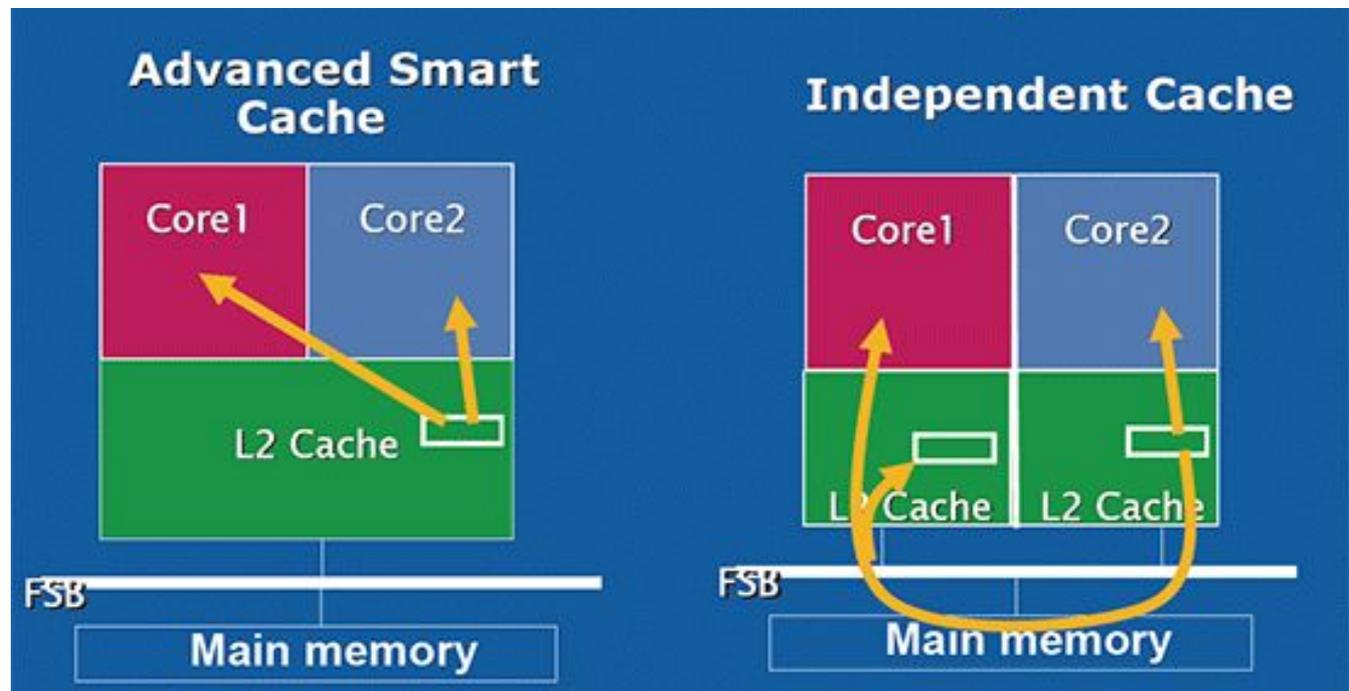
load eax, [mem1]

Intel Developer
FORUM



Разделяемый КЭШ 2го уровня

- Нет необходимости поддерживать когерентность
- Динамически распределяется между ядрами



Smart Memory Access

- 6 Блоков предвыборки
 - 2 для КЭШа 2го уровня
 - По 2 для КЭШей 1го уровня
- Memory Disambiguation
 - Спекуляция по данным (RAW зависимость)

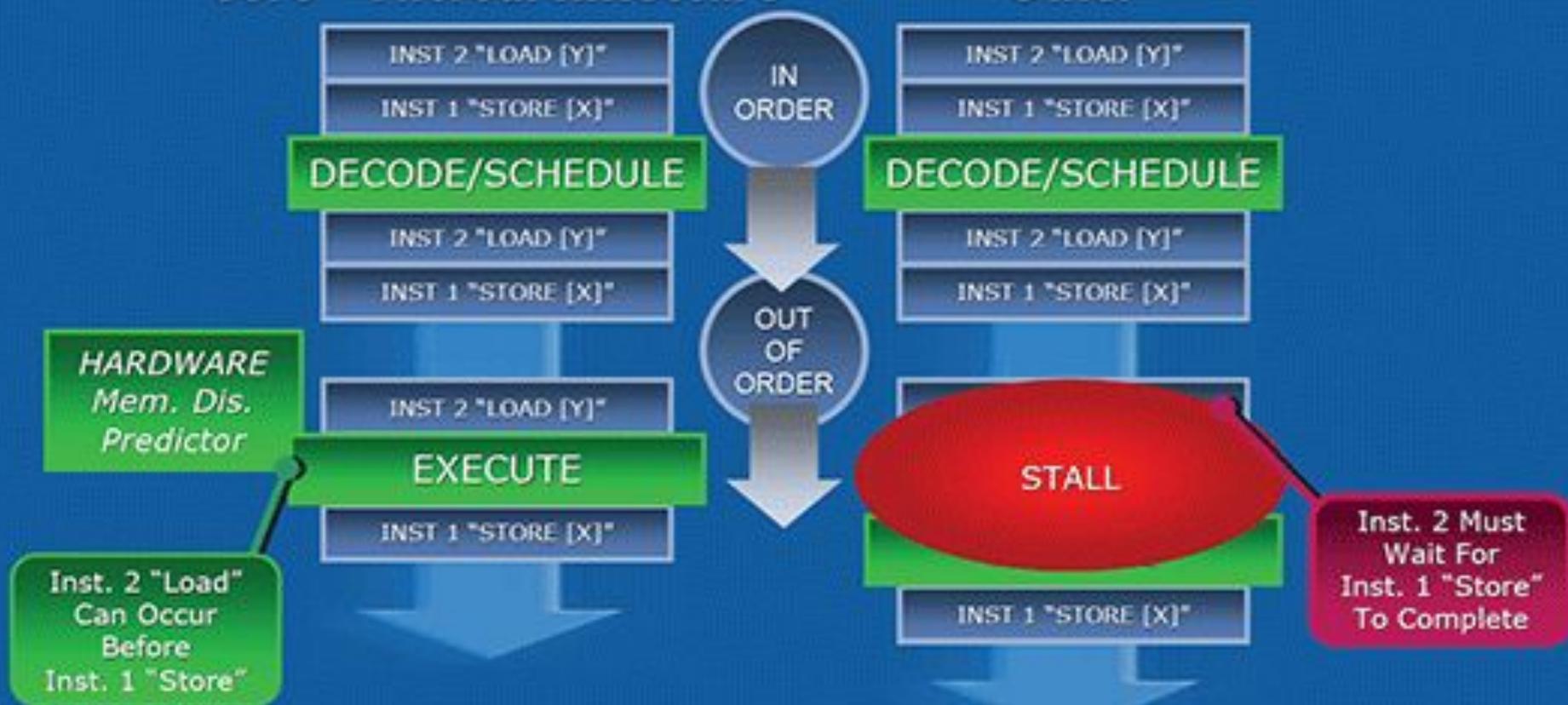
Intel® Smart Memory Access

Hardware-based Memory Disambiguation

© 2013 Intel Corporation. All rights reserved.

Core™ Microarchitecture

Other



Perf ↑

Energy ↓

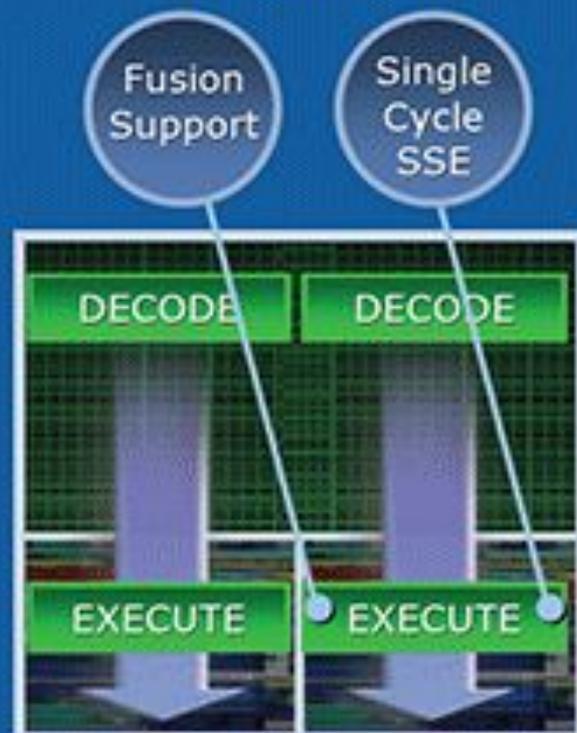
ADVANTAGE

- Higher Utilization of Pipeline
- Masks latency to data access
- Higher Performance

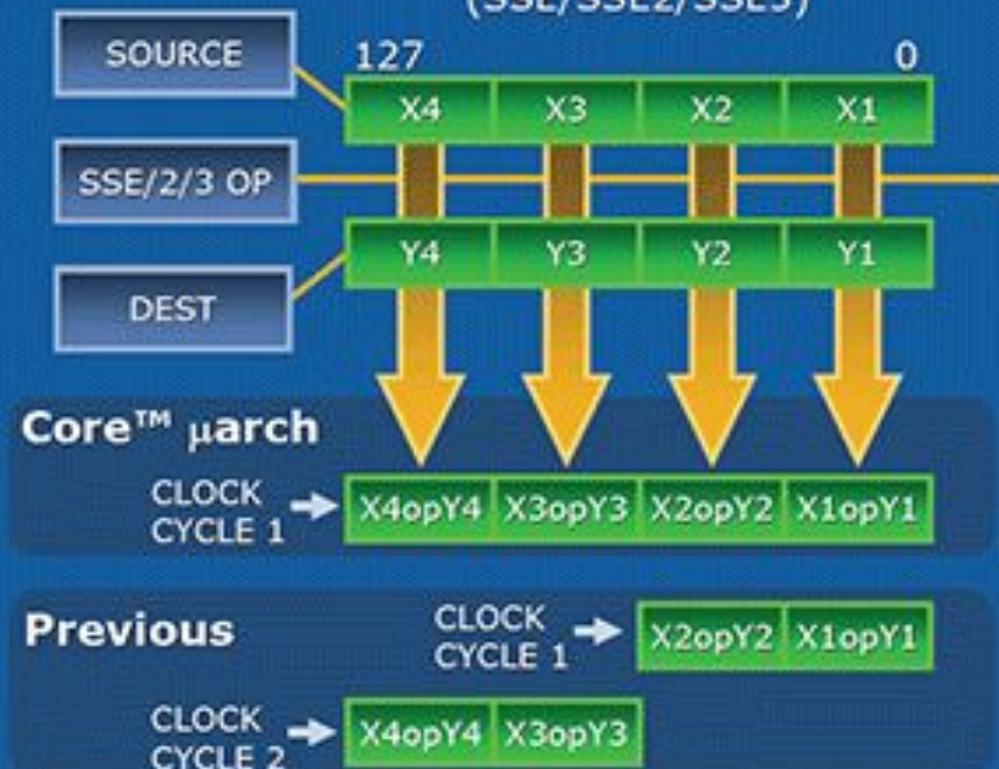
Intel® Advanced Digital Media Boost

Single Cycle SSE

In Each Core



SSE Operation (SSE/SSE2/SSE3)



Perf ↑

Energy ↓

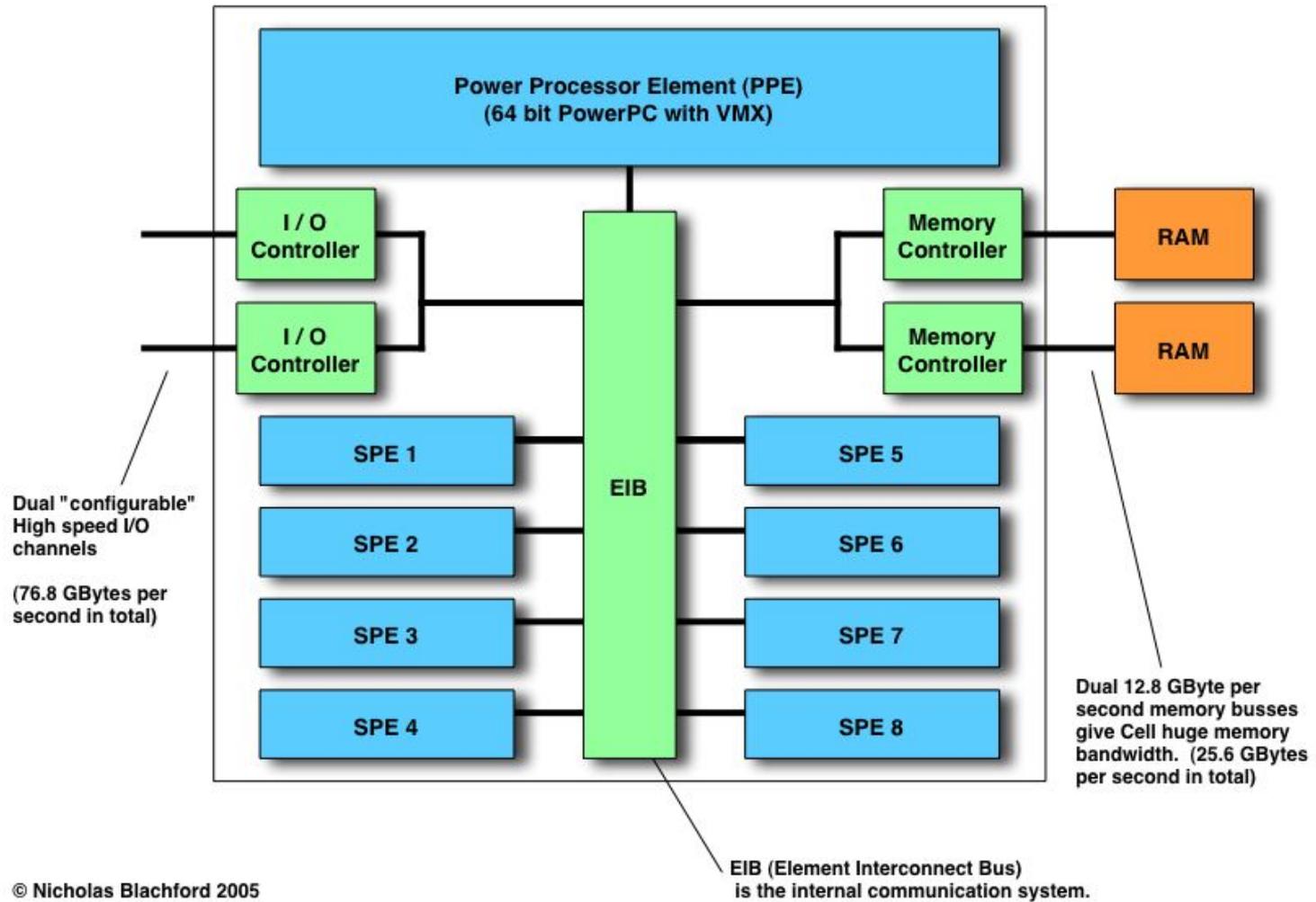
ADVANTAGE

- Increased Performance
- 128 bit Single Cycle in each core
- Improved Energy Efficiency

Технические характеристики Core 2 Duo

- L1 DCache 32K 8-way
- L1 ICache 32K 8-way
- L2 Cache 4M / 2 Cores
- ITLB 128 ent
- DTLB 256 ent
- Устройства
 - 5 Integer 3 ALU + 2 AGU
 - 2 Load/Store (1 Load + 1 Store)
 - 4 FP (FADD + FMUL + FLOAD + FSTORE)
 - 3 SSE (128 bit)

Cell

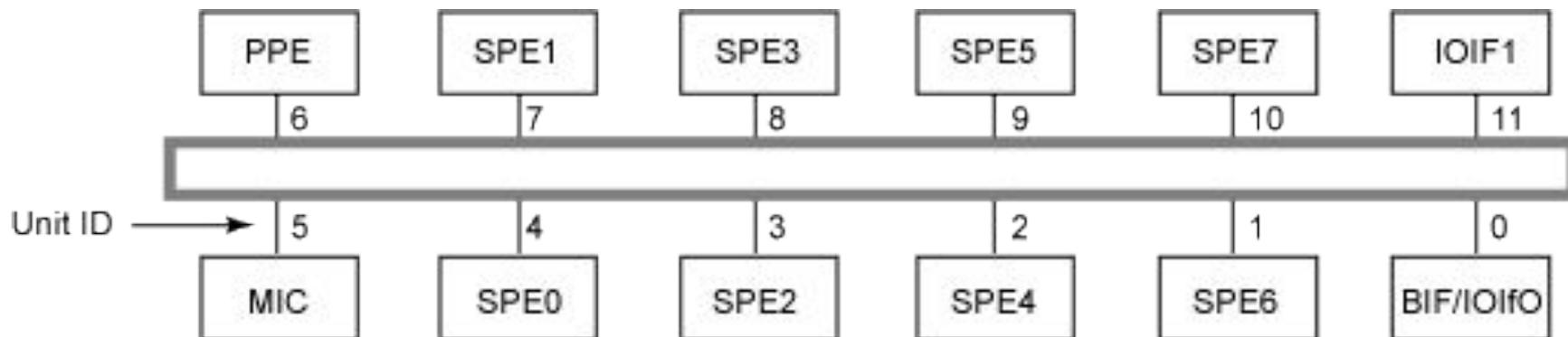


Cell

- Главный процессорный элемент
 - Упорядоченное исполнение
 - Поддержка работы с двумя потоками
- 8 синергетических процессорных элементов
 - Ядро на основе 286 архитектуры
 - Поддержка векторных вычислений 128 бит
 - Отсутствие КЭШей
 - Локальная память 256 Кбайт с прямым доступом
- Шина ввода вывода
 - Пропускная способность 76,8 Гбайт/с

Шина взаимосвязанных элементов

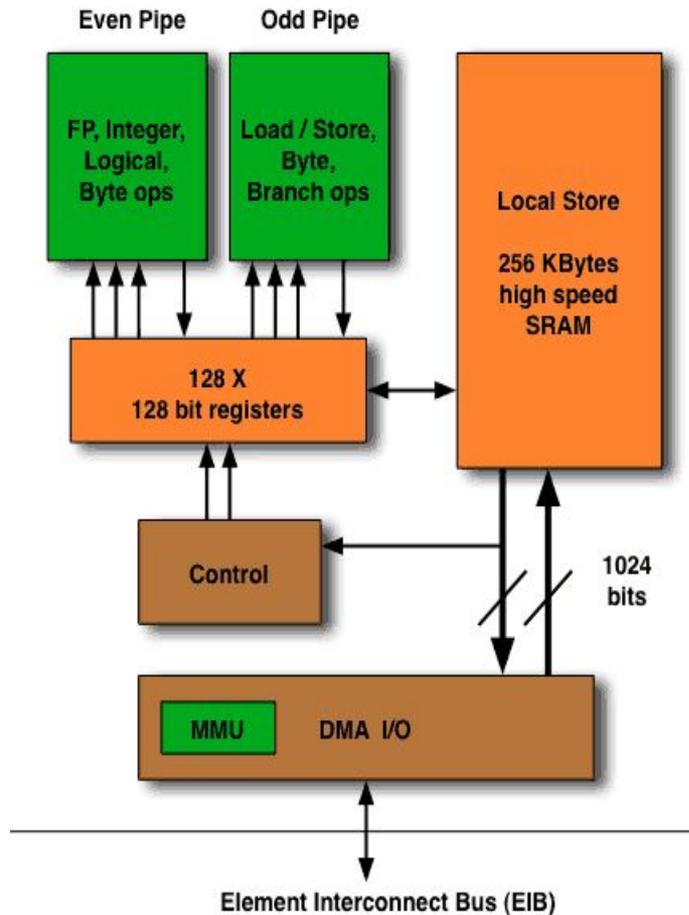
- Передает 96 байт/цикл
- Более 100 уникальных запросов



Power Processor Element

- Два 64-битных ядра на основе архитектуры POWER
- Упорядоченное исполнение команд
- Поддержка SMT (многопоточность)
- КЭШ
 - 1го уровня: 32+32 Кбайт
 - 2го уровня: 512 Кбайт

Synergistic Processor Element



- 4 целочисленных векторных устройства
- 4 векторных устройства с плавающей запятой
- 128 регистров по 128 бит
- 256 Кбайт локальной памяти
- Динамическая защита доступа к памяти

Производительность Cell

(для 4GHz)

- 256 GFLOPS с плавающей запятой
- 256 GOPS целочисленная арифметика
- 25 GFLOPS с плавающей запятой
двойной точности

