

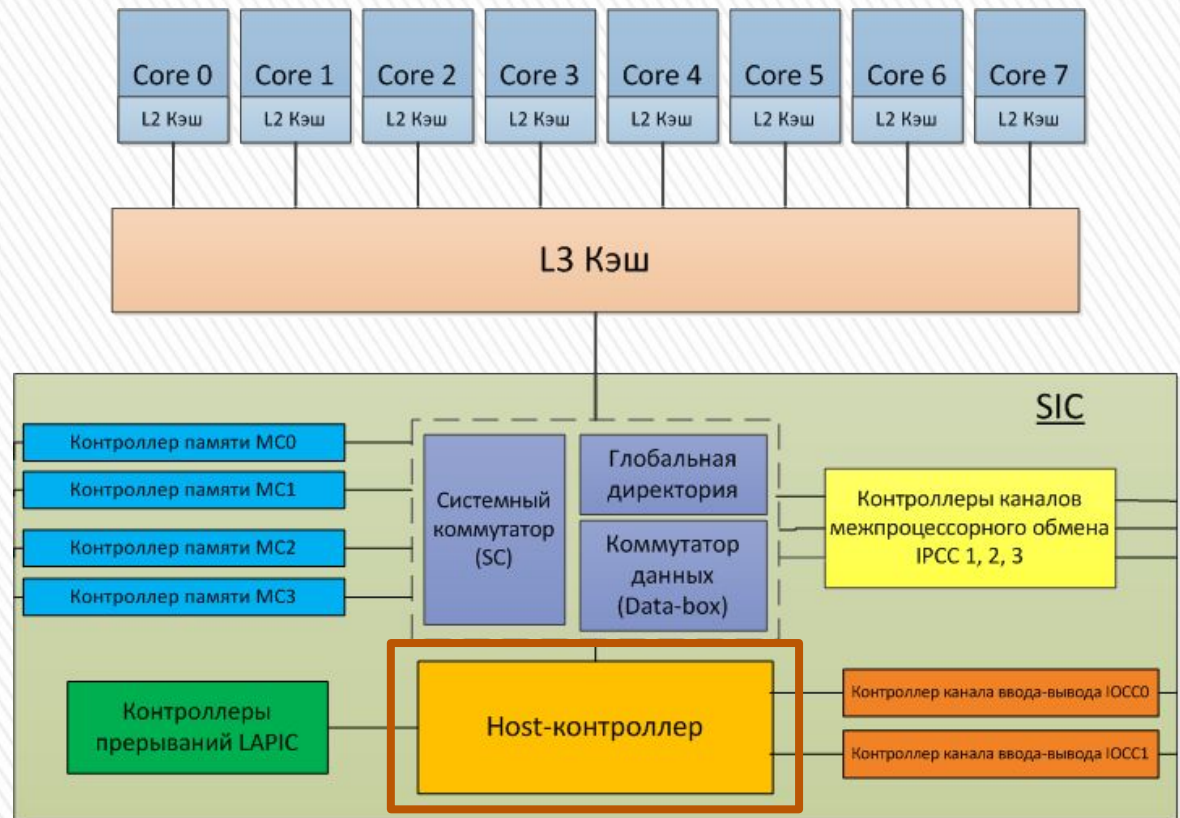


# **Устройство обработки запросов в пространство ввода- вывода для микропроцессора семейства «Эльбрус»**

Студент: Перов Д.Ю., ФРТК, 816 группа  
Научный руководитель: д.т.н. Сахин Ю.Х.

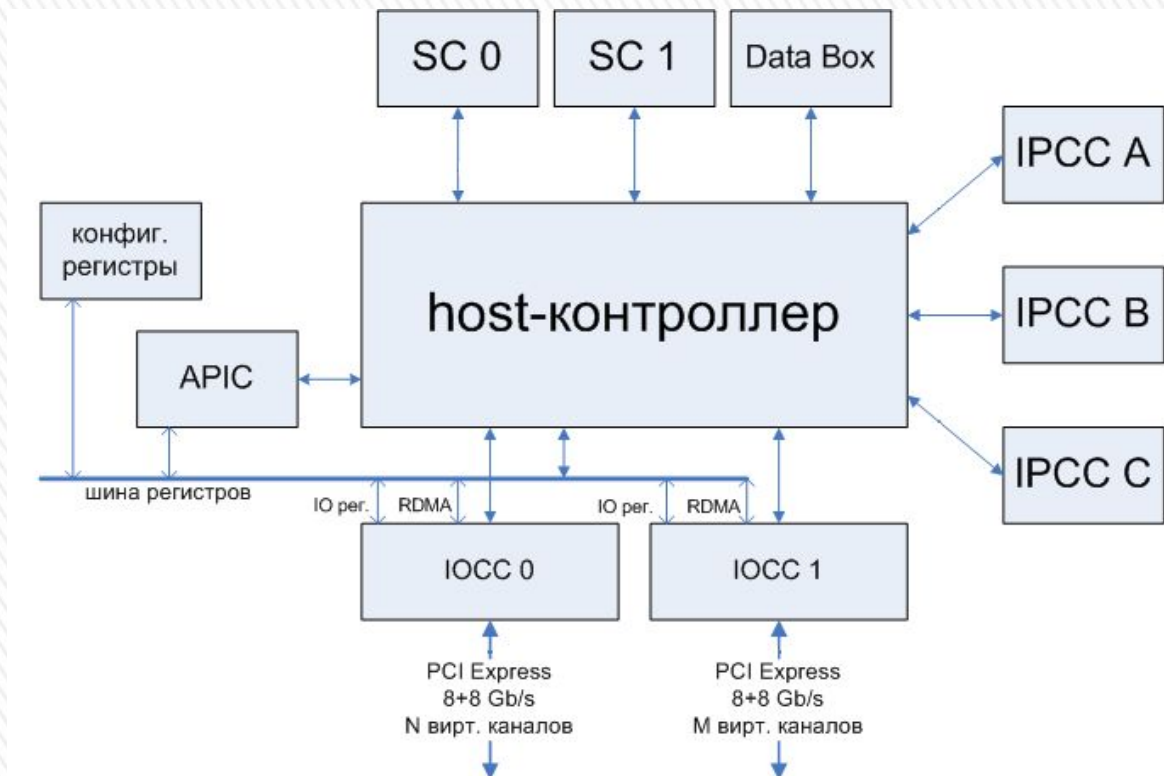
# МП «Эльбрус – 4С+»

- » 8 универсальных ядер «Эльбрус»
- » Частота не менее 1 ГГц
- » 4 канала оперативной памяти DDR3
- » 2 полноценных канала ввода-вывода с пропускной способностью 8 Гб/с в каждую сторону

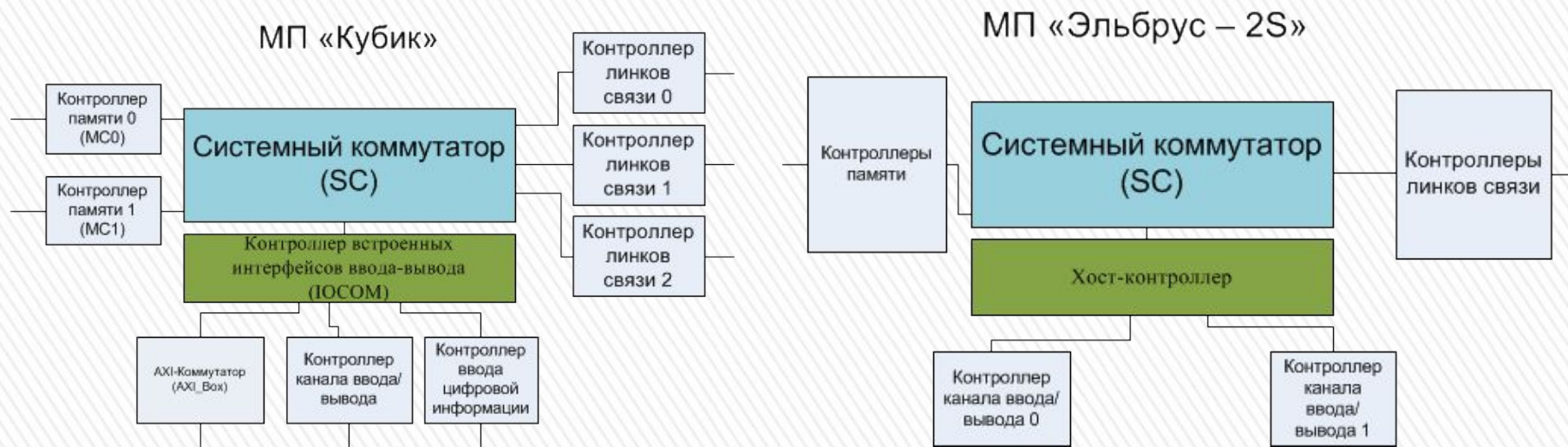


# Функциональное назначение host-контроллера

- маршрутизация и обработка запросов процессоров системы в пространство ввода-вывода (IO-операции);
- реализация функции DMA-канала для обеспечения доступа внешних устройств к оперативной памяти системы (DMA-операции);
- маршрутизация сообщений о прерываниях между контроллером внешних прерываний IOAPIC (расположен в КПИ) и APIC'ами кластера.



# Проблемы использования существующих разработок



## Новые требования:

- 2 системных коммутатора
- Новый интерфейс с каналами ввода-вывода: 2 полноценных канала, основанных на физическом уровне PCI Express 2.0, пропускная способность – 8 Гб/с в каждую сторону
- Проблема пересылки сообщений о прерываниях (сообщений APIC)



# Пересылка сообщений APIC

- » Проблема: Конфликт при распределении общих ресурсов канала ввода-вывода между IO-запросами и сообщениями APIC
- » Решение: использование механизма виртуальных каналов, предусмотряваемого стандартом PCI Express 2.0



# Цель работы

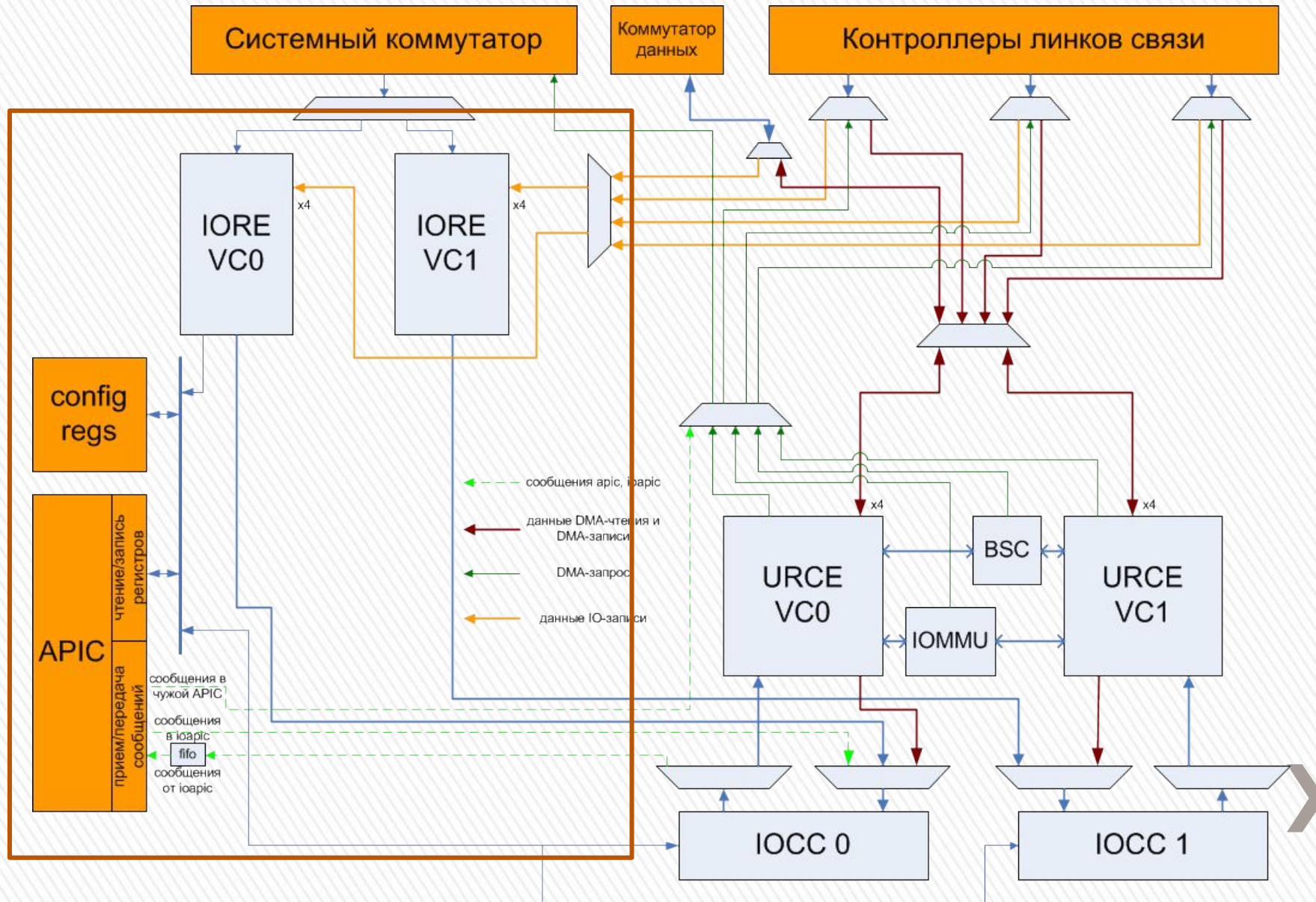
Разработка контроллера ввода-вывода для микропроцессора «Эльбрус – 4С+»

## Требования:

- Обеспечить эффективное взаимодействие host-контроллера с двумя каналами ввода-вывода
- Реализовать обработку запросов в пространство ввода-вывода
- Реализовать обработку запросов к системным регистрам
- Реализовать пересылку сообщений APIC
- Реализовать механизм независимых виртуальных каналов для эффективной работы APIC и двух каналов ввода-вывода



# Структурная схема host-контроллера



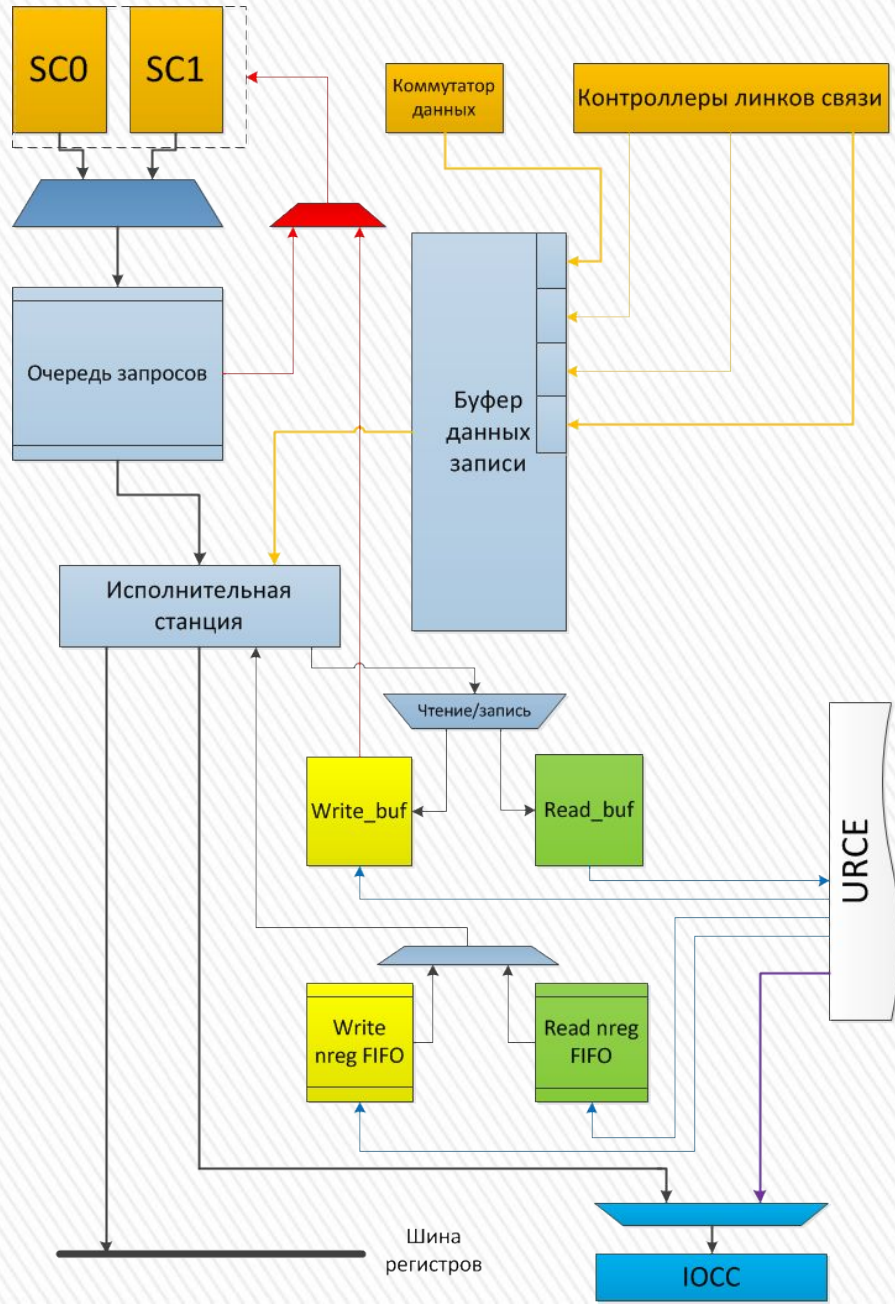
# Виртуальные каналы НС

- » Виртуальный канал 0 (VC0) – канал запросов и ответов в/из IO-линк 0 и конфигурационные регистры;
- » Виртуальный канал 1 (VC1) – канал запросов и ответов в/из IO-линк 1;
- » Виртуальный канал 2 (VC2) – канал передачи сообщений APIC.





# Структурная схема обработчика IO-запросов (IORE)



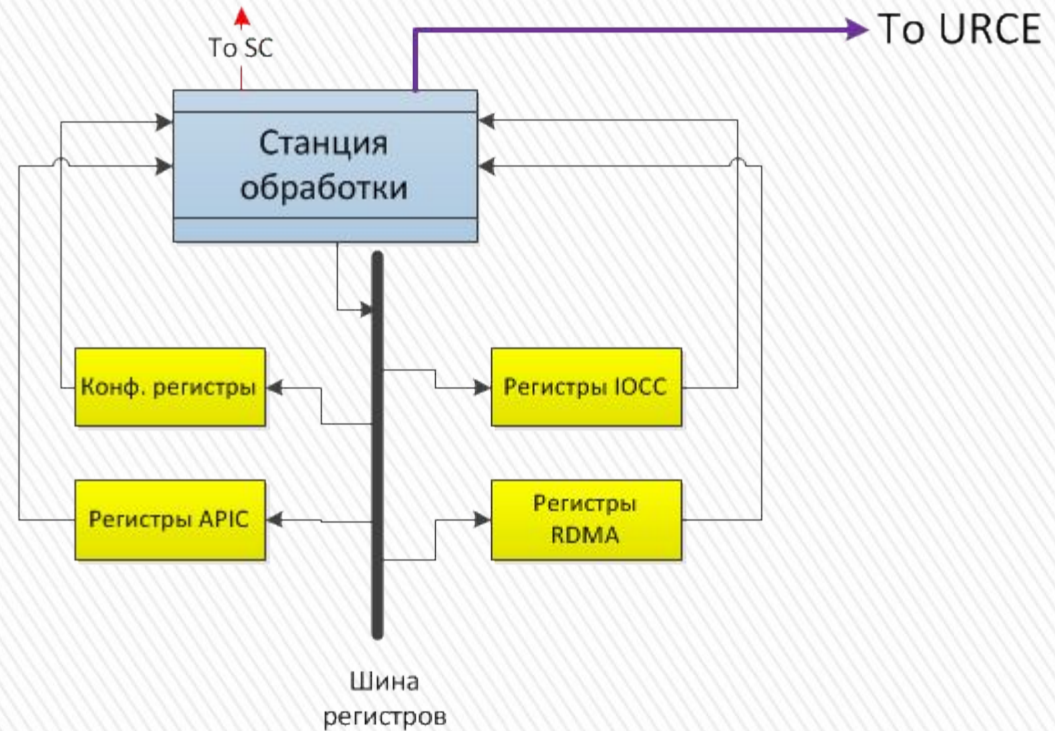
» Запросы в конфигурационные регистры SIC, расположенные в IO Box, конфигурационные регистры устройств IO Box (APIC, IOCC0, IOCC1) и конфигурационные регистры устройств HC;

» Запросы в пространство ввода-вывода

- Данные записи
- Сообщения о ходе процессорных записей
- Ответы на DMA-чтения
- Завершения запросов

# Выполнение запросов в системные регистры

- Отправление запроса
- Ожидание ответа
- Отправление данных чтения в URCE для запросов по чтению
- Отправление сообщения “освободи регистр” в SC для запросов по записи



# Задержки в исполнении запросов

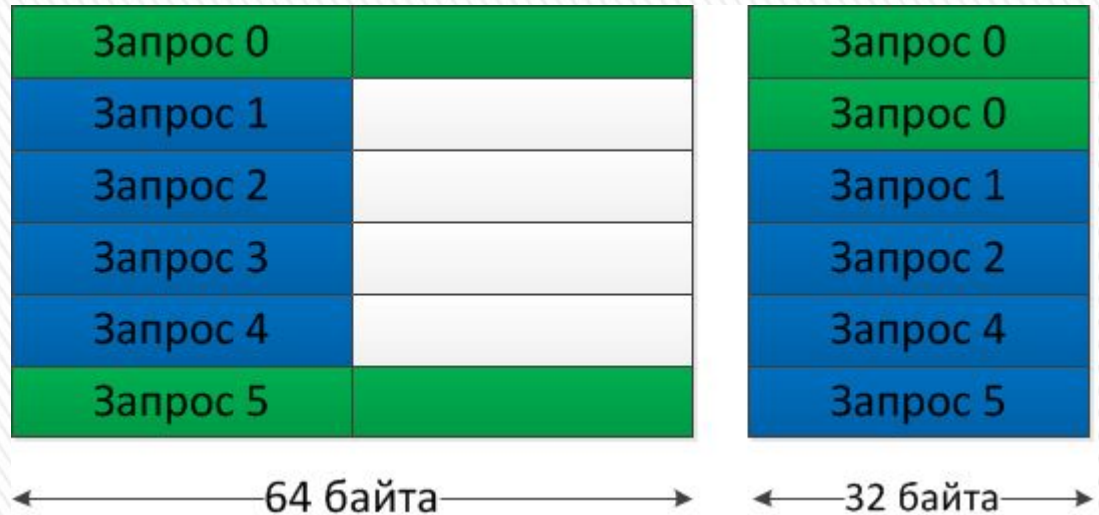
IO-записи		IO-чтения	Обращения к системным регистрам	
Ожидание запроса в очереди 1-16 тактов	Ожидание данных записи 25-135 тактов	Ожидание запроса в очереди 1-16 тактов	Ожидание запроса в очереди 1-16 тактов	Ожидание данных записи 25-135 тактов
Чтение из буфера данных 2-4 такта		Отправка запроса в линк 1 такт	Отправка запроса на шину регистров 1-2 такта	
Отправка запроса в линк 1-4 такта			Получение ответа 1 такт	
			Отправка ответа в SC/URCE 1/2 такта	



# Оптимизации

## Буфер данных

- Запросы 32 и 64 байта
- 64-байтовые запросы выполняются редко
- Для того, чтобы избежать избыточности, ширина буфера данных – 32 байта
- 64-байтовый запрос занимает 2 позиции



# Оптимизации

## Записи с масками

- Транзакции в канал ввода-вывода – от 1 до 16-ти 4-байтовых слов
- В соответствии со стандартом PCI Express 2.0 в линк отправляется маска только на первое и последнее 4-байтовое слово транзакции
- Определяется, какие слова реально пишутся
- Если маска несплошная только для крайних слов, можно отправить запрос за одну транзакцию

0000	0000	1011	1111	1111	1110	0000	0000
------	------	------	------	------	------	------	------



# Результаты

- » Разработано Verilog-описание устройства, обеспечивающего эффективное взаимодействие процессоров с двумя каналами ввода-вывода и контроллером прерываний APIC
- » Устройство проходит автономное тестирование



**СПАСИБО ЗА  
ВНИМАНИЕ!**

