

Организация ЭВМ и систем

- Кафедра Параллельных вычислений (ИВМиМГ)
- Маркова Валентина Петровна, markova@ssd.sccc.ru
- Киреев Сергей Евгеньевич, kireev@ssd.sccc.ru
- Перепелкин Владислав Александрович, perepelkin@ssd.sccc.ru

Определение архитектуры компьютера

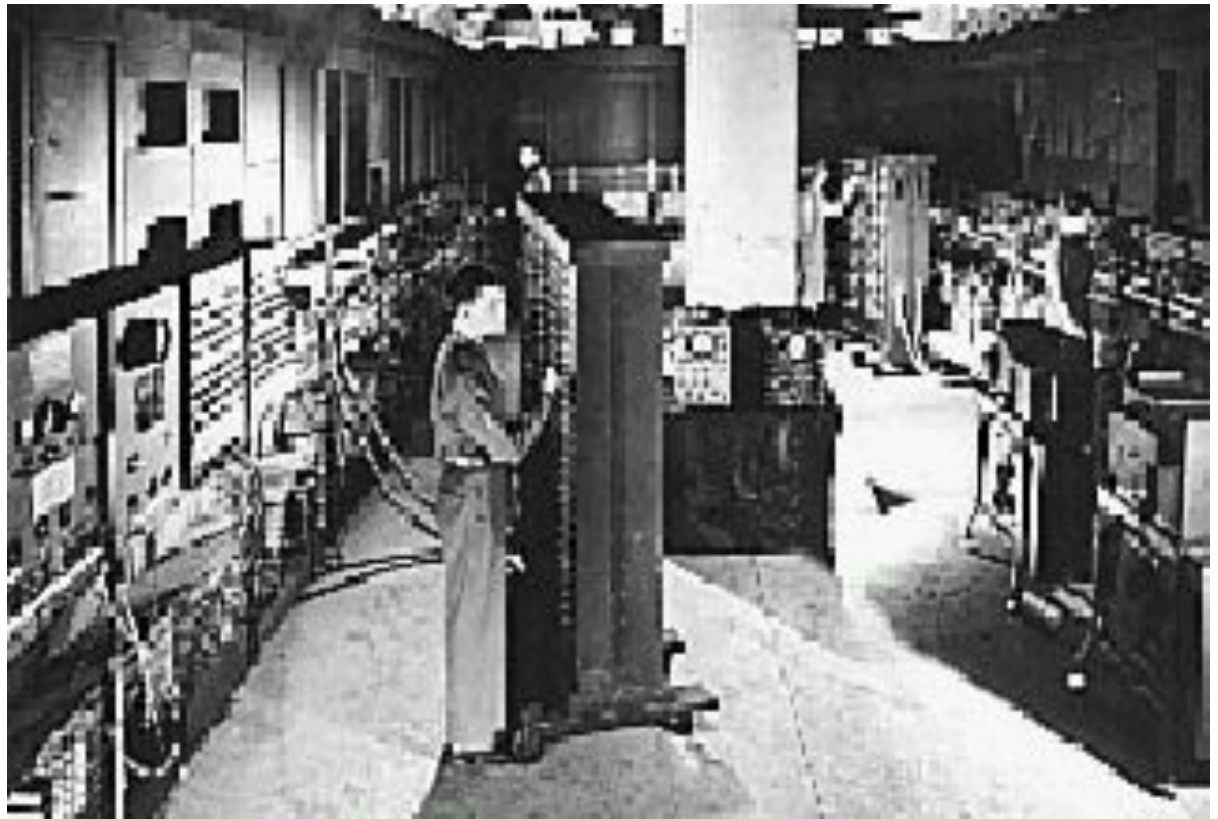
- **Архитектура** компьютера – логическая организация компьютера с точки зрения программиста, (программно-видимые средства)
 - Intel Core, AMD x86-64, STI Cell, IBM POWER
- **Микроархитектура** компьютера – совокупность аппаратных решений для серии процессоров, реализующих ее программную модель
 - IA-32 (Intel Architecture 32 bit) представлена двумя микроархитектурами:
 - P6 (Pentium Pro, Pentium II и Pentium III)
 - NetBurst (Celeron, Pentium 4, Xeon ,.....)

ENIAC

(Electronic Numerical Integrator and Computer)

1943 г., Джон Мочли, Джон Эккерт

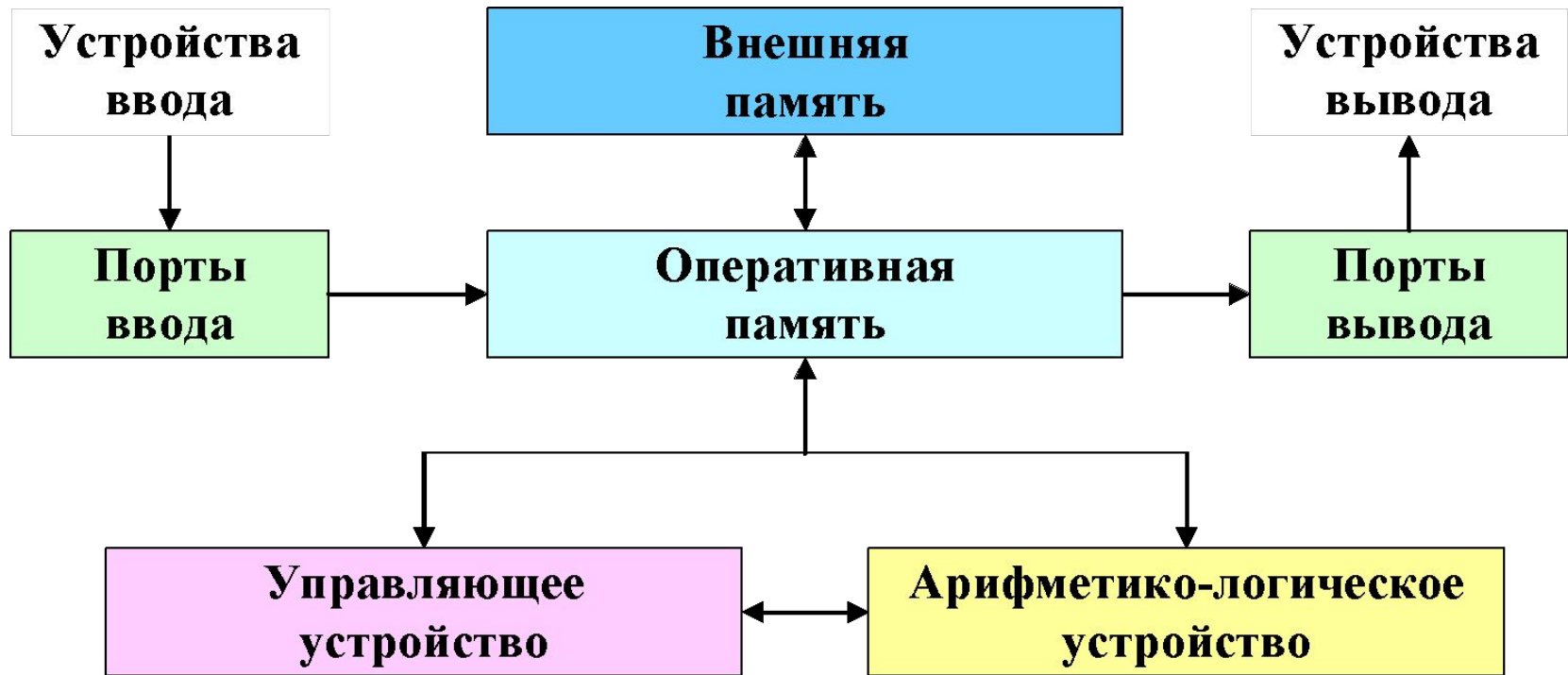
- Не хранится программа
- Нет условных переходов
- 5000 оп/сек



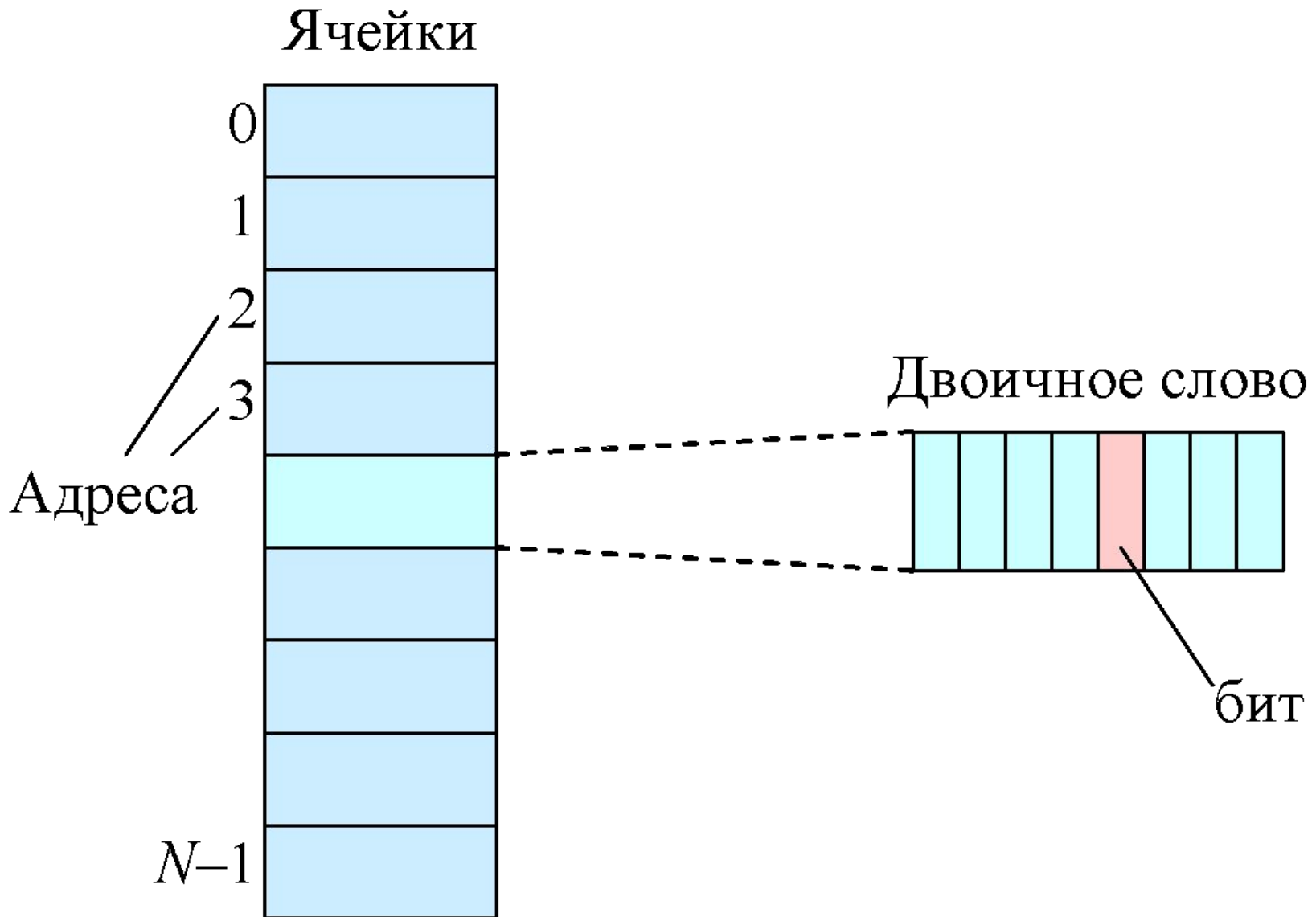
Архитектурные принципы компьютера фон Неймана

- Принцип программного управления**
- Принцип хранимой программы**
- Синхронное функционирование**
- Принцип условного перехода**
- Принцип использования двоичной системы счисления**
- Принцип иерархичности ЗУ**

Схема компьютера фон Неймана



Память

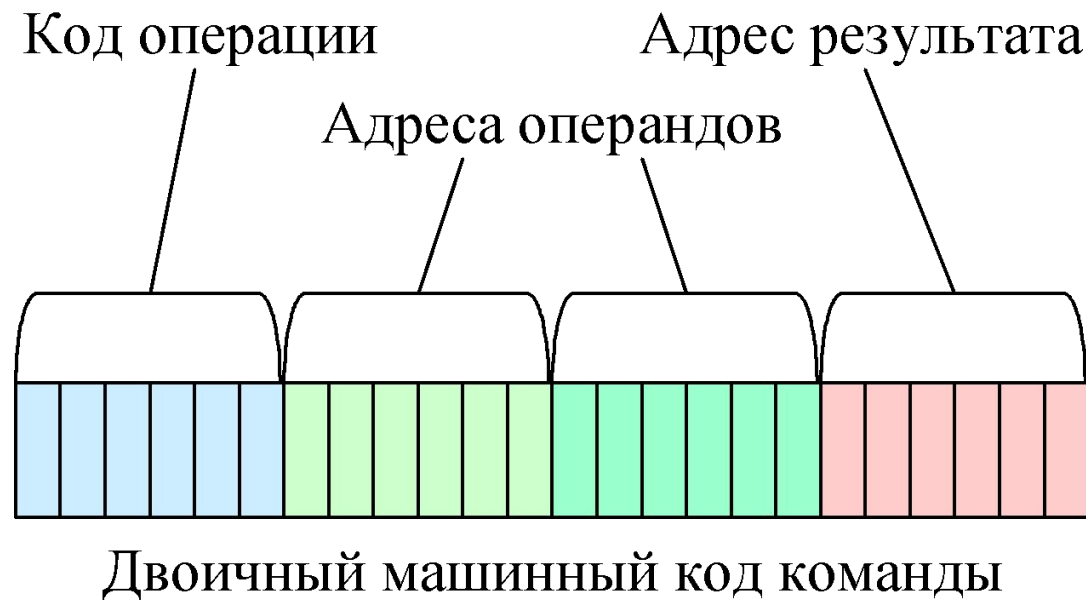


Процессор

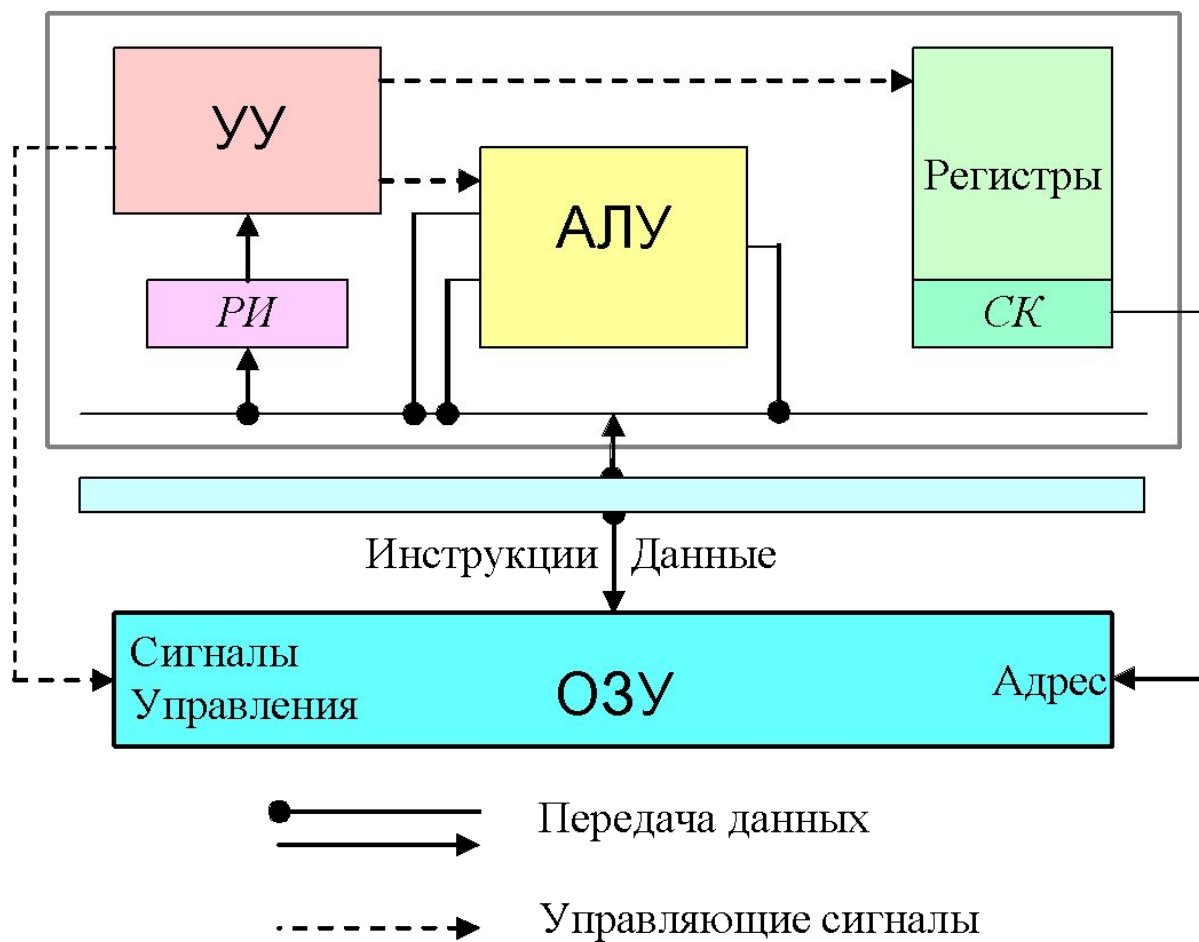
- Устройство управления
- Арифметико-логическое устройство
- Регистры
 - **Счетчик команд** содержит адрес следующей исполняемой команды.
 - **Регистр команды** хранит команду, выполняемую в данный момент времени.
 - ...

Формат команды

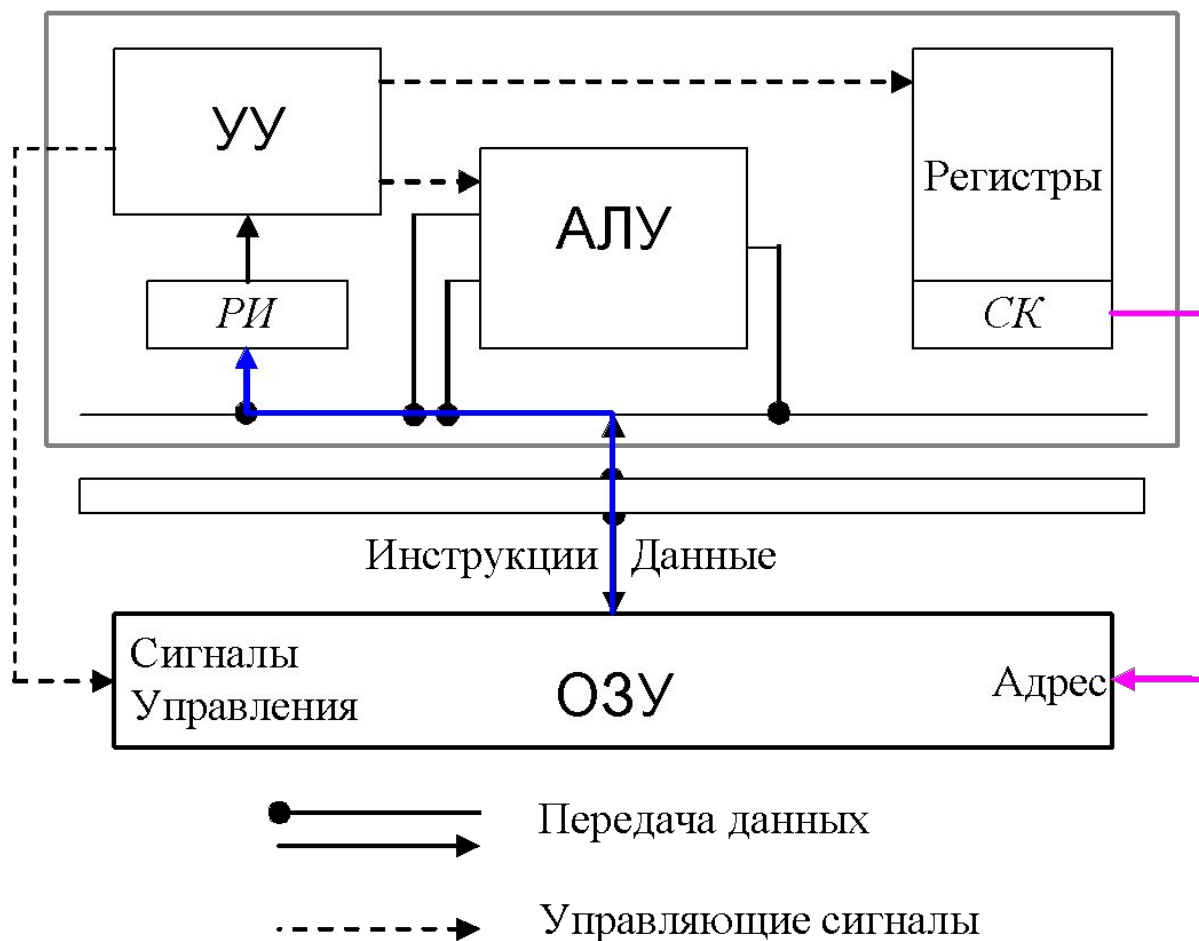
- Какую **операцию** и с какими **операндами** нужно выполнять?



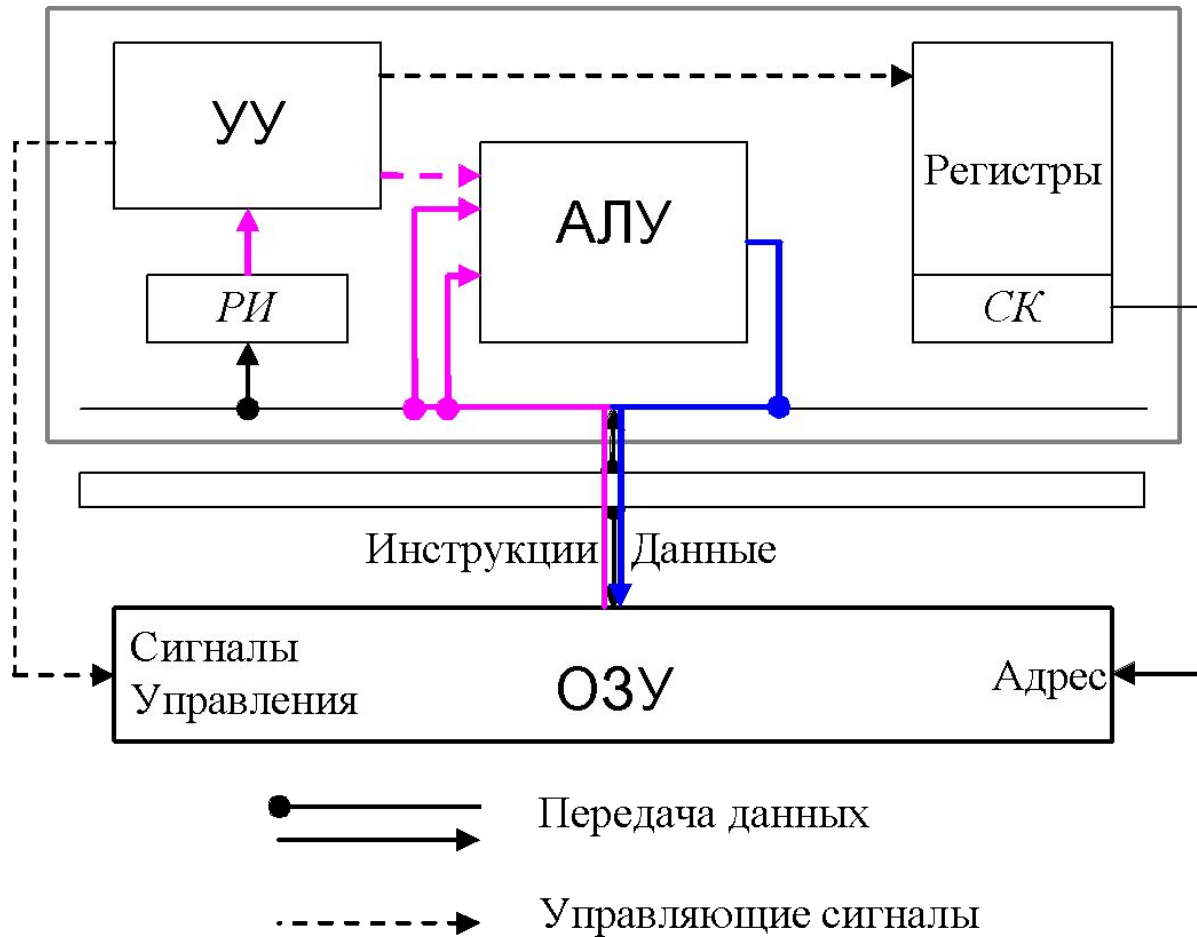
Выполнение команды



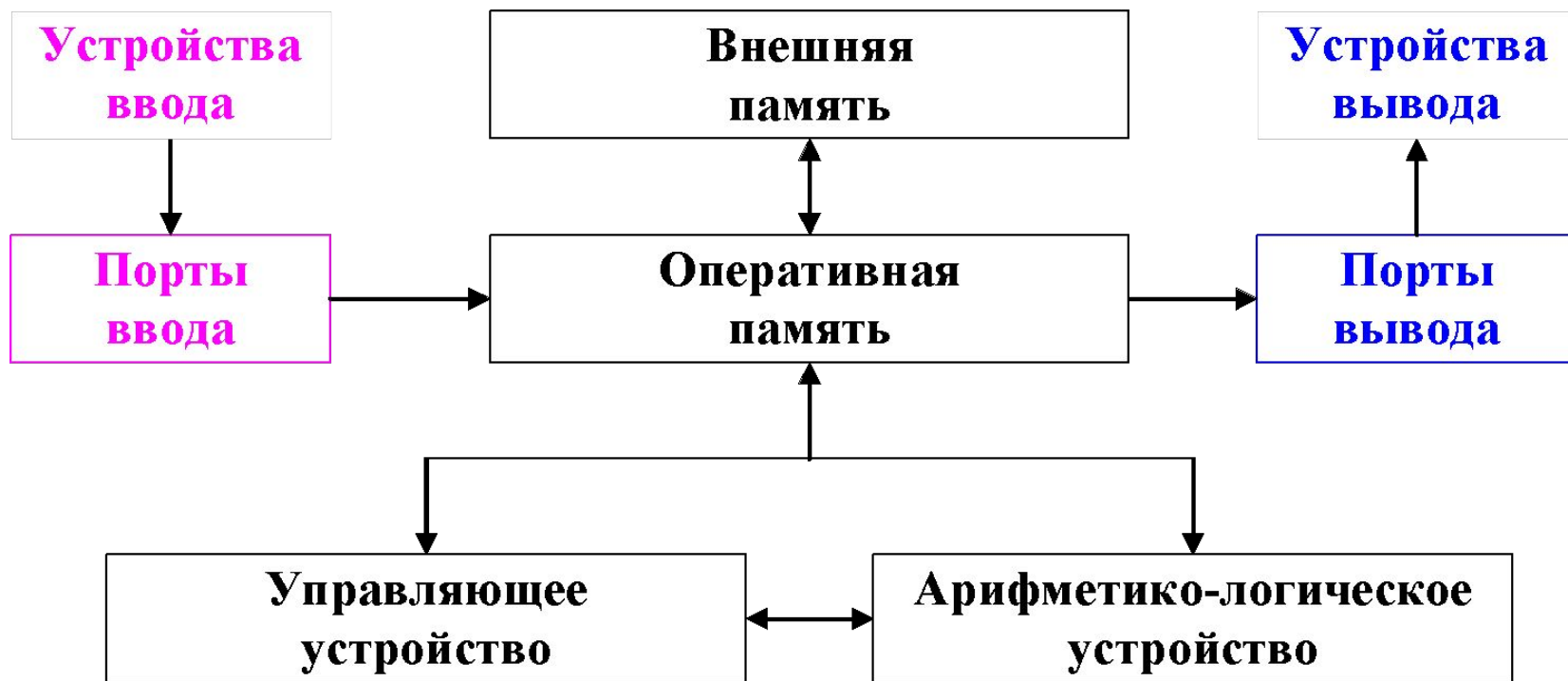
Выполнение команды



Выполнение команды



Периферийные устройства ВВОДА-ВЫВОДА



Машины потока команд

Таким образом, характерной чертой компьютеров фон Неймана является наличие **глобально адресуемой памяти и счетчика команд**, которые позволяют УУ многократно повторять один и тот же цикл действий:

- **извлечение очередной команды машинного кода,**
- **декодирование и выполнение команды**

в автоматическом режиме. В результате глобально адресуемая память и счетчик команд **создают поток команд**, которые УУ декодирует, а АЛУ исполняют.

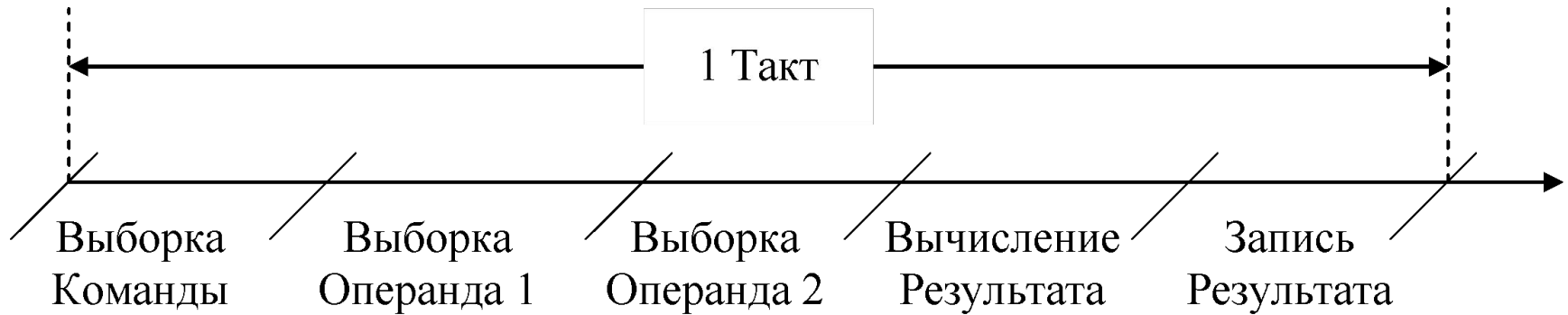
Управляющие стратегии ВЫЧИСЛЕНИЙ

- Команда выполняется, если предыдущая команда, определенная в машинном коде, выполнена (**control flow**).
- Команда выполняется, когда требуемые операнды готовы (**data flow**).
- Команда выполняется, когда ее результат требуется другой команде (**demand driven**).
- Команда выполняется, когда появляются частичные образы данных (**pattern driven**).

Узкие места архитектуры фон Неймана

- **Последовательное выполнение команд**
- **Хранение данных и программы в одном ОЗУ**
- **Один канал связи**

Такт работы процессора



- **Время выполнения команды:**
 - Время доступа в память
 - Время вычисления операции

1951-53 гг. С. Лебедев, МЭСМ и БЭСМ

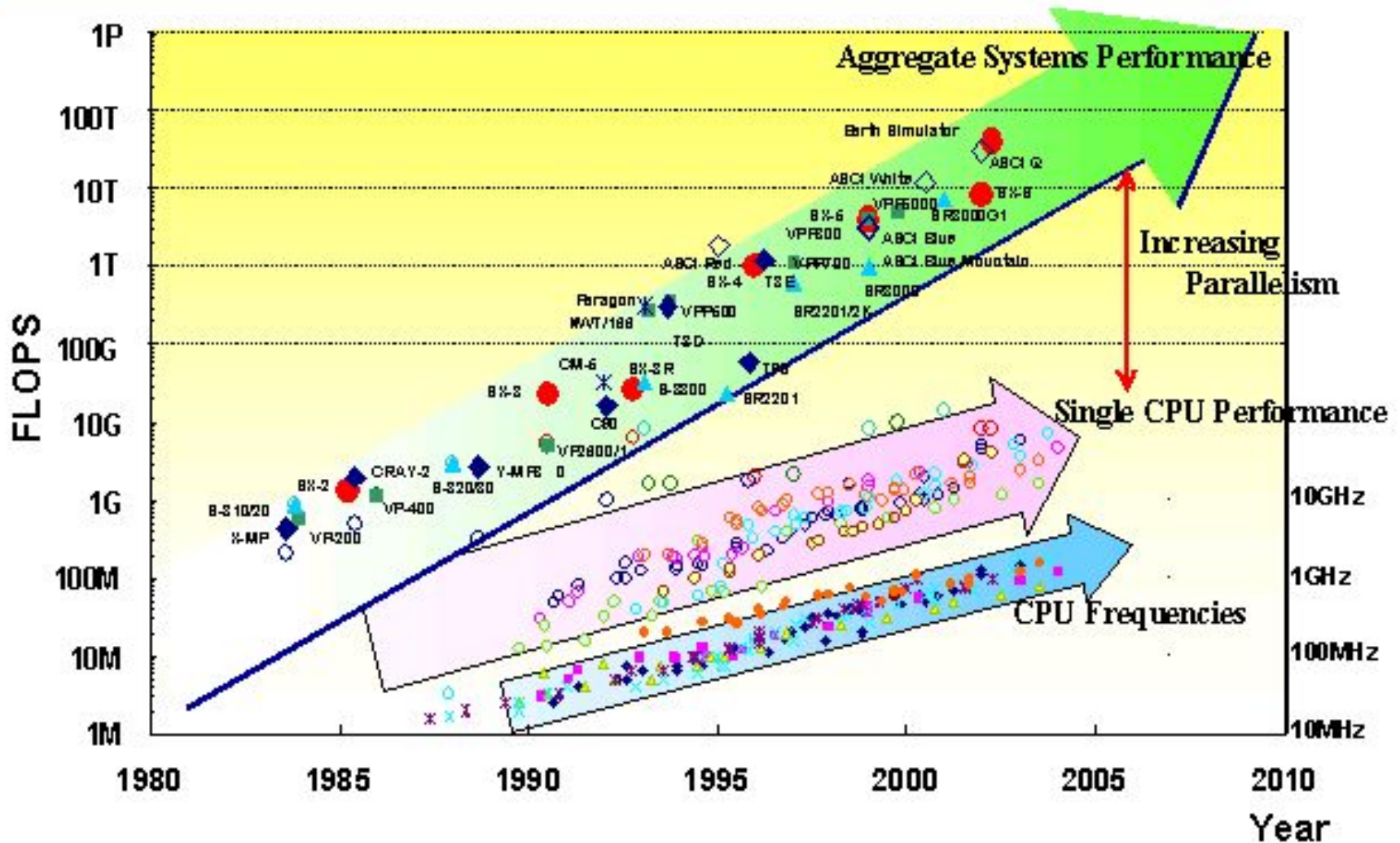
- 8-10 тыс. оп/сек



Усовершенствования архитектуры фон Неймана

- **Усовершенствования в области СБИС-технологий.**
- **Программного обеспечения.**
- **Архитектурные усовершенствования.**

Прогресс в СБИС-технологиях. Закон Мура.



Усовершенствование ПО

- Языки программирования высокого уровня
- Компиляторы
- Библиотеки подпрограмм
- Параллельные языки программирования
- Коммуникационные библиотеки

Характеристики суперкомпьютера **Roadrunner** (№1 <http://www.top500.org>)

- **Процессоры**
 - PowerXCell 8i 3.2 ГГц (12 240 шт.)
 - Opteron DC 1.8 ГГц (6 562 шт.)
- **Всего ядер** 122 400
- **Общая память** 98 Тбайт
- **Производительность**
 - 1026 TFlops (макс)
 - 1375.78 TFlops (пиковая)
 - 437 MFlops/watt
- **Энергопотребление** 2.35 мегаватт

Архитектурные усовершенствования

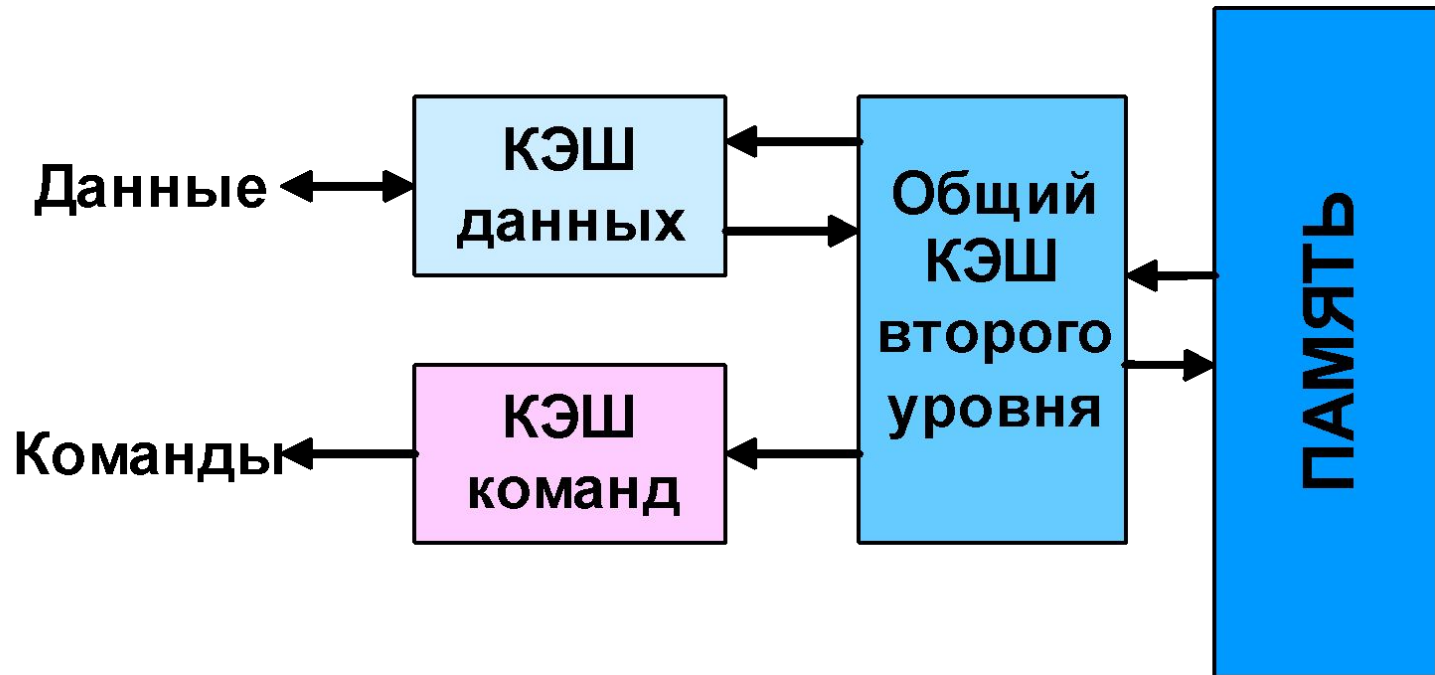
Оптимизация подсистемы памяти

- Контроллер памяти
- Высокоскоростная шина
- Кэш и иерархия памяти
- Виртуальная память
- Аппаратная предвыборка данных и команд

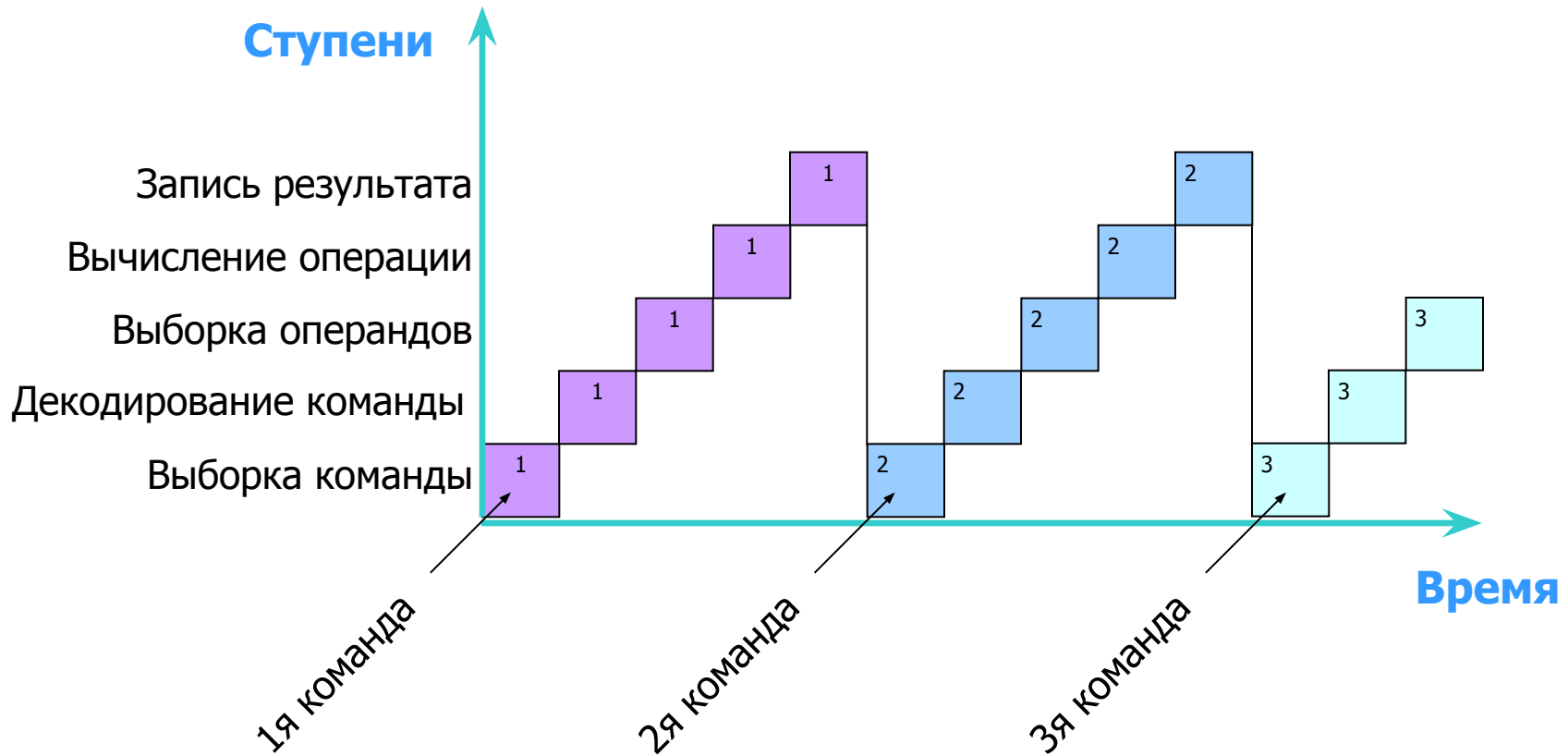
Оптимизация выполнения команд

- Конвейеризация
- Упрощение набора команд
- Истинный параллелизм
 - Данные (SIMD)
 - Инструкции
 - Потoki
 - Программы

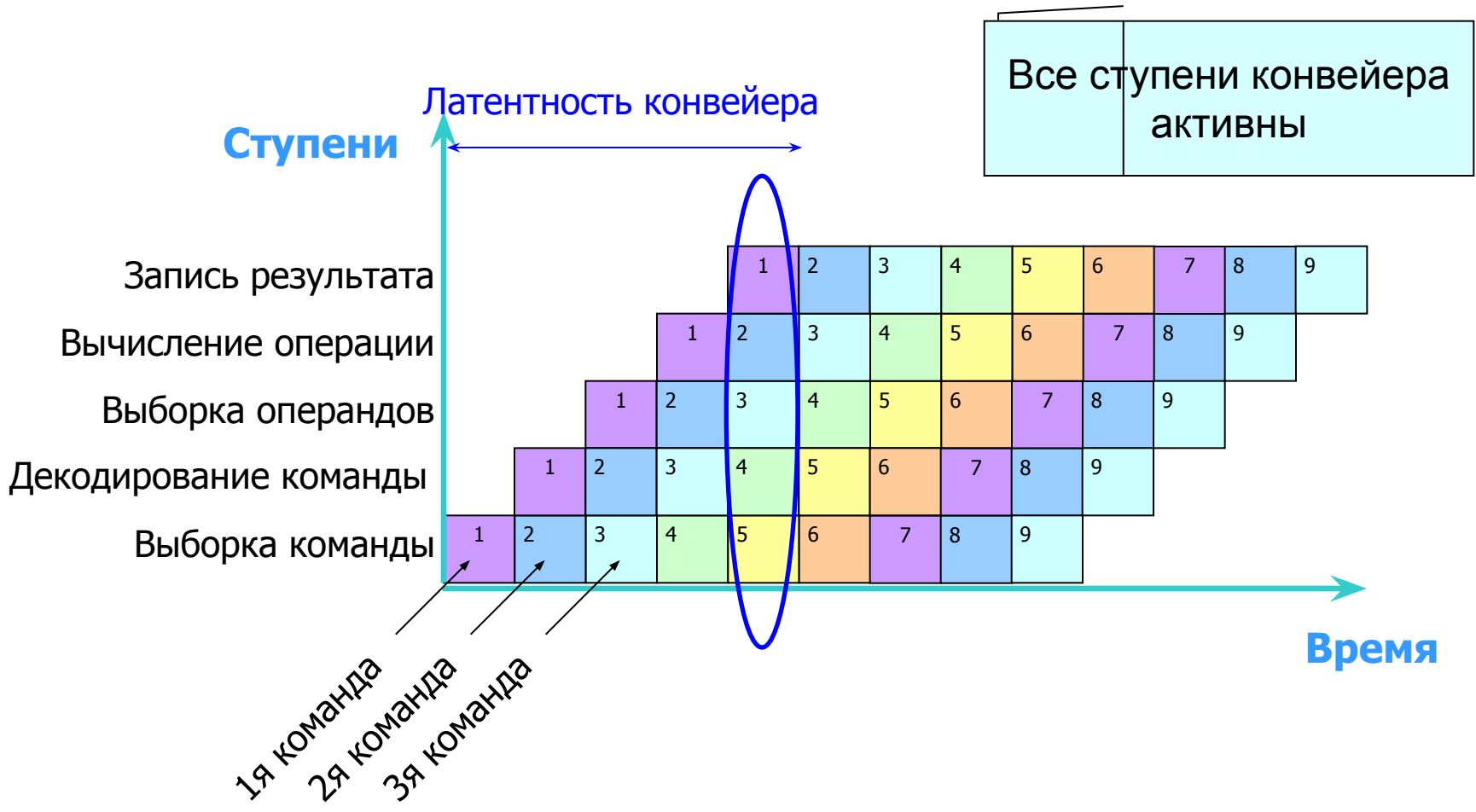
Иерархия памяти



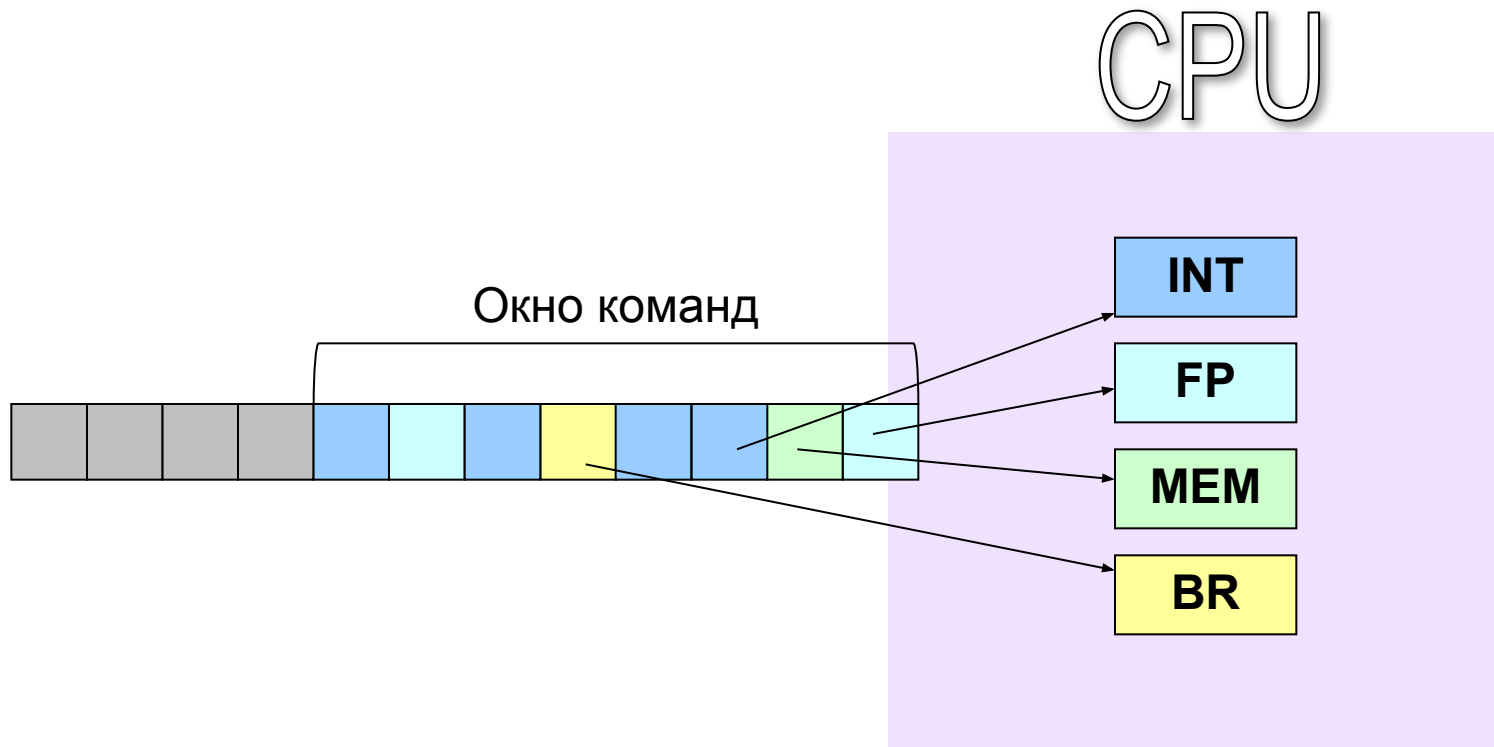
Конвейер команд



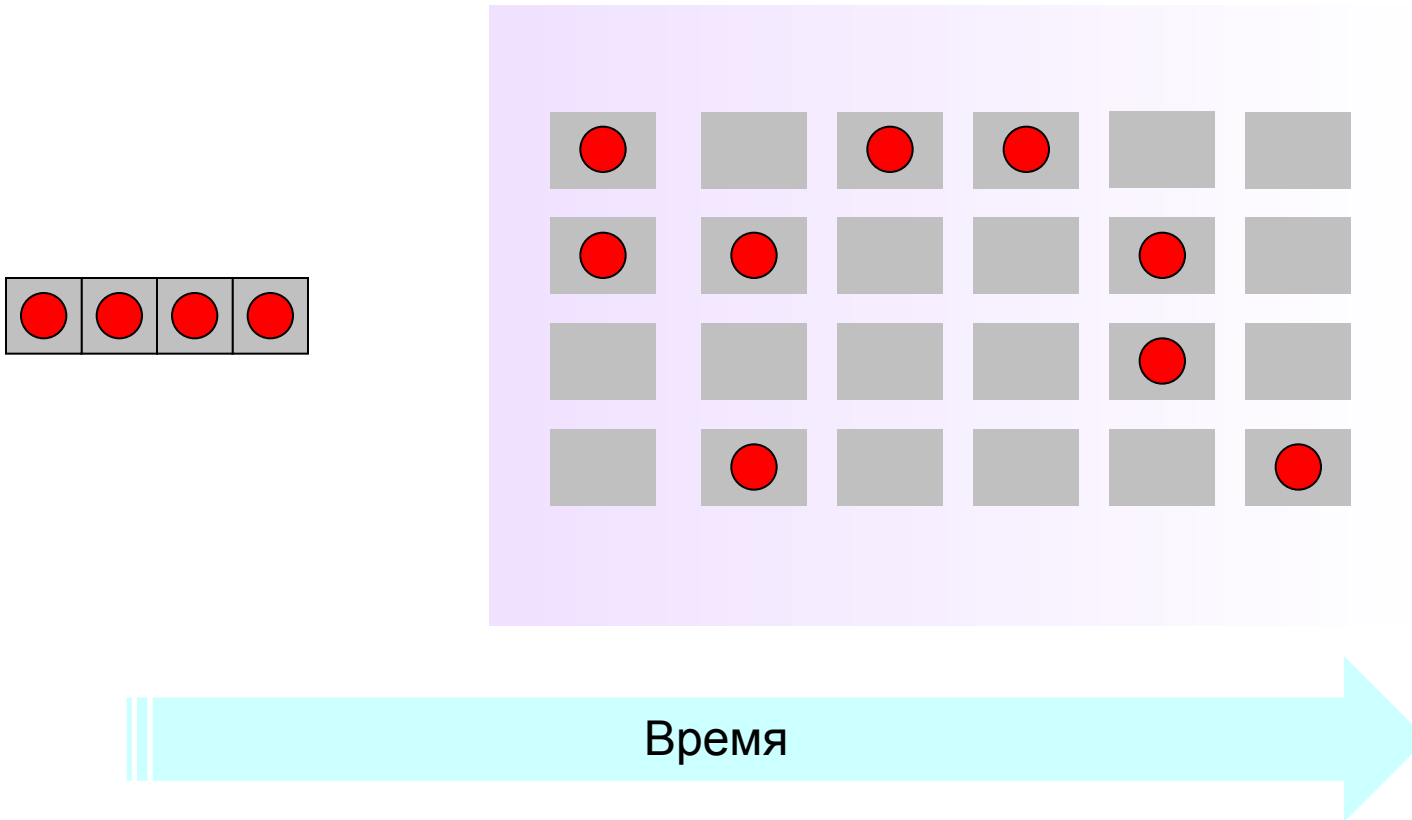
Конвейер команд



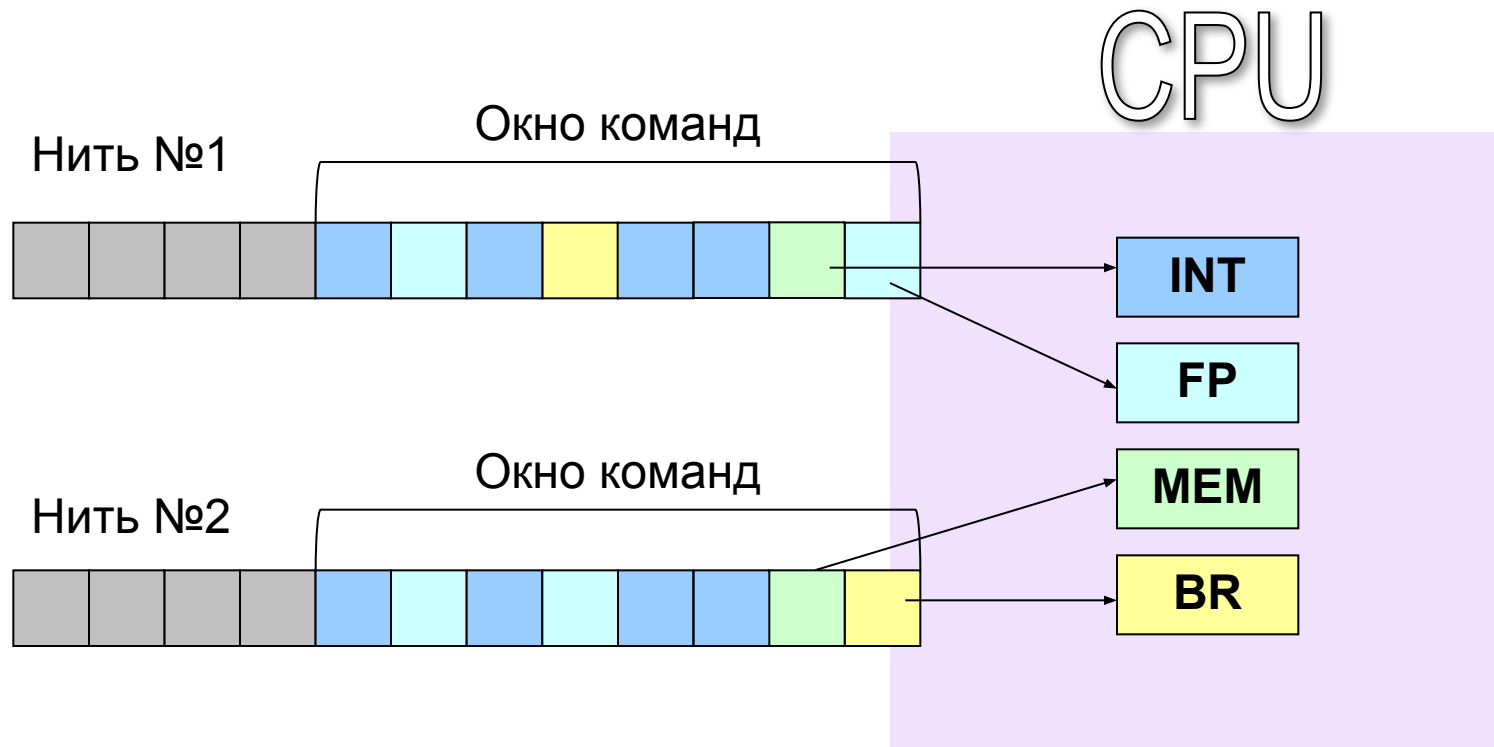
Параллелизм на уровне инструкций (ILP)



Параллелизм на уровне инструкций (ILP)

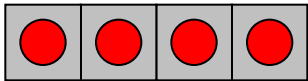


Параллелизм на уровне нитей (TLP)

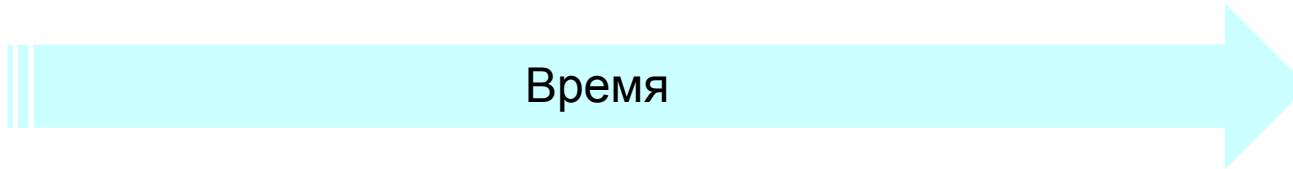
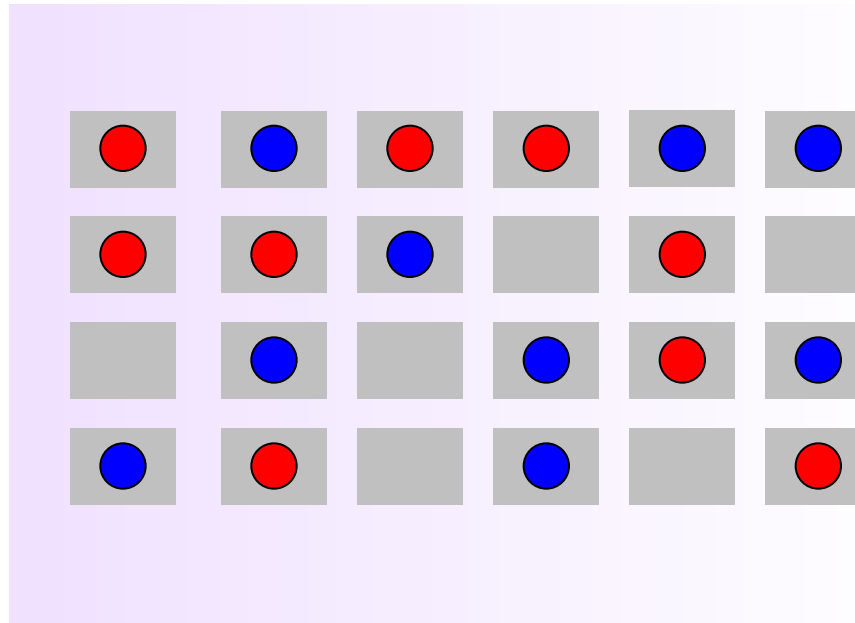
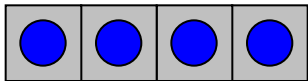


Параллелизм на уровне нитей (TLP)

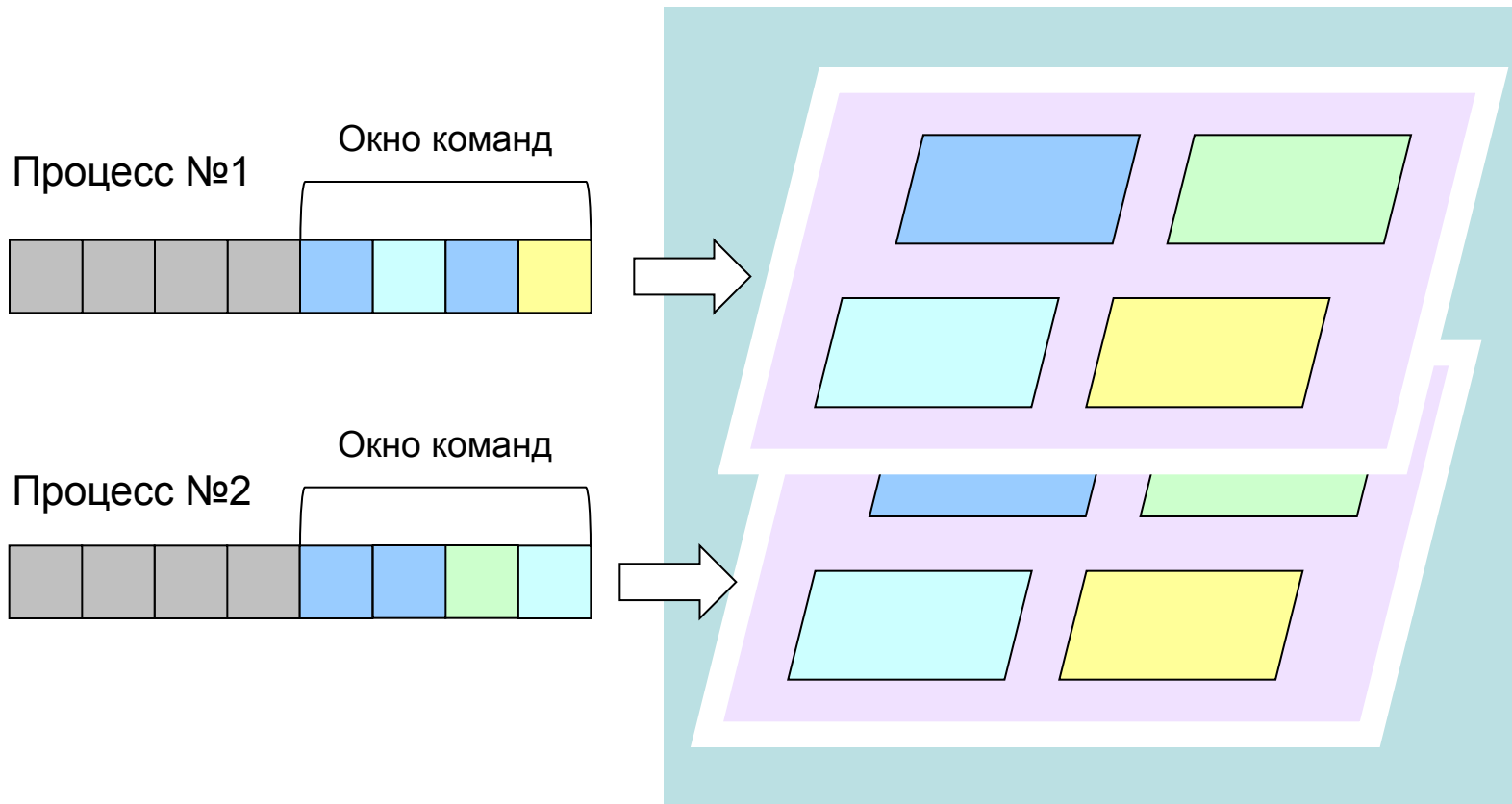
Нить №1



Нить №2



Многоядерность (Multi-Core)



Конец.