

# Типовые логические устройства ЭВМ

Автор: Иващенко Андрей, 10А класс

microsoft®

windows®xp

id381 г.

Смоленск, гимназия №4

# Типовые логические устройства ЭВМ

- Сумматоры
- Полусумматоры
- Триггеры
- Счетчики
- Регистры
- Шифраторы
- Дешифраторы

microsoft®

windows®xp

id381 г.

г. Москва, гимназия №4



# Двоичные сумматоры

Двоичными сумматорами называют логические устройства, выполняющие операцию сложения двух чисел, представленных в двоичном коде.

Сумматор является основным узлом арифметико-логического устройства ЭВМ и служит для суммирования чисел посредством поразрядного сложения.

microsoft®

windows®xp

id381 г.

ок. гимназия№4

# Двоичные сумматоры

- **Последовательные или одноразрядные**

**Последовательные сумматоры строятся на основе одноразрядной суммирующей схемы. В таких устройствах сложение двух чисел производится поразрядно, последовательно во времени.**

microsoft®

windows®xp

id381 г.

школа-гимназия№4



# Одноразрядные сумматоры

- **Одноразрядный полусумматор**

**Одноразрядный двоичный сумматор на два входа и два выхода называется одноразрядным полусумматором.**

microsoft®

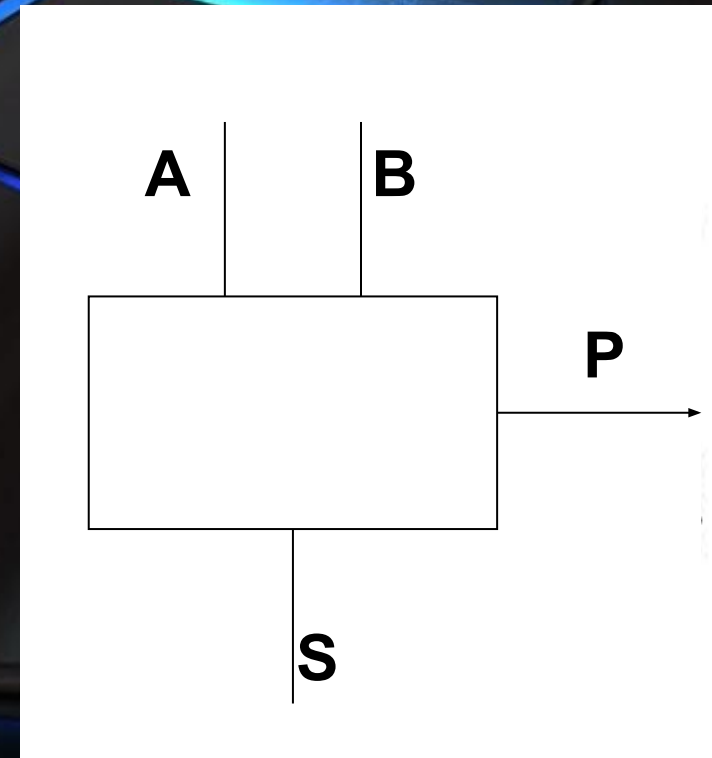
windows®xp

id381 г.

школа-гимназия№4

# Одноразрядные полусумматоры

- **A** – первый входной сигнал
- **B** – второй входной сигнал
- **P** – перенос результата
- **S** – вывод суммы



microsoft®

windows®xp

id381 г.

школа-гимназия№4



# 1 Одноразрядные полусумматоры

В двоичной системе сложение двух двоичных чисел осуществляется по правилу, описанному в таблице.

Из данной таблицы видно, что перенос  $P$  осуществляется по правилу  $P(A,B)=A\&B$

A	B	S	P
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

microsoft®

windows®xp

id381 г.

школа-гимназия№4

# Одноразрядные полусумматоры

Формулу для **S** можно вывести с помощью СДНФ используя таблицу истинности.

A	B	S	P
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

$$S(A, B) = \overline{A \Leftrightarrow B} = \overline{A \& B + \overline{A} \& \overline{B}} = \overline{(A \& B) \& \overline{\overline{A} \& \overline{B}}} = \overline{(A \& B) \& (A + B)}$$



# Одноразрядные полусумматоры

Для построения функциональной схемы воспользуемся первым результатом, т. к. в ней требуется для выполнения меньшее количество операций.

Получаем общую схему и формулу одноразрядного полусумматора:

$$S(A, B) = \overline{(A \& B)} \& (A + B)$$

$$P(A, B) = A \& B$$

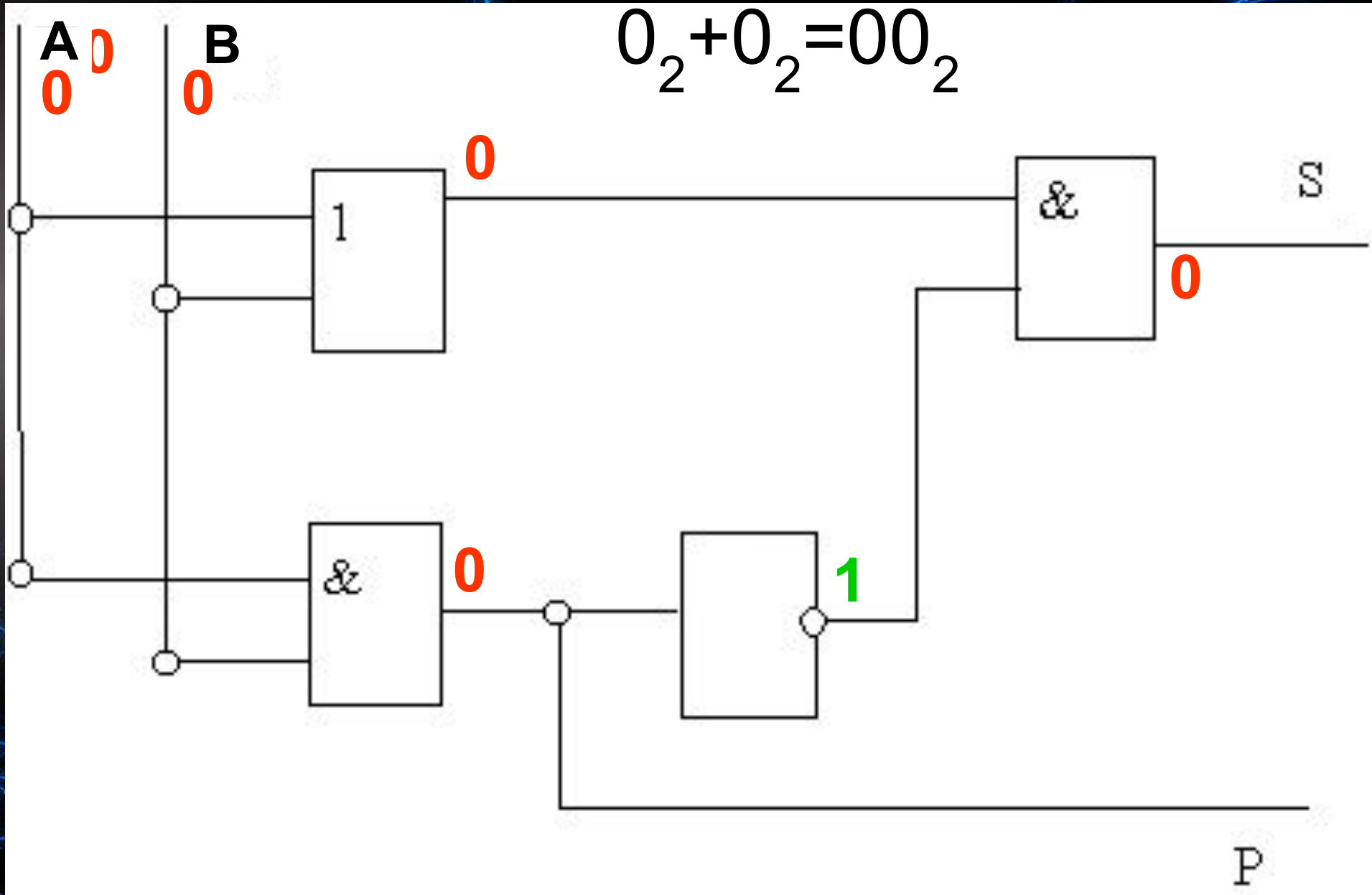
microsoft®

windows®xp

id381 г.

гимназия№4

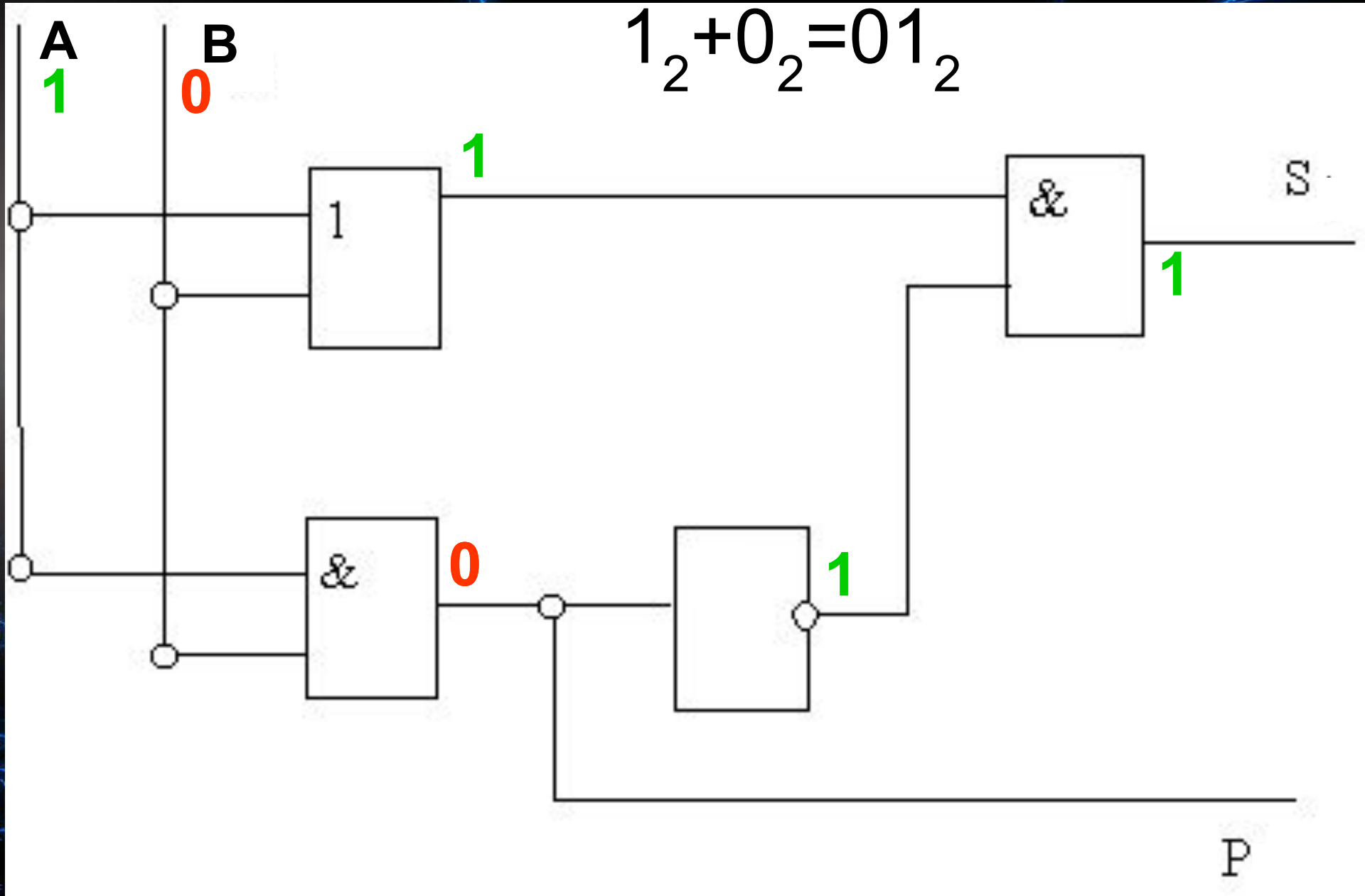
$$0_2 + 0_2 = 00_2$$





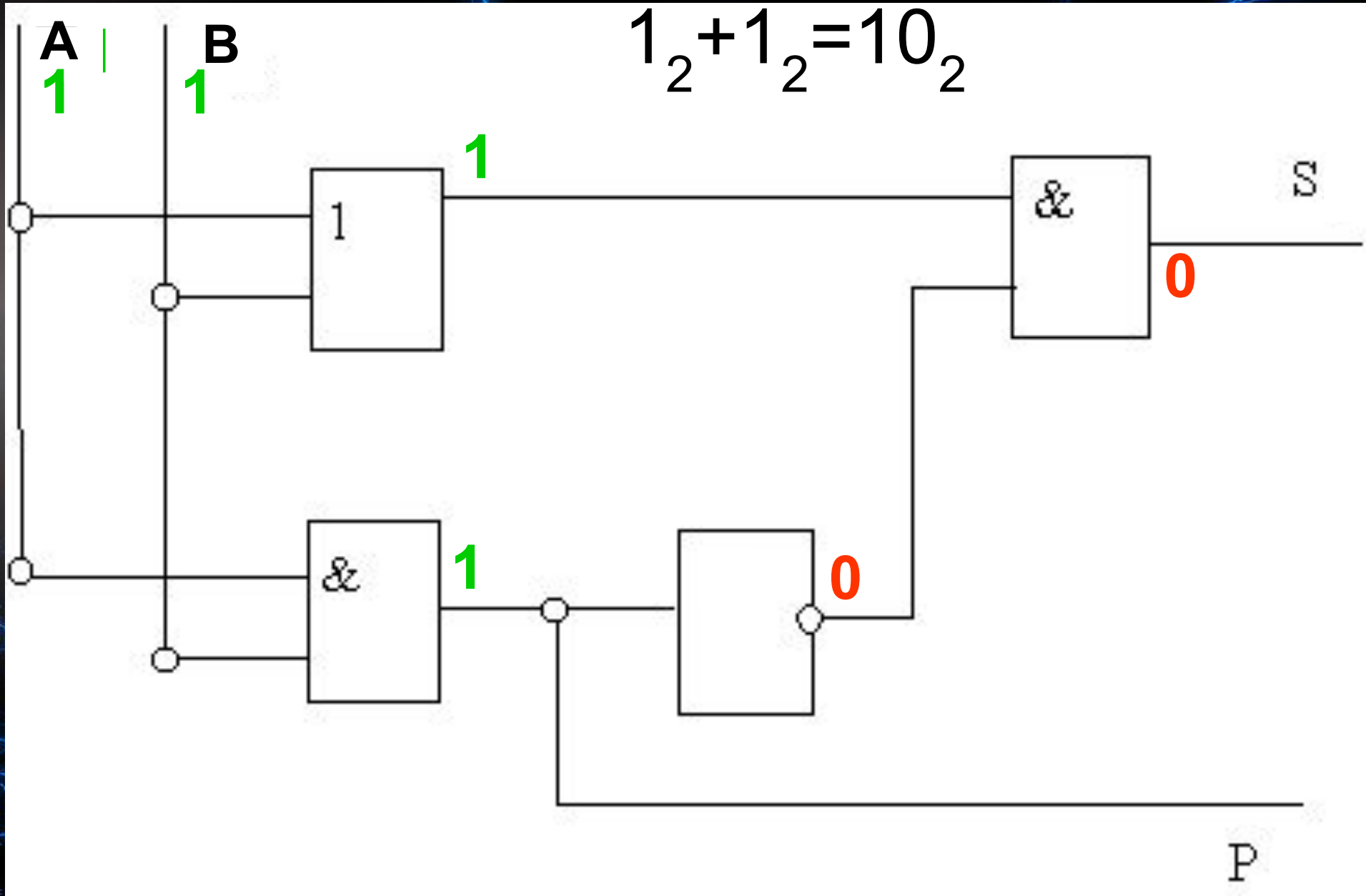


$$1_2 + 0_2 = 01_2$$





$$1_2 + 1_2 = 10_2$$



# Одноразрядные полусумматоры

A	B	1 (A&B)	2 (A+B)	3 ( $\overline{A \& B}$ )	4(P)	5(S)
0	0	0	0	1	0	1
0	1	0	1	1	0	1
1	0	0	1	1	0	1
1	1	1	1	0	1	0

Из таблицы видно, что значения на выходах соответствуют значениям суммы и переноса правила сложения двоичных чисел

A	B	S	P
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1



# Полные одноразрядные сумматоры

- **Полный одноразрядный сумматор**

**Одноразрядный двоичный сумматор на три входа и два выхода называется полным одноразрядным сумматором.**

microsoft®

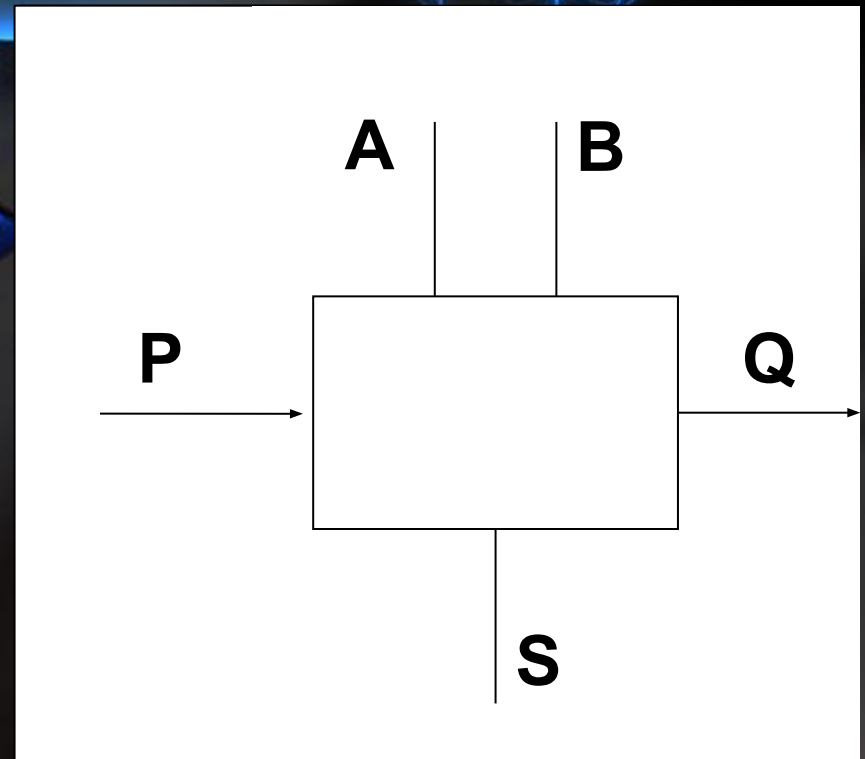
windows®xp

id381 г.

школа-гимназия №4

# А Полные одноразрядные сумматоры

- А – первый вход
- В – второй вход
- Р – третий вход
- Q – перенос результата
- S – вывод суммы





# Полные одноразрядные сумматоры

## Принцип действия:

Через вход  $A$  и  $B$  сумматор воспринимает двоичные цифры (слагаемые в данном разряде), через вход  $P$  - двоичную цифру – перенос из младшего разряда. На выход  $S$  сумматор выдает сумму в данном разряде, на выход  $Q$  – значение переноса в старший разряд

microsoft®

windows®xp

id381 г.

школа гимназия №4

# 1 Полные одноразрядные сумматоры

По данной в таблице схеме осуществляется сложение в полных одноразрядных сумматорах.

Построим СДНФ для  $Q(A,B,P)$  и  $S(A,B,P)$ :

A	B	P	S	Q
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

# Полные одноразрядные сумматоры

$$\begin{aligned} Q(A, B, P) &= \bar{A} \& B \& P + A \& \bar{B} \& P + A \& B \& \bar{P} + A \& B \& P = \\ &= \bar{A} \& B \& P + A \& \bar{B} \& P + A \& B \& \bar{P} + A \& B \& P + A \& B \& P + \\ &+ A \& B \& P = (\bar{A} \& B \& P + A \& B \& P) + (A \& \bar{B} \& P + A \& B \& P) + \\ &+ (A \& \bar{B} \& P + A \& B \& P) = A \& P + B \& P + A \& B \end{aligned}$$



# Полные одноразрядные сумматоры

$$\begin{aligned}
 S(A, B, P) &= \bar{A} \& \bar{B} \& P + \bar{A} \& B \& \bar{P} + A \& \bar{B} \& \bar{P} + A \& B \& P = \\
 &= \overline{\bar{A} \& \bar{B} \& P + \bar{A} \& B \& \bar{P} + A \& \bar{B} \& \bar{P} + A \& B \& P} = \\
 &= \overline{(A + B + \bar{P}) \& (A + \bar{B} + P) \& (\bar{A} + B + P) \& (\bar{A} + \bar{B} + \bar{P})} = \\
 &= \overline{(A + (B + \bar{P}) \& (\bar{B} + P)) \& (\bar{A} + (B + P)) \& (\bar{B} + \bar{P})} = \\
 &= \overline{(A + B \& P + \bar{B} \& \bar{P})(\bar{A} + \bar{B} \& P + B \& \bar{P})} = \\
 &= \overline{A \& B \& \bar{P} + A \& \bar{B} \& P + \bar{A} \& B \& P + \bar{A} \& \bar{B} \& \bar{P}} = \\
 &= \overline{A \& B \& \bar{P} + A \& \bar{B} \& P + \bar{A} \& B \& P \& (A + B + P)} = \\
 &= \overline{(A \& B \& \bar{P} + A \& \bar{B} \& P + \bar{A} \& B \& P + A \& \bar{A} \& (B + P) + \\
 &+ \bar{B} \& B \& (A + P) + \bar{P} \& P \& (A + B)) \& (A + B + P)} = \\
 &= \overline{(A \& P + B \& P + A \& B) \& (\bar{A} + \bar{B} + \bar{P}) \& (A + B + P)} \\
 &= \overline{((A \& P + B \& P + A \& B) + A \& B \& P) \& (A + B + P)} = \\
 &= (\bar{Q} + A \& B \& P) \& (A + B + P)
 \end{aligned}$$

# Полные одноразрядные сумматоры

Получаем структурные формулы

$$Q(A, B, P) = A \& P + B \& P + A \& B$$
$$S(A, B, P) = (\bar{Q} + A \& B \& P) \& (A + B + P)$$

и строим функциональную схему  
одноразрядного сумматора на три входа

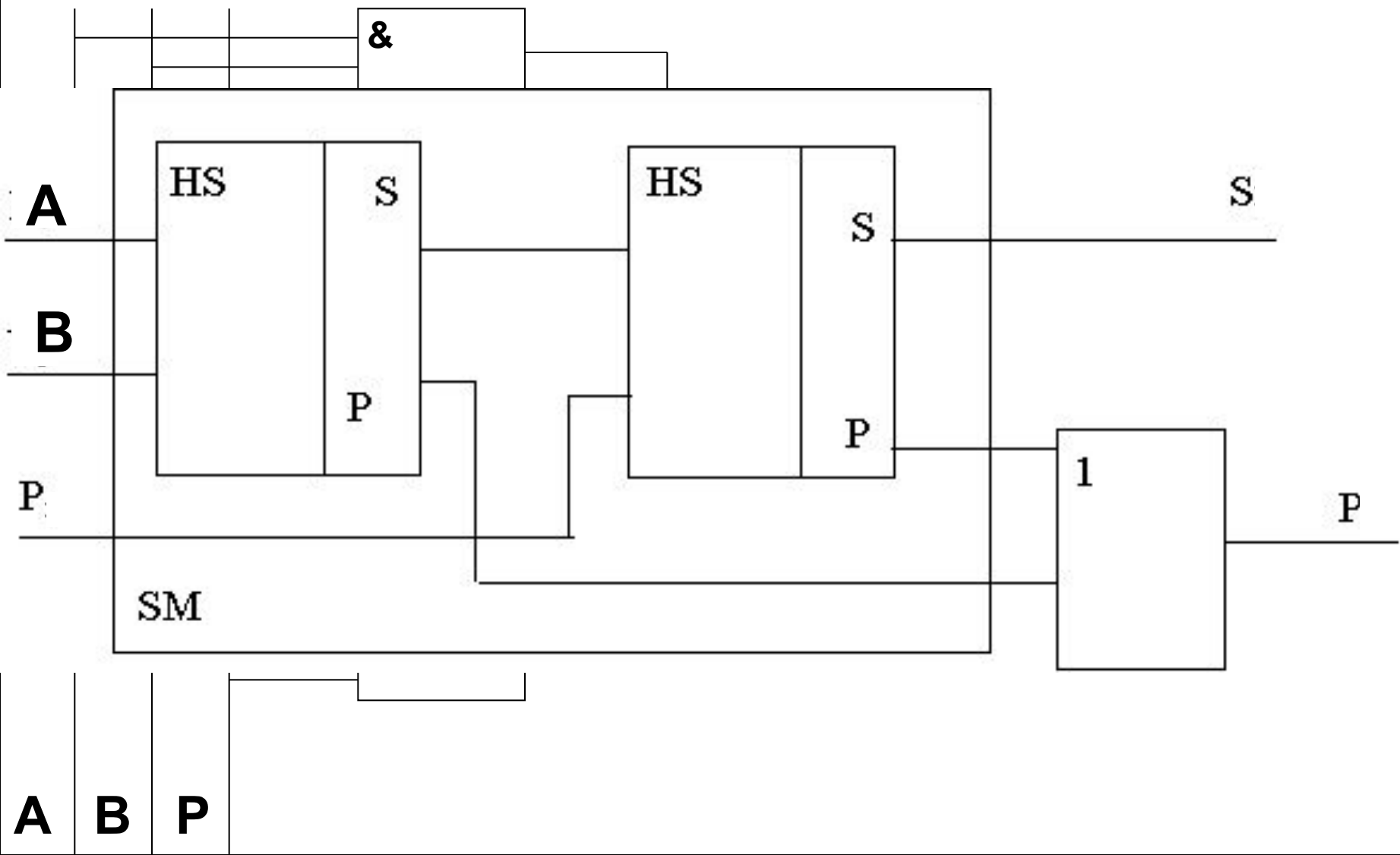
microsoft®

windows®xp

id381 г.

гимназия№4

# 1 Полные одноразрядные сумматоры





# Параллельные многоразрядные сумматоры

- Параллельные или многоразрядные

Параллельные сумматоры комбинационного типа представляют собой композиции одноразрядных суммирующих схем, причем обработка чисел в таких устройствах осуществляется одновременно во всех разрядах.

microsoft®

windows®xp

id381 г.

школа гимназия№4

# Параллельные многоразрядные сумматоры

Параллельные многоразрядные сумматоры предназначены для одновременного суммирования двух многоразрядных чисел и характеризуются различными способами передачи сигналов переноса от младших разрядов сумматора к старшим.

microsoft®

windows®xp

id381 г.

школа-гимназия№4



# Параллельные многоразрядные сумматоры

Простейшими из параллельных сумматоров (ПС) являются ПС с последовательной передачей сигналов переноса. На входы каждой одноразрядной схемы сумматора поступают два слагаемых и перенос из предыдущего разряда. Сигнал переноса, образованный в младшем разряде, распространяется последовательно по цепям переноса к старшим разрядам. Время распространения переноса определяется суммарной задержкой этих цепей.

microsoft®

windows®XP

id381 г.

гимназия№4



# Параллельные многоразрядные сумматоры

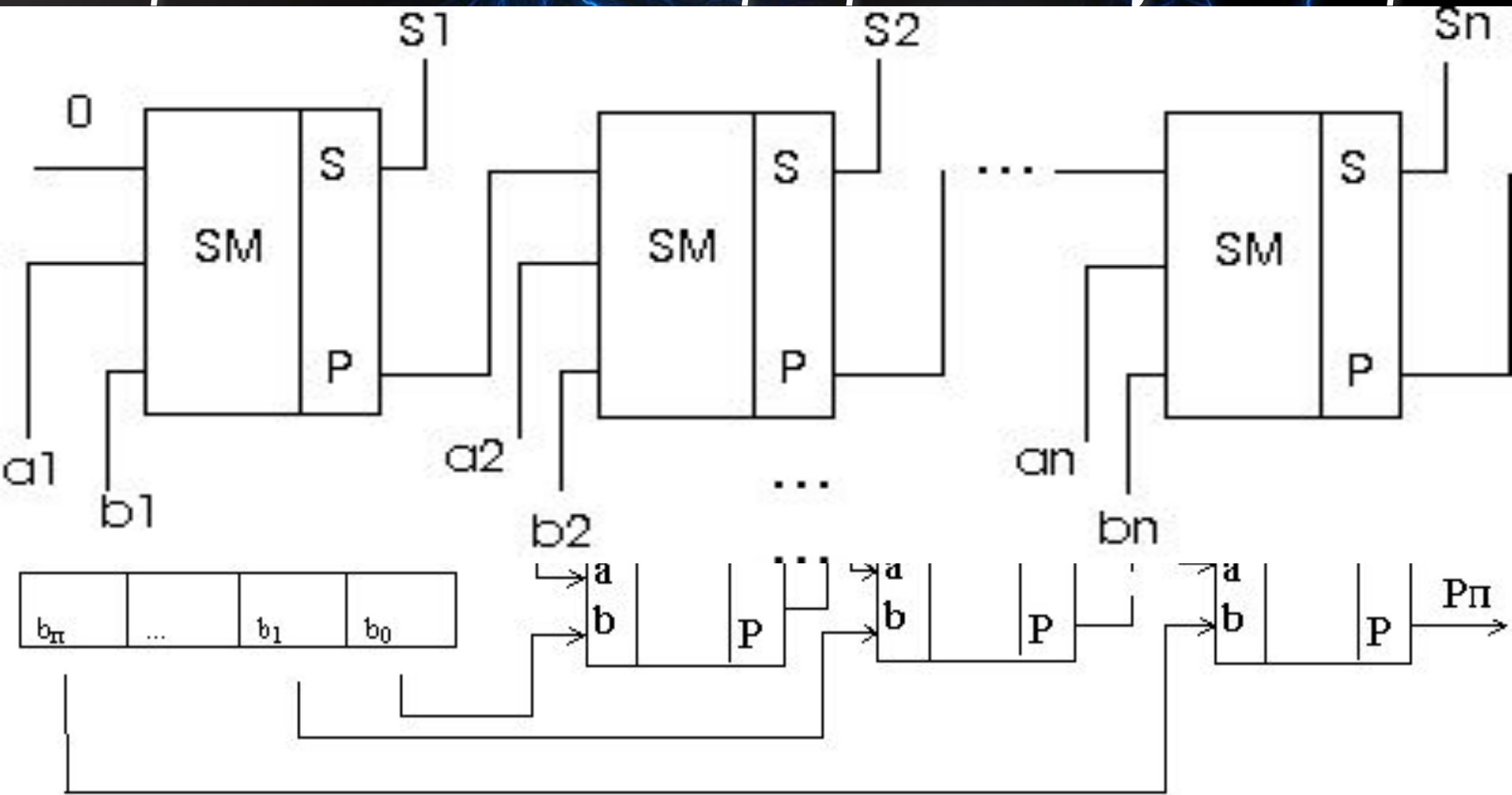


рис.11.6.

# Параллельные многоразрядные сумматоры

Быстродействие сумматора при сложении двух  $n$ -разрядных чисел характеризуется временем суммирования, которое в наихудшем случае равно  $t_s = (n-1)t_p + t_{is}$  где  $t_{is}$ ,  $t_p$  - задержки формирования одноразрядным сумматором суммы и переноса соответственно. Следовательно, сумматоры с последовательным переносом обладают низким быстродействием. С целью повышения быстродействия (сокращения времени сложения) применяются сумматоры с одновременным переносом.

microsoft®

windows®xp

id381 г.

гимназия№4

# Параллельные многоразрядные сумматоры

Серьезным недостатком сумматоров с одновременным переносом является значительный рост аппаратных затрат при построении схем межразрядных переносов. Поэтому на практике применяют метод построения сумматоров с комбинированным переносом.

microsoft®

windows®xp

id381 г.

школа гимназия№4



# Параллельные многоразрядные сумматоры

В сумматорах с комбинированным переносом полные одноразрядные сумматоры объединяются в группы. Внутри группы, как правило, осуществляется одновременный перенос. Между группами перенос может быть как последовательный, так и одновременный. На рисунке в качестве примера приведена схема 16-разрядного двоичного сумматора с комбинированным переносом на базе четырехразрядных схем сумматоров АЛУ (микросхем ИФЗ). Здесь внутри групп организован одновременный перенос, между группами - последовательный.

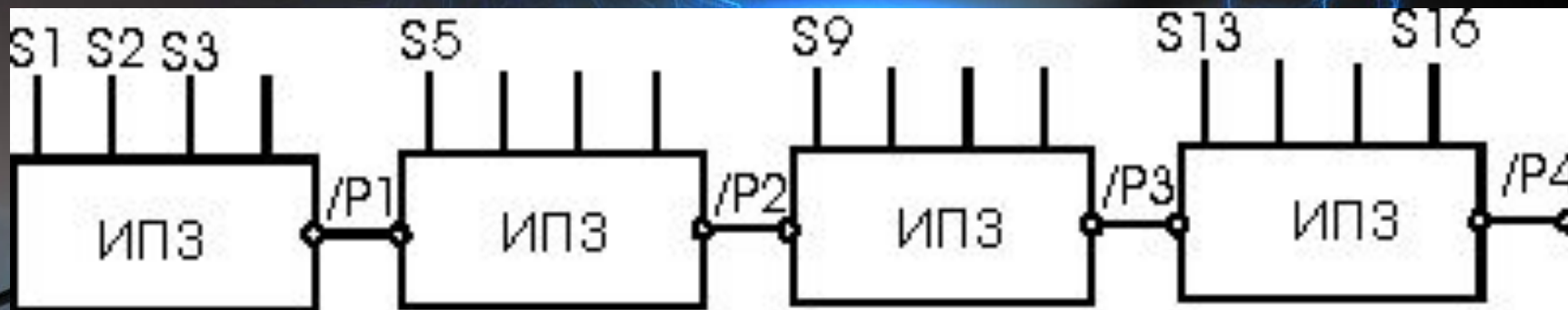
microsoft®

windows®xp

id381 г.

ок гимназия№4

# Параллельные многоразрядные сумматоры



Для удобства построения сумматоров с одновременным переносом в ряде серий микросхем логические функции, формирующие переносы, реализуются в виде отдельной микросхемы.



# Литература

- «Логика в информатике» Лыскова В, Ракитина Е, Москва, ЛБЗ, 2006
- «Информатика» учебник + задачник Есипов А, Санкт-Петербург, Наука и техника, 2001
- «Информатика 10-11» Шауцукова Л, Москва, Просвещение, 2000

microsoft®

windows®xp

id381 г.

г. Москва, гимназия №4