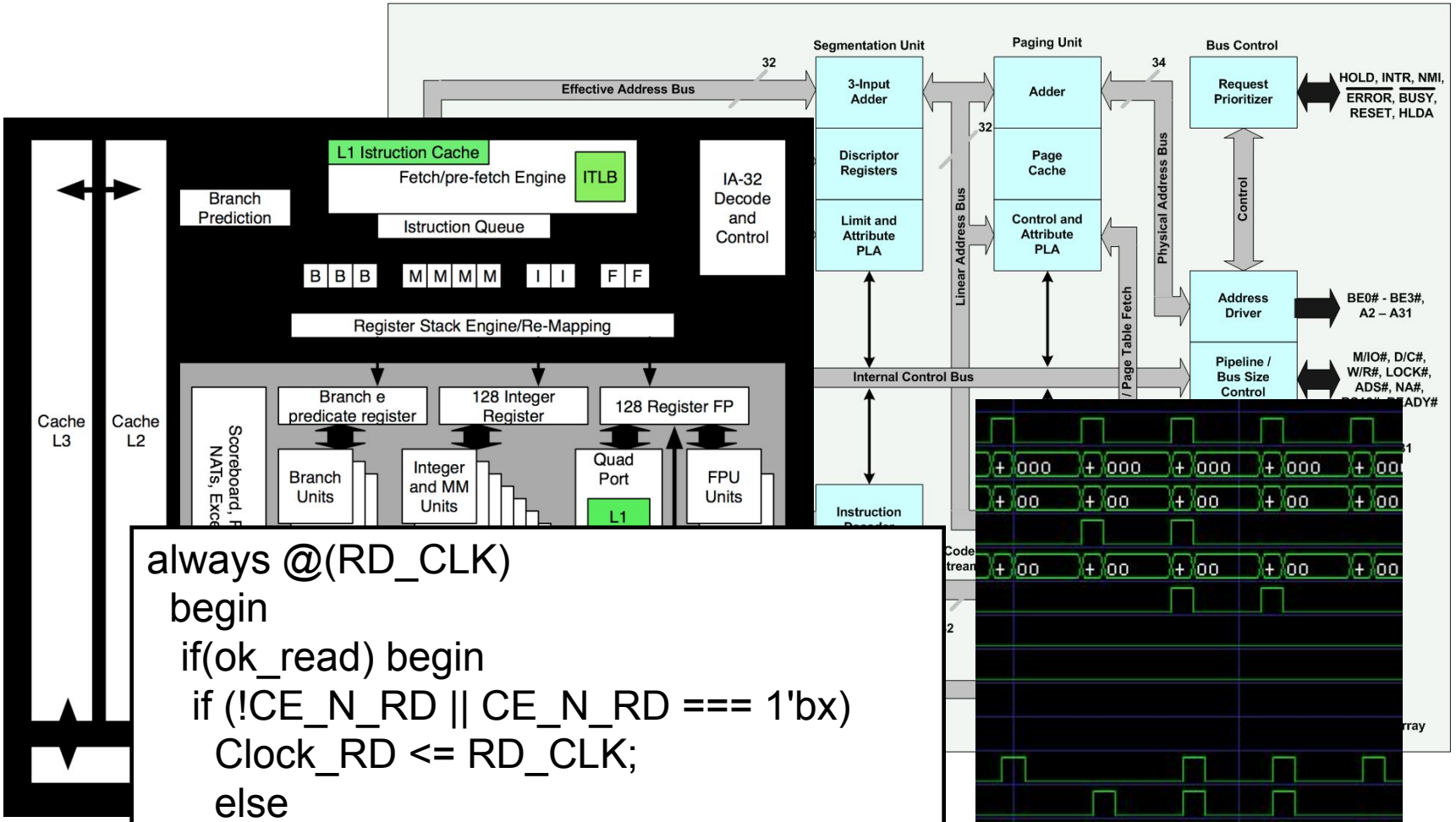
Модели аппаратуры

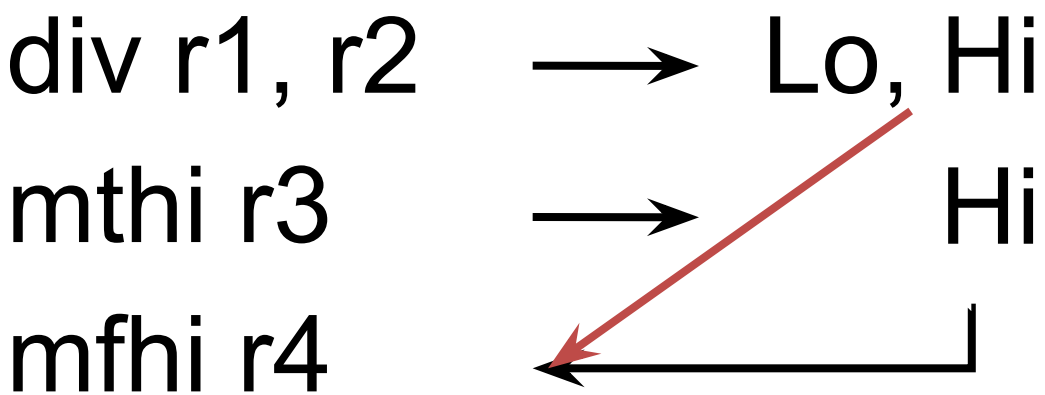



```
always @(RD_CLK)
  begin
   if(ok_read) begin
    if (!CE_N_RD || CE_N_RD === 1'bx)
      Clock_RD <= RD_CLK;
      else
        Clock_RD <= 1'b0;
     end
   end
```

Верификация моделей аппаратуры

- Верификация и тестирование занимает до 70% времени разработки:
  - проверяются алгоритмы;
  - проверяется кодирование алгоритмов;
  - проверяется соединение блоков и т.д.

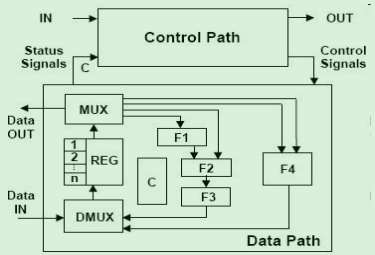
Пример ошибки



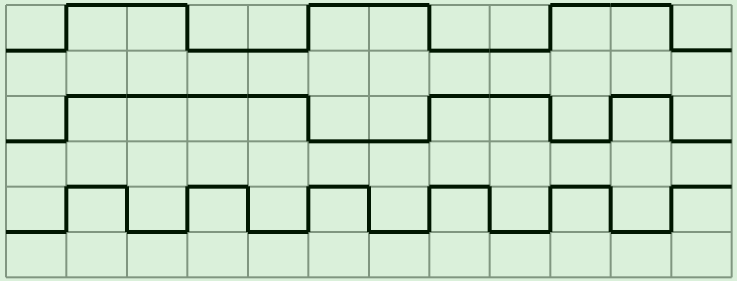
Уровни верификации микропроцессоров

Модульный уровень

Тестируется модель отдельного модуля

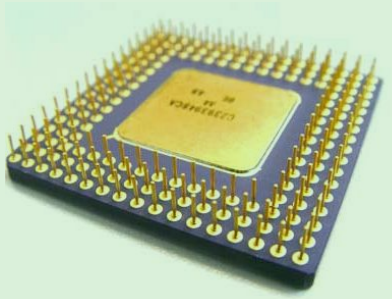


через входные и выходные сигналы



Системный уровень

Модель микропроцессора тестируется целиком



с помощью тестовых программ

```
lui  s1, 0xdead
ori  s1, s1, 0x0
lui  s3, 0xbeef
ori  s3, s3, 0xf
add  v0, a0, a2
sub  t1, t3, t5
add  t7, s1, s3
```

Инструментальная поддержка