

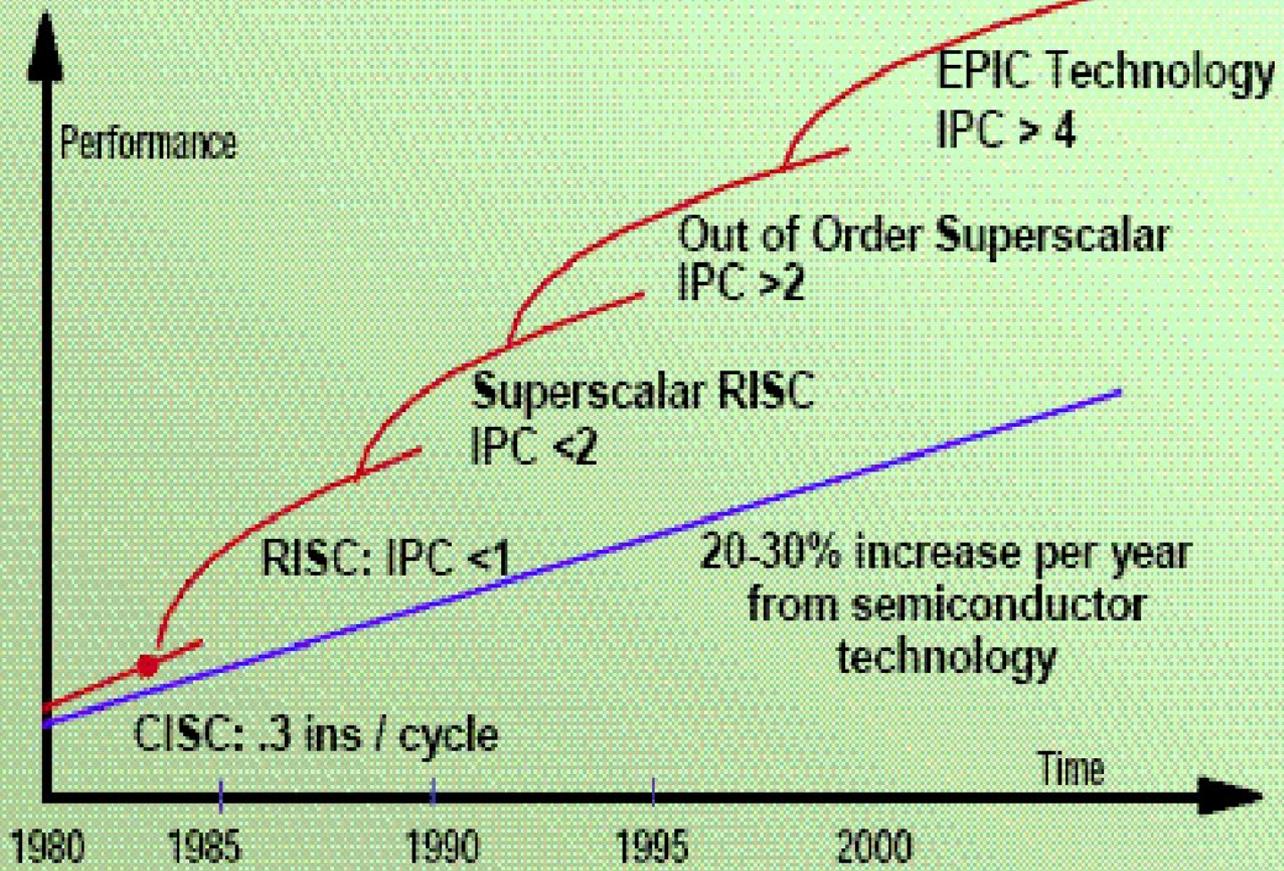
Архитектуры с параллелизмом на уровне команд

Два класса

- Суперскалярные процессоры
- Процессоры с длинным командным словом



Performance Benefits from New Architectures and Microarchitectures



Динамическое исполнение команд в суперскалярном процессоре

- Предсказание ветвлений (переходов) (**branch prediction**).
- Переименование регистров, чтобы удалить зависимости между данными и регистрами, невидимые компилятору (**register renaming**).
- Спекулятивное исполнение предсказанных переходов (**speculative execution of predicted branches**)
- Исполнение команд вне порядка (**out-of-order instruction execution**)

Как реализован конвейер?

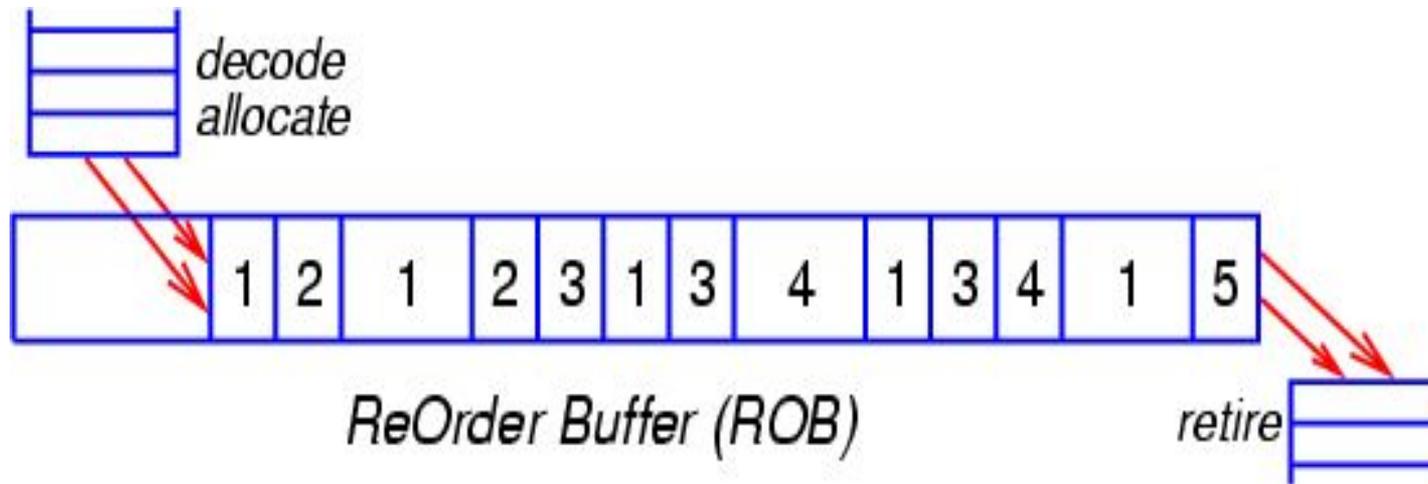
- Устройство предварительной обработки инструкций в порядке их следования в программном коде (**front end**).
- Исполнение вне порядка (**Out-Of-Order execution**)
- Блок упорядоченного завершения (**In-order retirement**)

Устройство **front end**

- Предсказание следующей инструкции. Используются два алгоритма предсказания переходов. **Динамический алгоритм** работает на стадии выборки. **Статический алгоритм** работает на стадии декодирования, использует правила: безусловные переходы выполняются, условные переходы назад выполняются, переходы вперед не выполняются, это соответствует обычному циклу.
- Выборка потока инструкций.
- Декодирование инструкций в микрооперации.
- Переименование внешних регистров.
- Размещение (назначение) вычислительных устройств и запоминание статуса каждой микрооперации в переупорядочивающем буфере (Reorder buffer (ROB)) в исходном порядке инструкций

Пример переименования регистров

(1)	$a = x + f;$	$a = x + f;$
(2)	$b = a * z;$	$b = a * z;$
(3)	$a = a + v;$	$a1 = a + v;$
(4)	$d = a * b;$	$d = a1 * b;$



Каждый МОП может проходить через следующие стадии:

1. находится в очереди планировщика, но ещё не готов к исполнению;
2. готов к исполнению (все аргументы операции вычислены);
3. запущен на исполнение (диспетчеризован);
4. исполнен и ждёт отставки либо отмены спекулятивной ветви;
5. находится в процессе отставки.

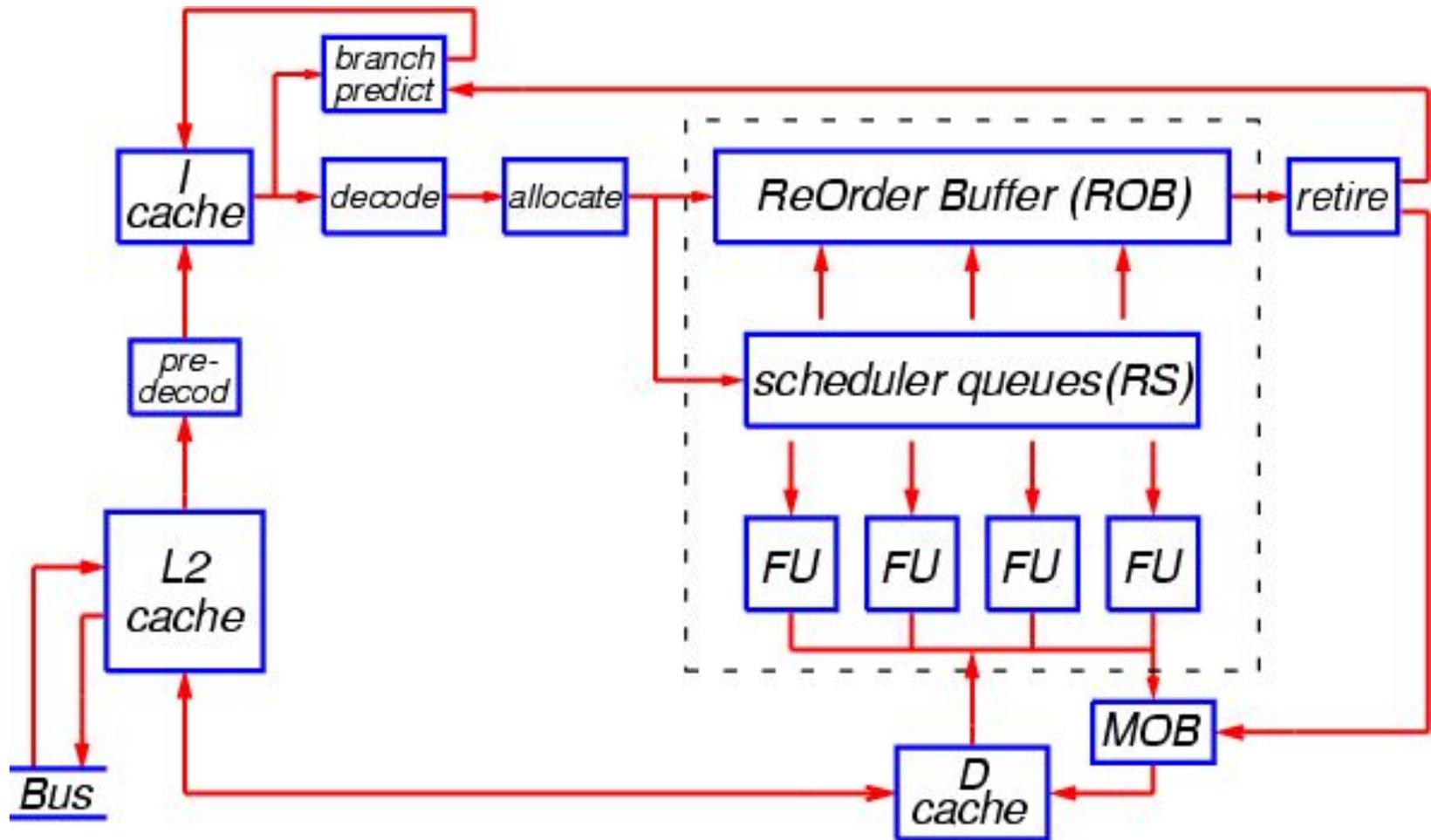
Устройство **Out-Of-Order execution**

- **Планирование и распределение микроопераций**
- **Выполнение микроопераций и запоминание их результатов временно в буфере ROB.**

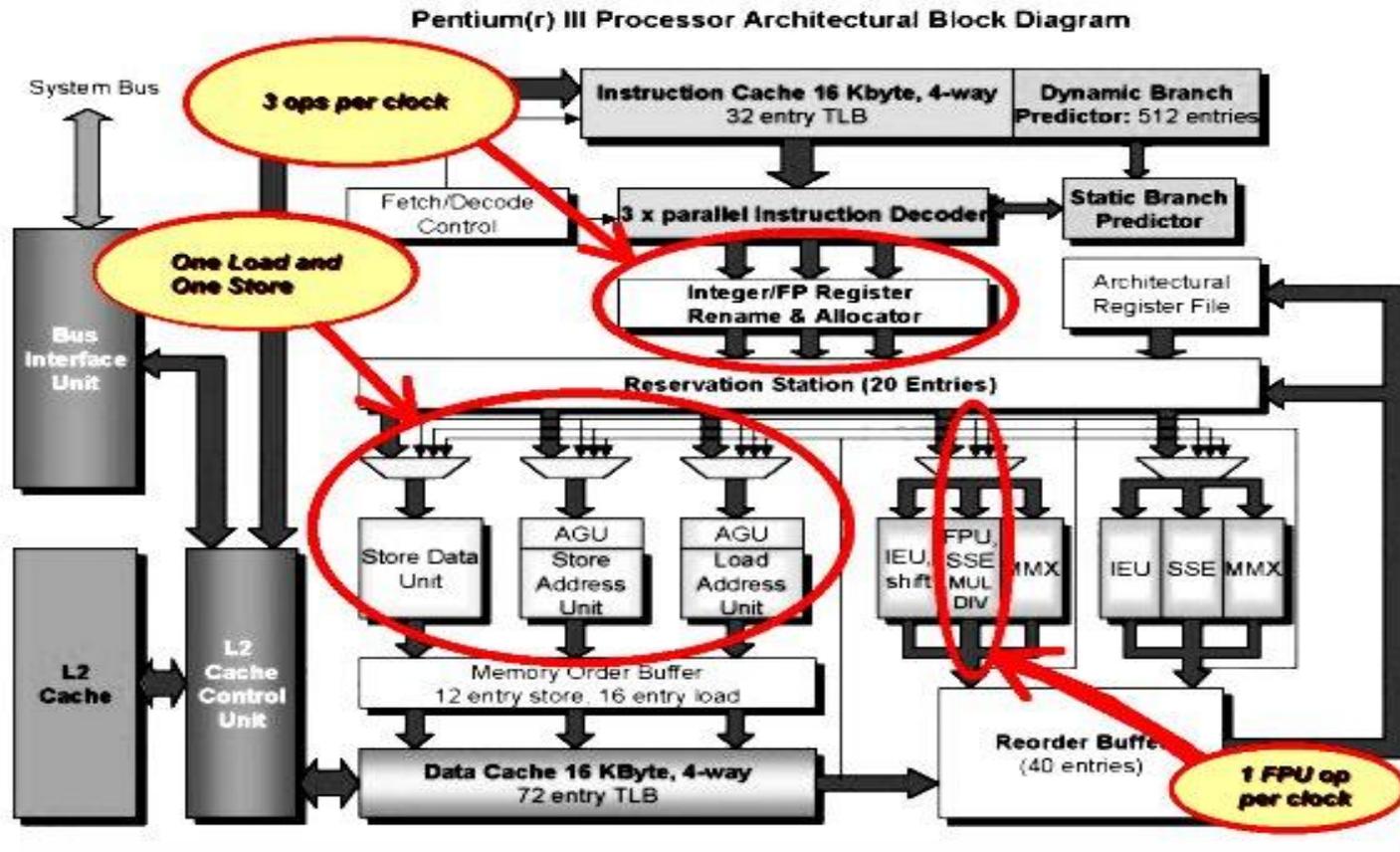
Блок упорядоченного завершения

- **Запись результатов обратно во внешние архитектурные регистры, постоянная запись данных, если это необходимо.**
- **Изъятие микроопераций из буфера ROB.**

Упрощенная схема процессора

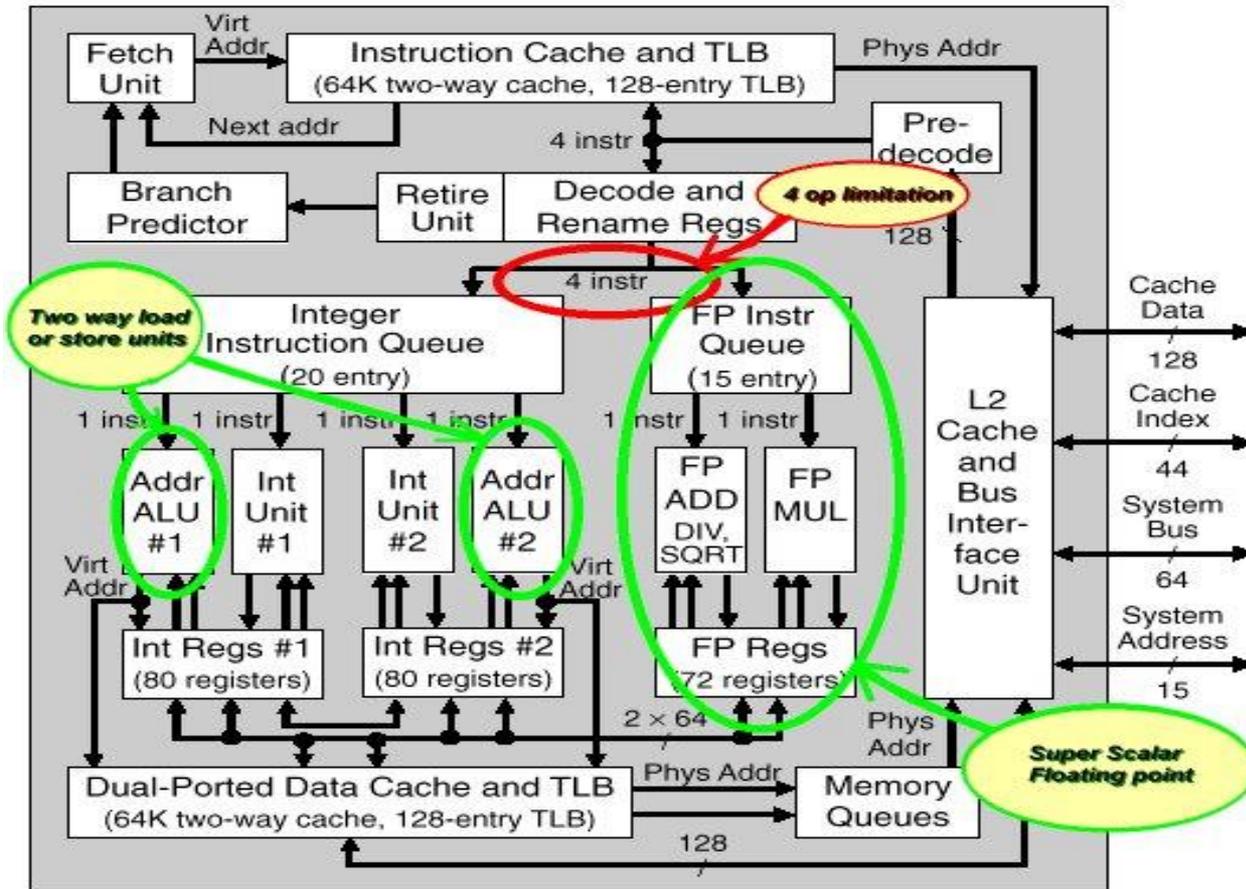


Pentium III



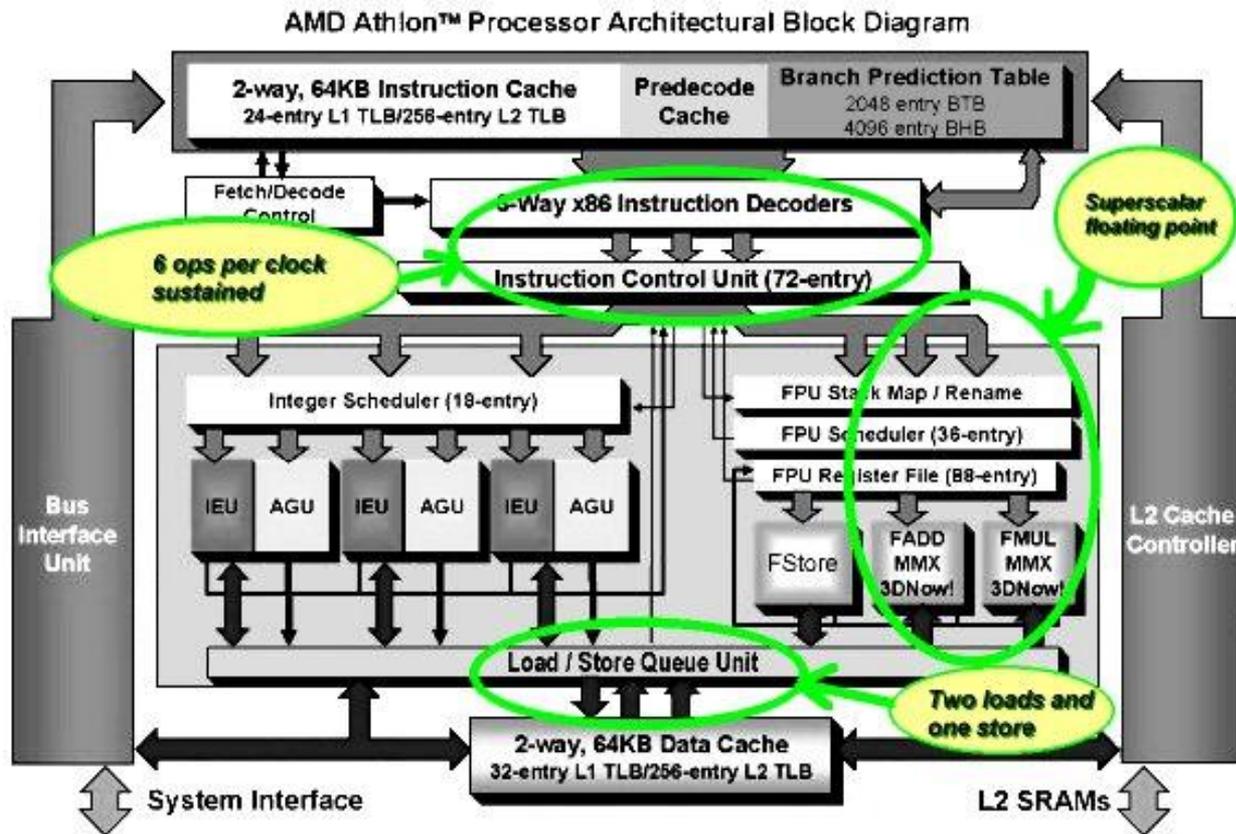
The Intel Pentium !!!

Alpha 21264



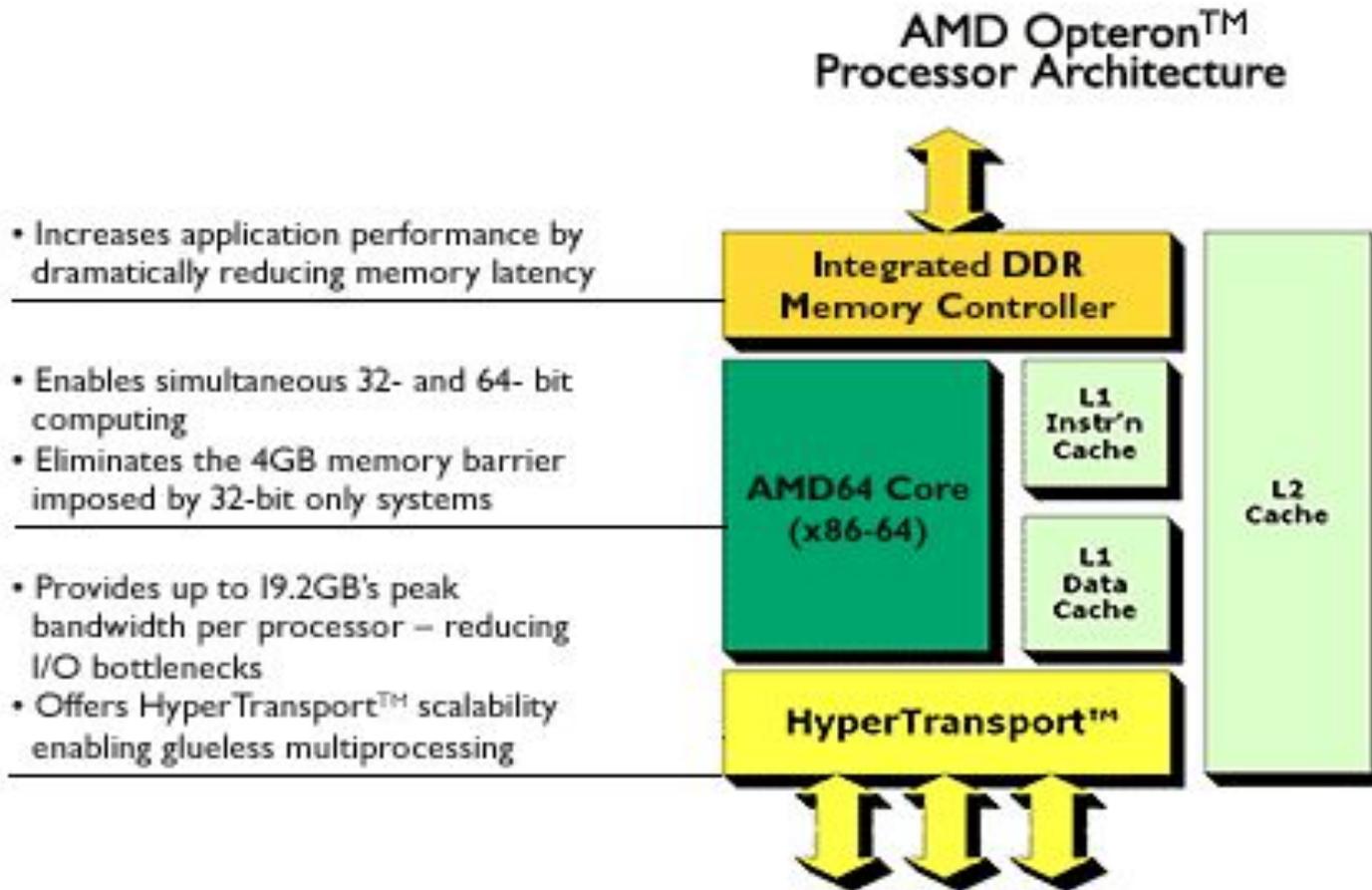
The Compaq Alpha 21264

Athlon



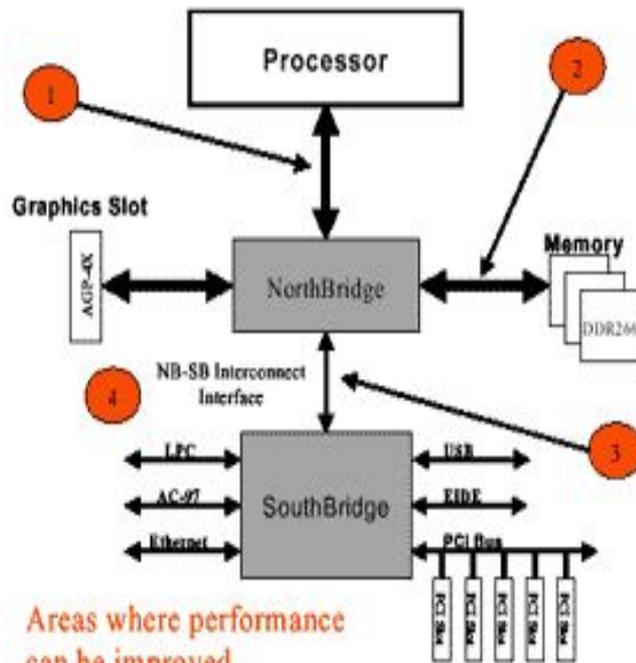
The AMD Athlon

Opteron

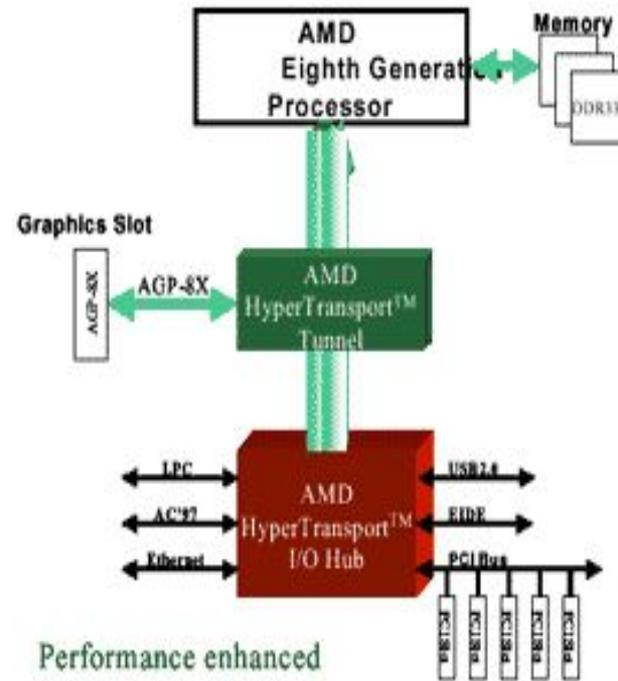


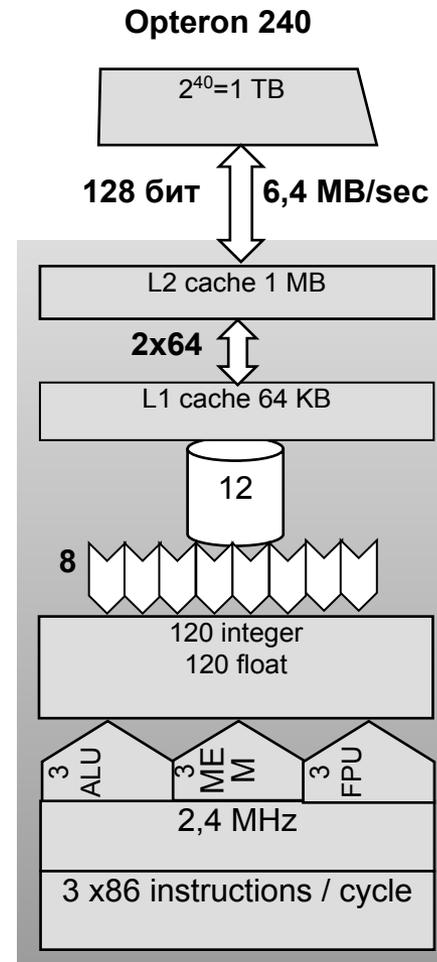
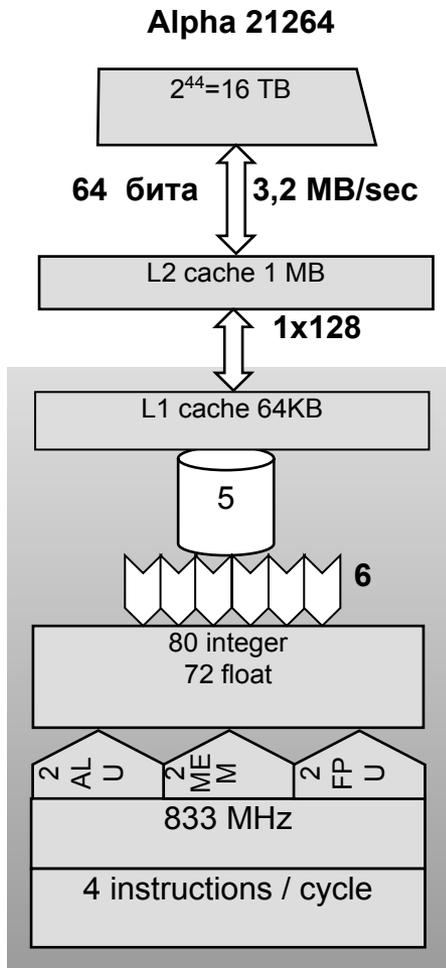
Гипертранспорт

Existing System Architecture

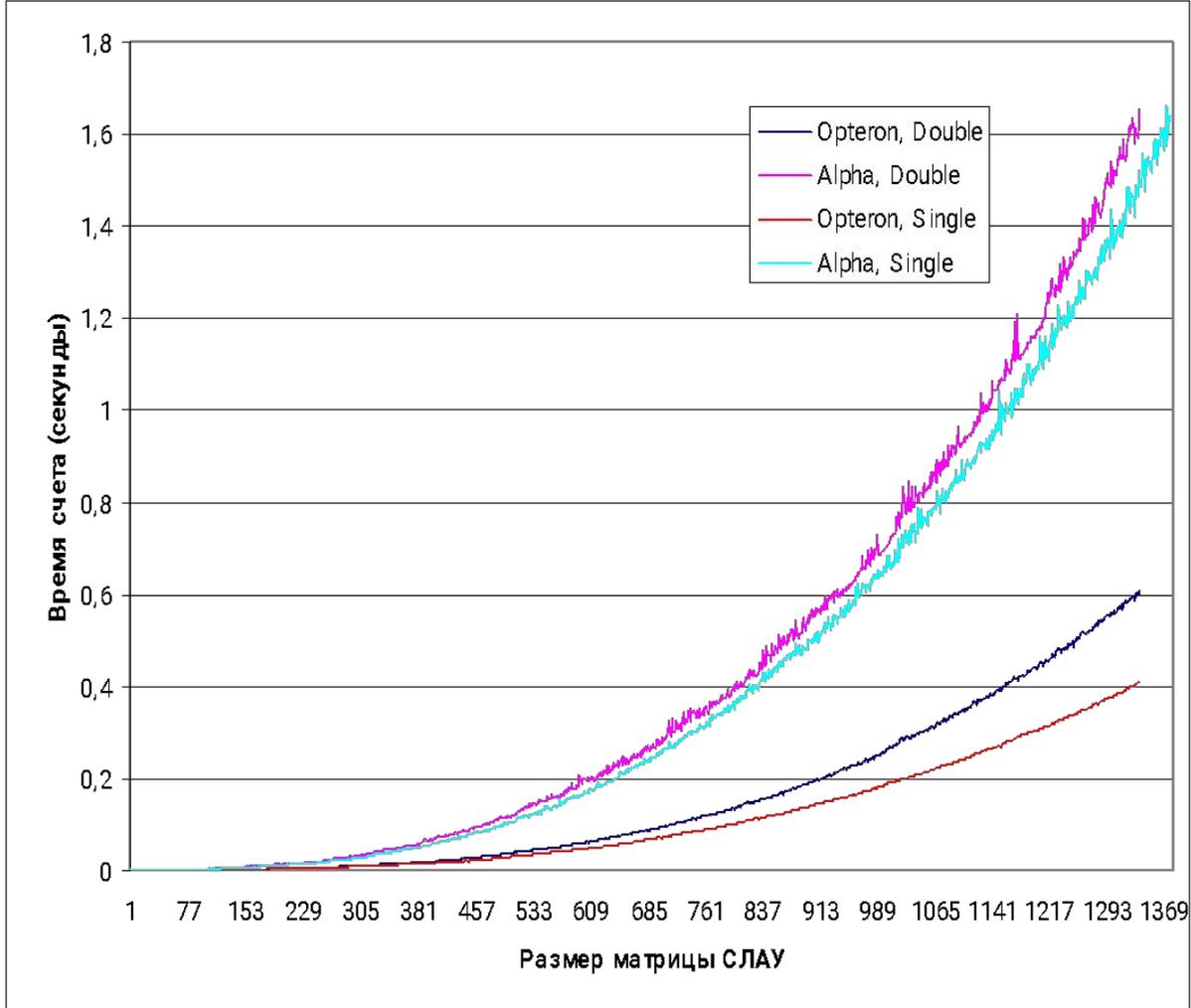


HyperTransport™ System Architecture





- Memory
- Cache memory
- Bus width
- Conveyer length
- Issue ports count
- Register count
- Functional units
- Frequency
- Throughput



Pentium 4

Block Diagram

