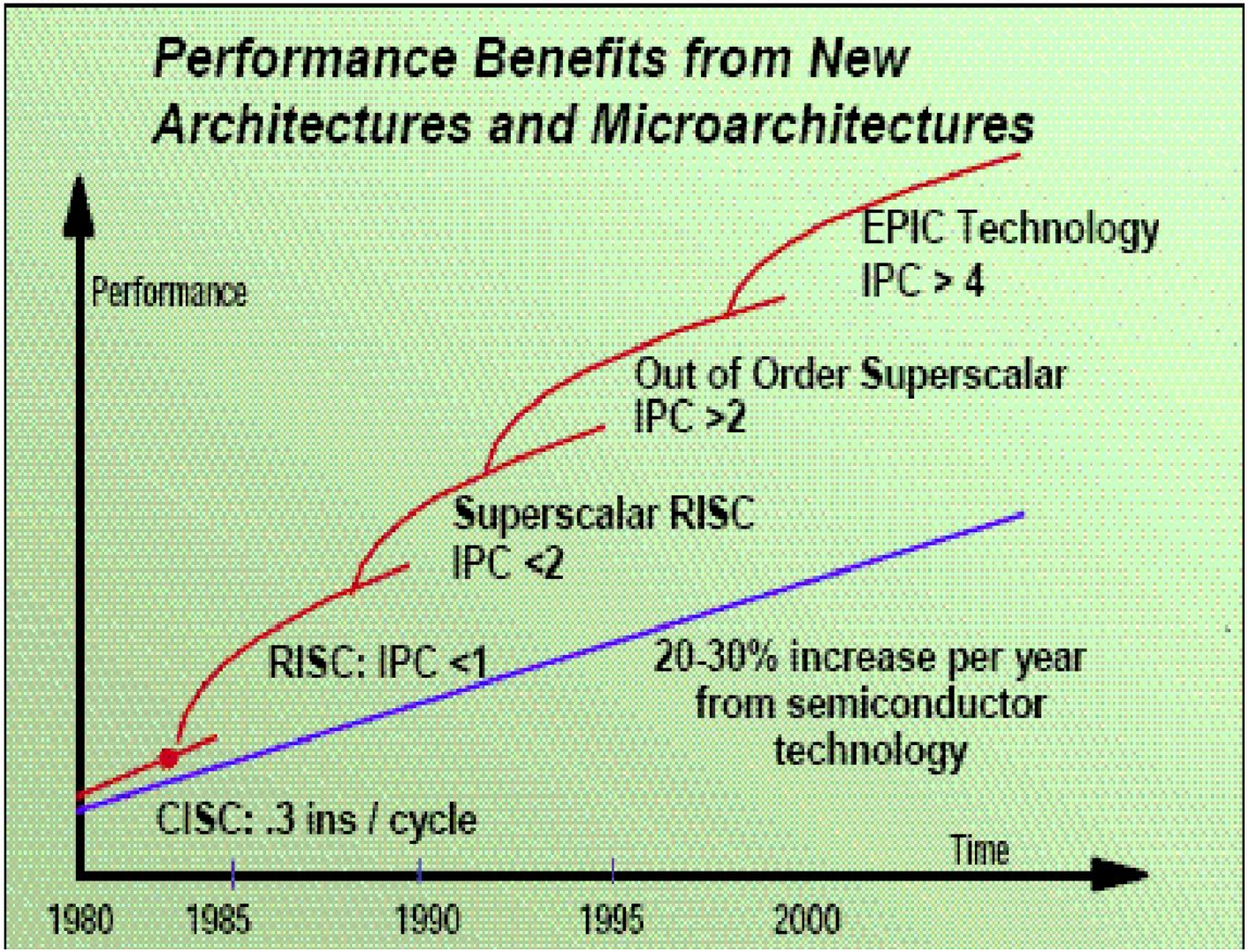
Архитектуры с параллелизмом на уровне команд

Два класса

- Суперскалярные процессоры
- Процессоры с длинным командным словом


Performance Benefits from New Architectures and Microarchitectures
Performance
EPIC Technology
IPC > 4
Out of Order Superscalar
IPC >2
Superscalar RISC
IPC <2
RISC: IPC <1
20-30% increase per year from semiconductor technology
CISC: .3 ins / cycle
Time
1980
1985
1990
1995
2000

Динамическое исполнение команд в суперскалярном процессоре

- Предсказание ветвлений (переходов) (**branch prediction**).
- Переименование регистров, чтобы удалить зависимости между данными и регистрами, невидимые компилятору (**register renaming**).
- Спекулятивное исполнение предсказанных переходов (**speculative execution of predicted branches**)
- Исполнение команд вне порядка (**out-of-order instruction execution**)

Как реализован конвейер?

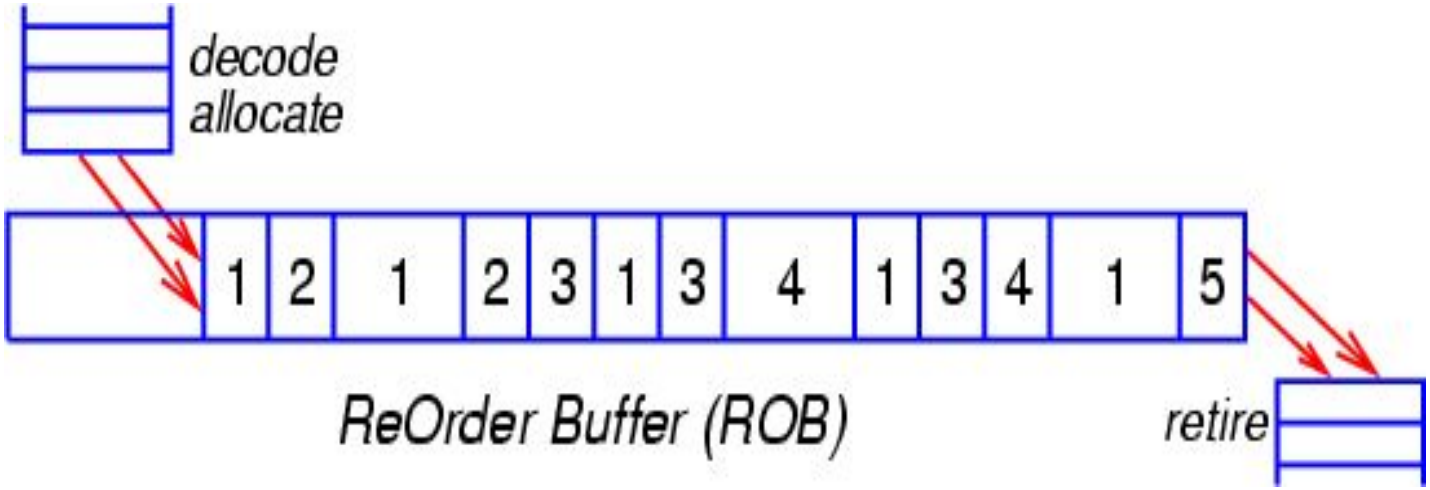
- Устройство предварительной обработки инструкций в порядке их следования в программном коде (**front end**).
- Исполнение вне порядка (**Out-Of-Order execution**)
- Блок упорядоченного завершения (**In-order retirement**)

Устройство front end

- **Предсказание следующей инструкции. Используются два алгоритма предсказания переходов. Динамический алгоритм работает на стадии выборки. Статический алгоритм работает на стадии декодирования, использует правила: безусловные переходы выполняются, условные переходы назад выполняются, переходы вперед не выполняются, это соответствует обычному циклу.**
- **Выборка потока инструкций.**
- **Декодирование инструкций в микрооперации.**
- **Переименование внешних регистров.**
- **Размещение (назначение) вычислительных устройств и запоминание статуса каждой микрооперации в переупорядочивающем буфере (Reorder buffer (ROB)) в исходном порядке инструкций**

Пример переименования регистров

(1)	a = x + f;	a = x + f;
(2)	b = a * z;	b = a * z;
(3)	a = a + v;	a1 = a + v;
(4)	d = a * b;	d = a1 * b;



Каждый МОП может проходить через следующие стадии**:**

1. находится в очереди планировщика, но ещё не готов к исполнению;
2. готов к исполнению (все аргументы операции вычислены);
3. запущен на исполнение (диспетчеризован);
4. исполнен и ждёт отставки либо отмены спекулятивной ветви;
5. находится в процессе отставки.

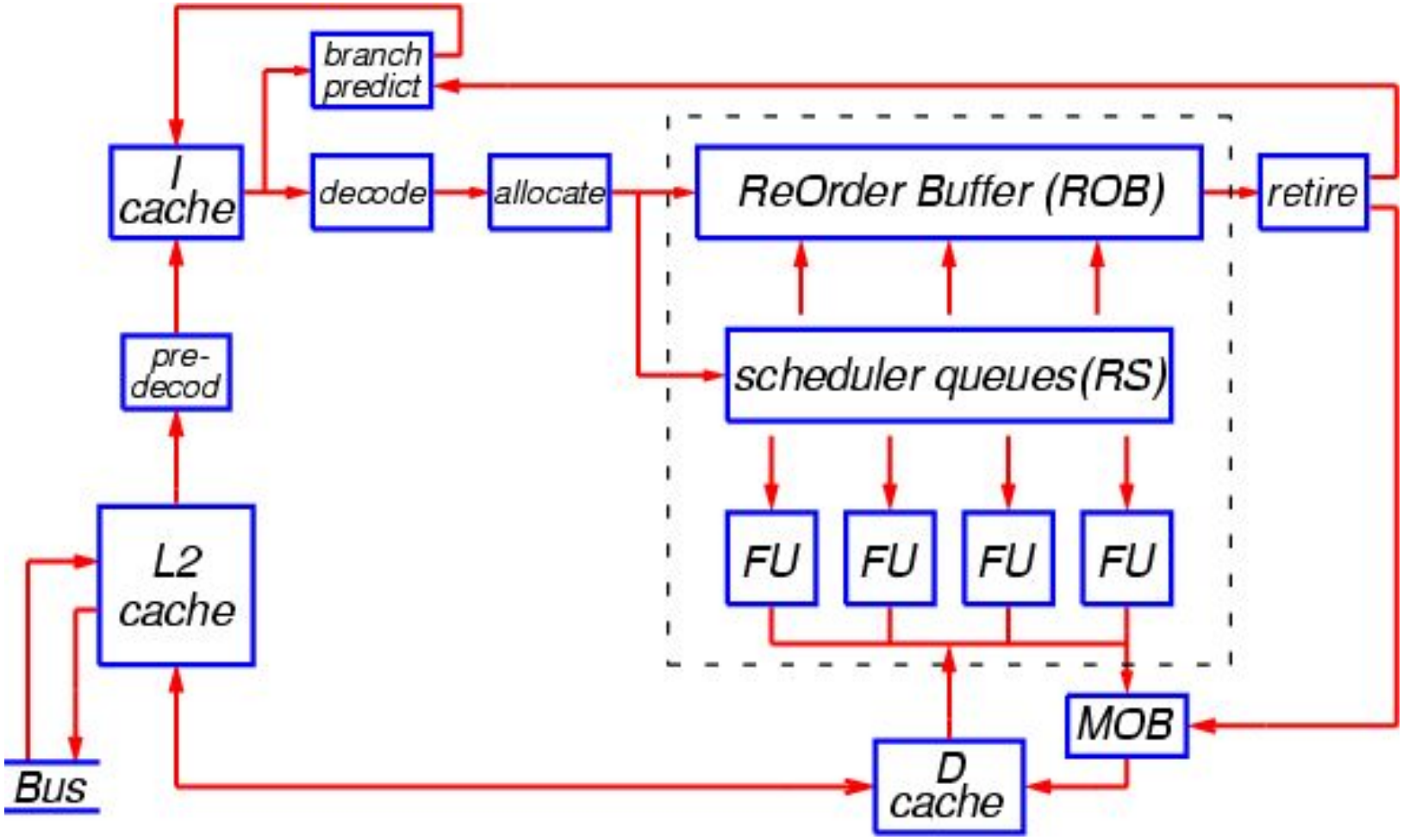
Устройство Out-Of-Order execution

- Планирование и распределение микроопераций
- Выполнение микроопераций и запоминание их результатов временно в буфере ROB.

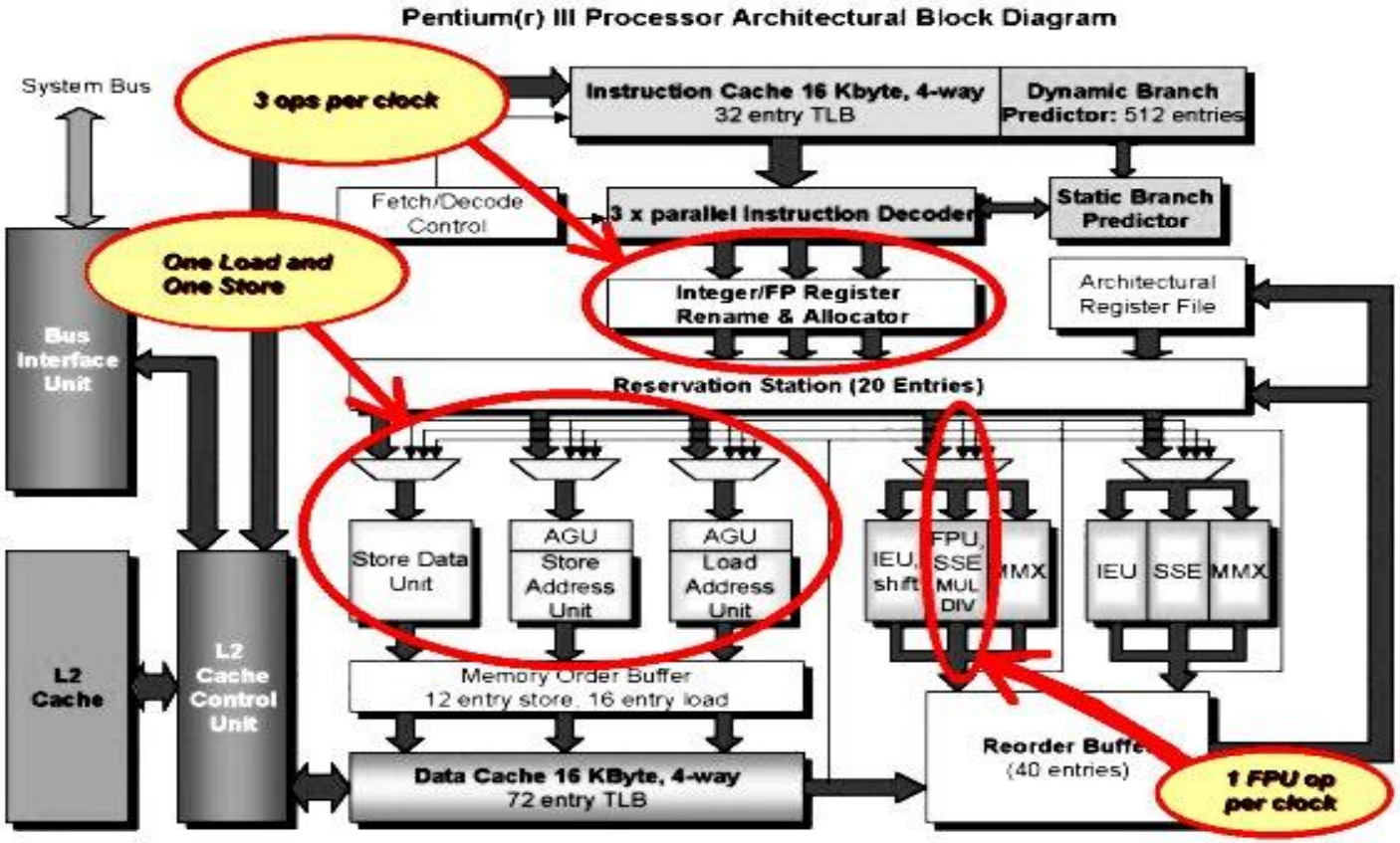
Блок упорядоченного завершения

- Запись результатов обратно во внешние архитектурные регистры, постоянная запись данных, если это необходимо.
- Изъятие микрооперaций из буфера ROB.

Упрощенная схема процессора

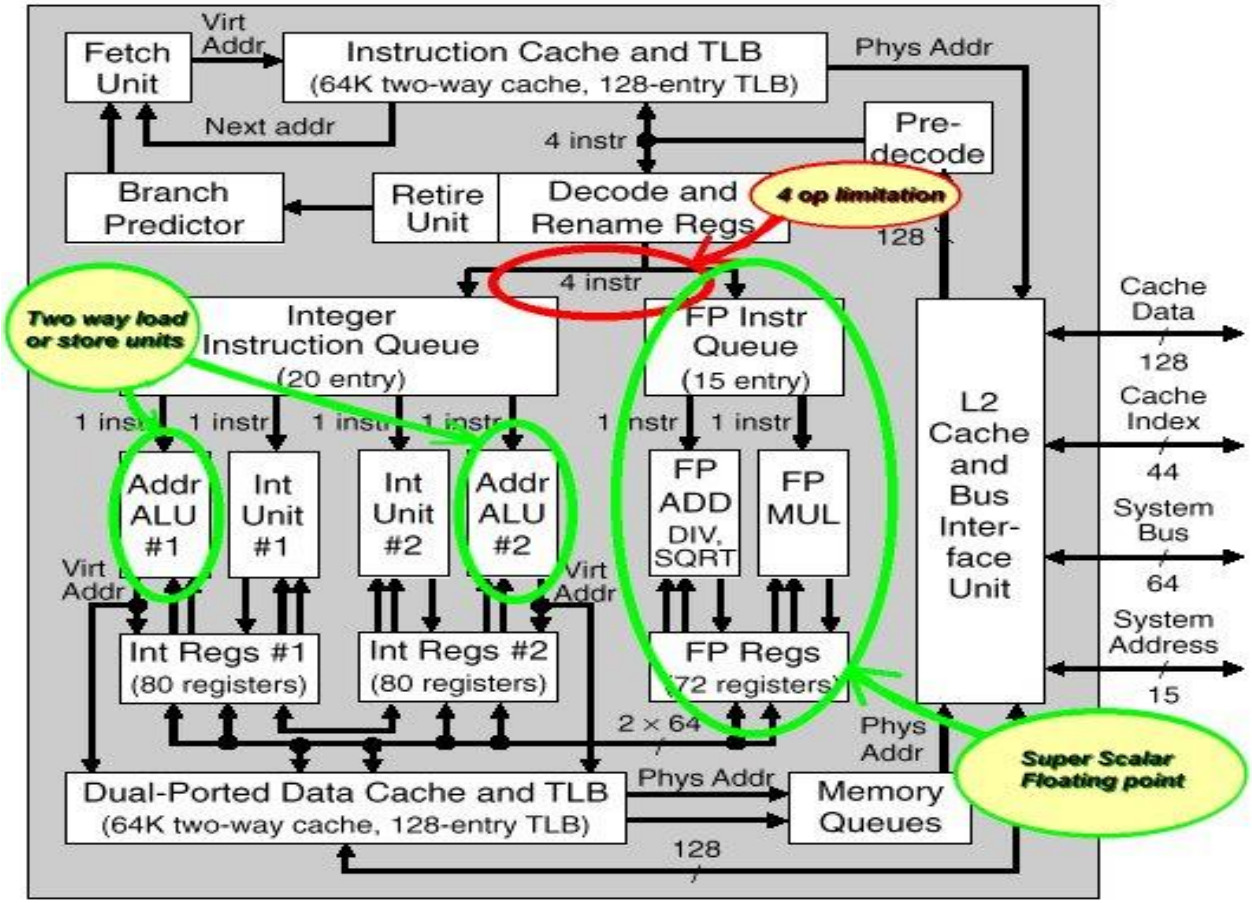


Pentium III



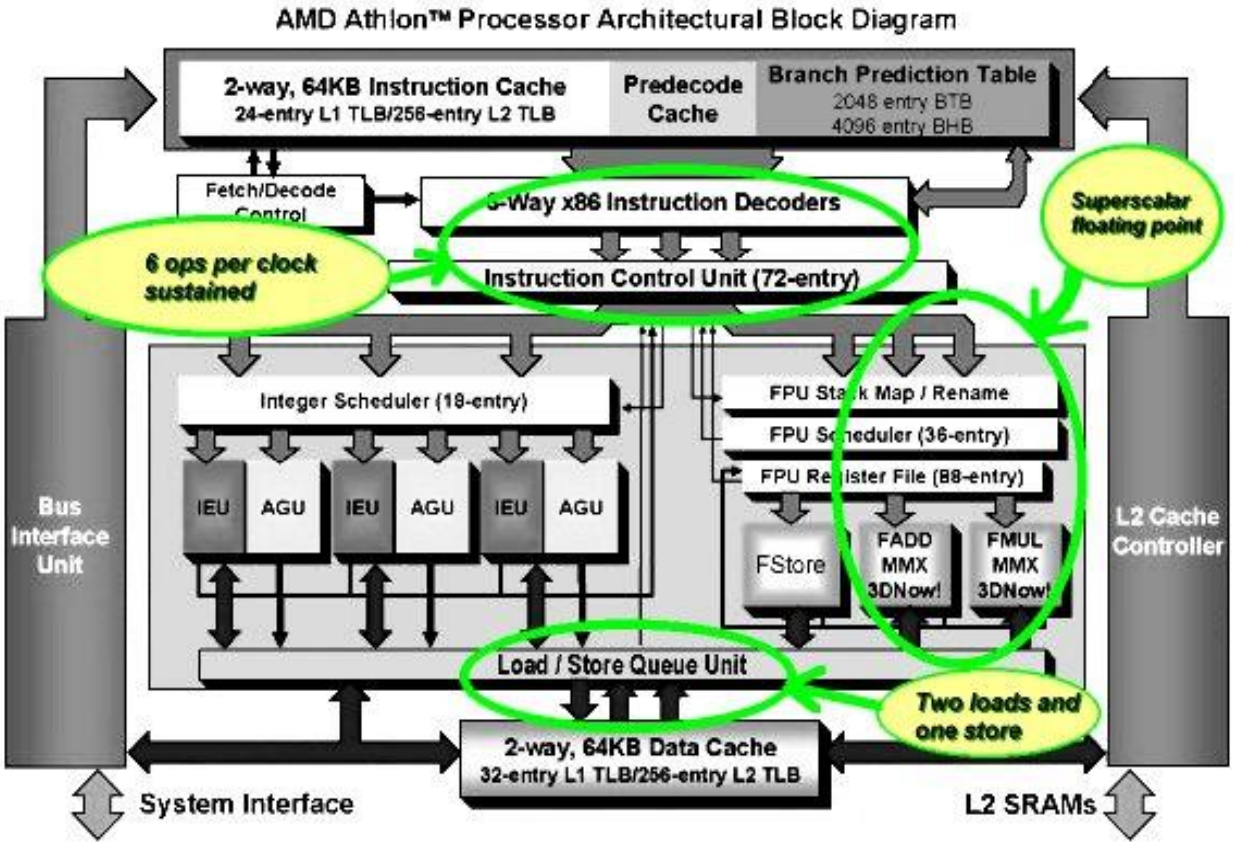
The Intel Pentium !!!

Alpha 21264



The Compaq Alpha 21264

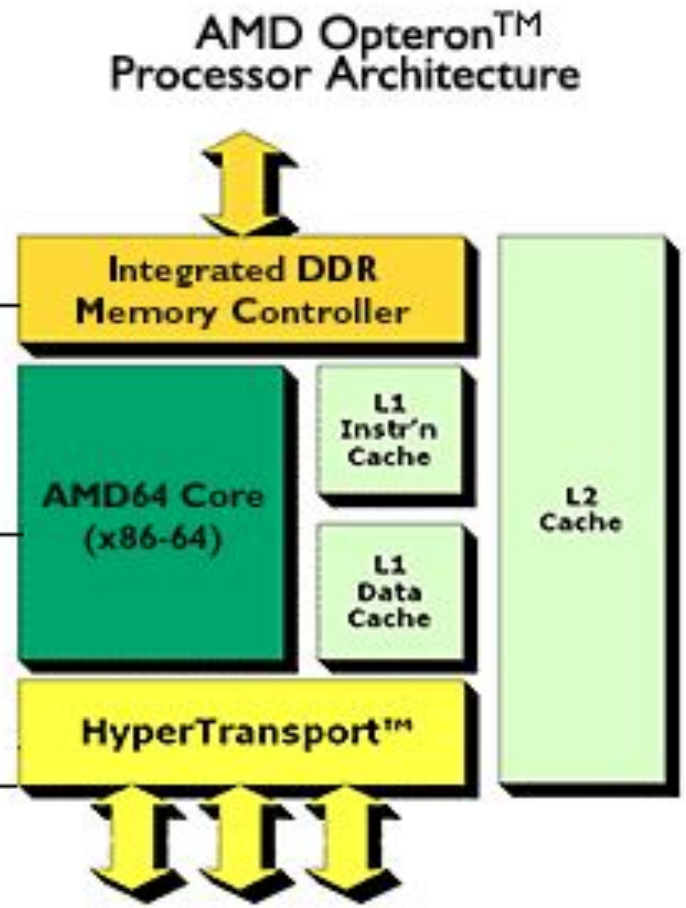
Athlon



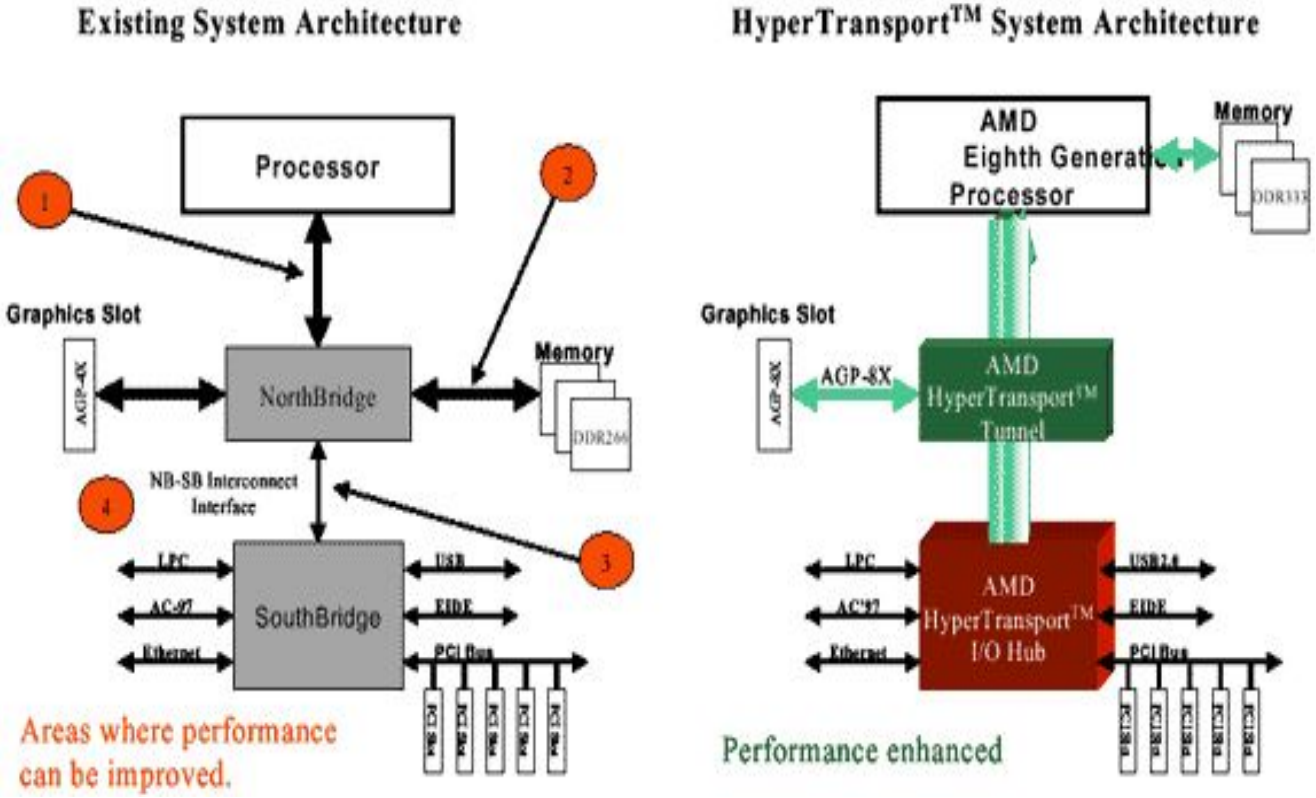
The AMD Athlon

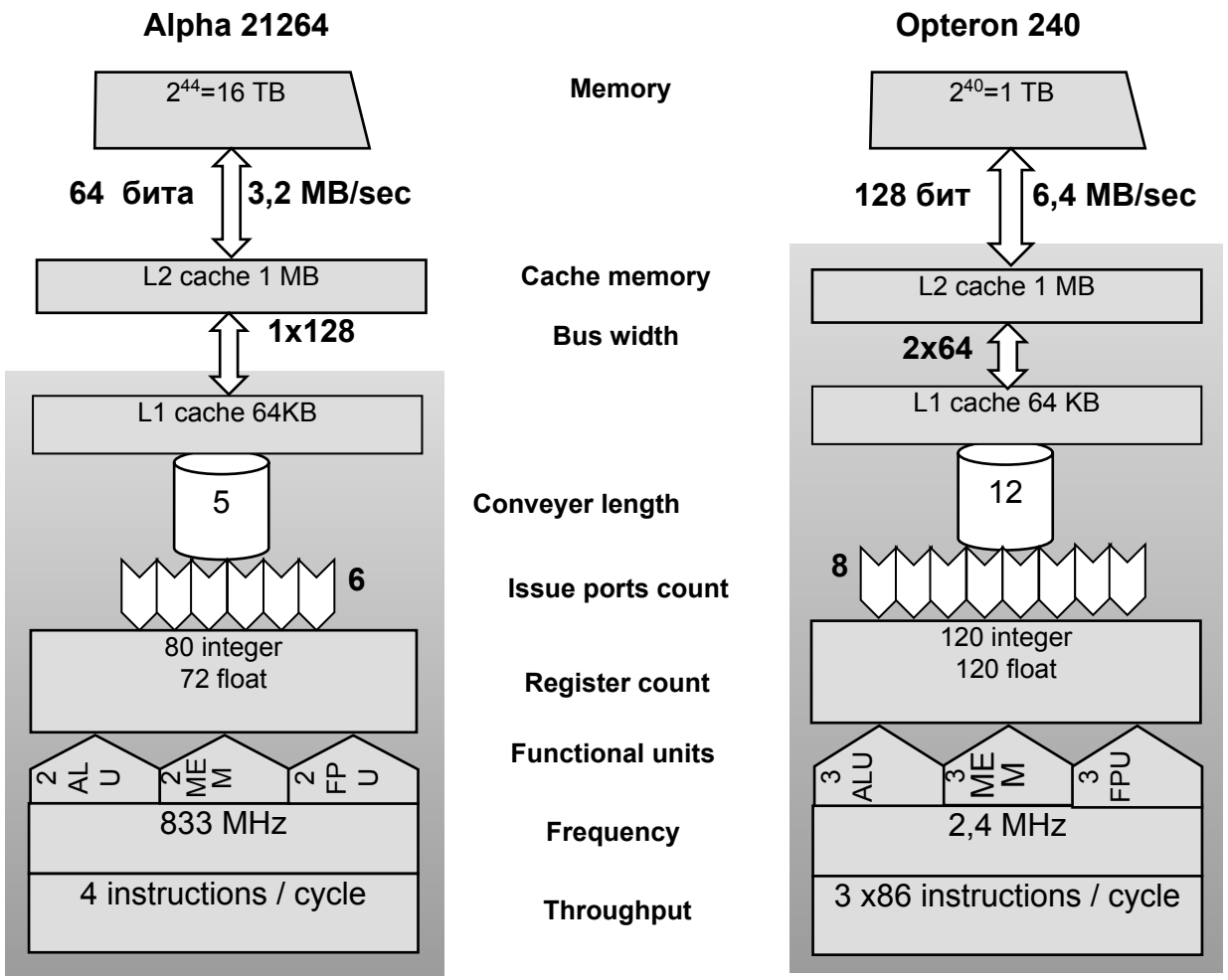
Opteron

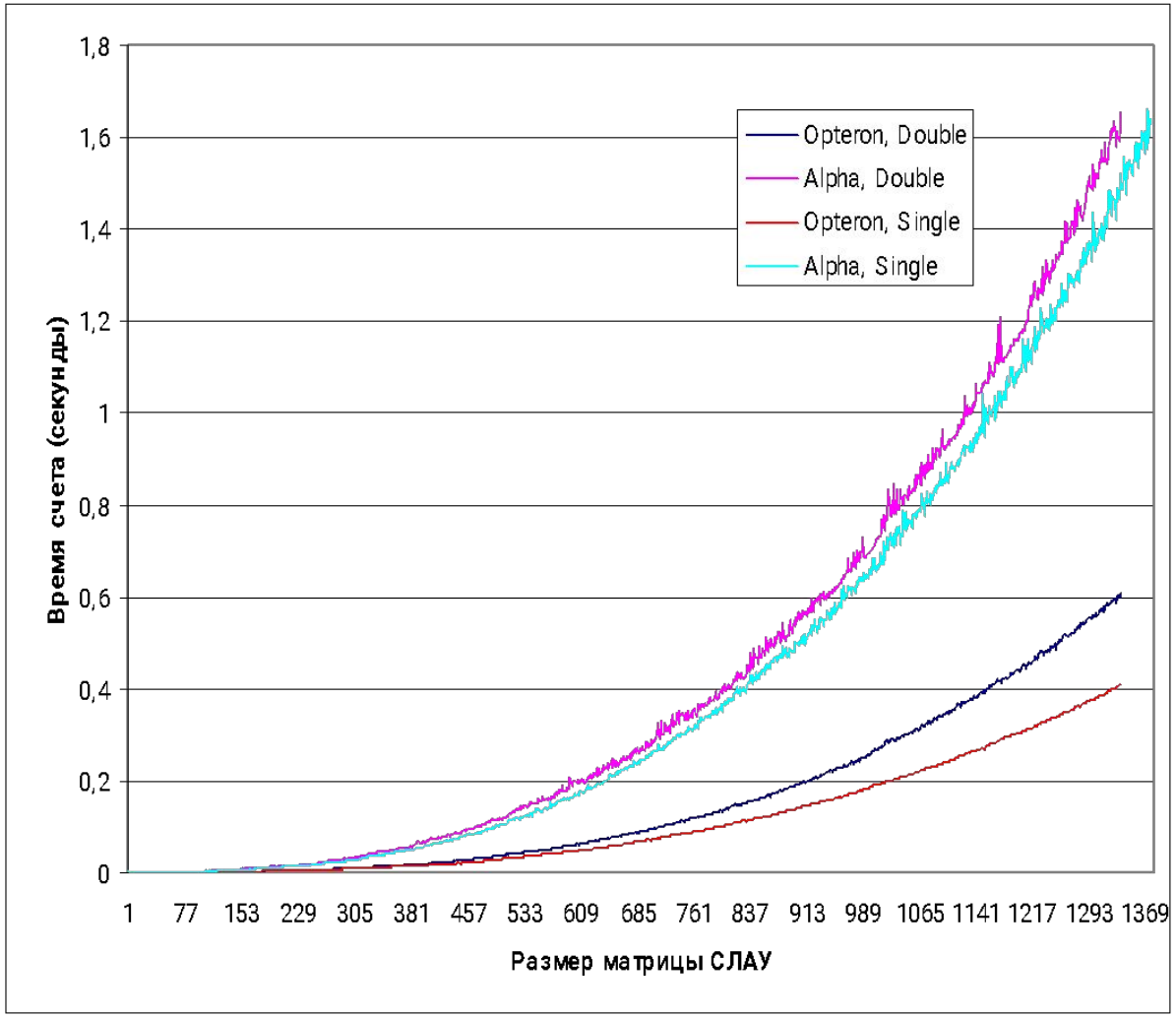
- Increases application performance by dramatically reducing memory latency
- Enables simultaneous 32- and 64- bit computing
- Eliminates the 4GB memory barrier imposed by 32-bit only systems
- Provides up to 19.2GB's peak bandwidth per processor – reducing I/O bottlenecks
- Offers HyperTransport™ scalability enabling glueless multiprocessing



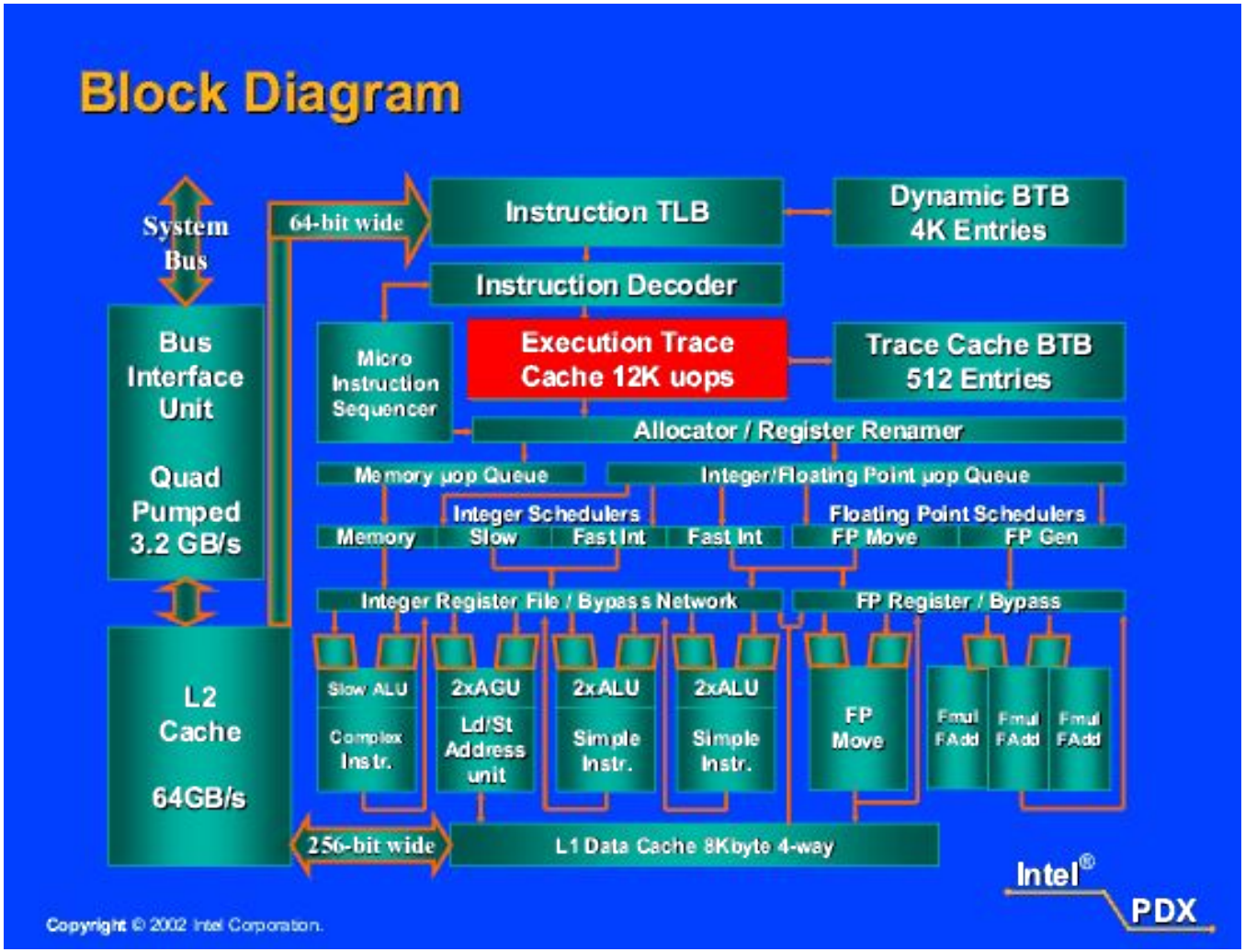
Гипертранспорт




Alpha 21264
Opteron 240
Memory
2^44=16 TB
2^40=1 TB
64 бита
3,2 MB/sec
128 бит
6,4 MB/sec
Cache memory
L2 cache 1 MB
L2 cache 1 MB
Bus width
1x128
2x64
L1 cache 64KB
L1 cache 64 KB
Conveyer length
5
12
Issue ports count
6
8
Register count
80 integer
72 float
120 integer
120 float
Functional units
2 AL U
2 ME M
2 FP U
3 ALU
3 ME M
3 FPU
Frequency
833 MHz
2,4 MHz
Throughput
4 instructions / cycle
3 x86 instructions / cycle


1,8
1,6
1,4
1,2
1
0,8
0,6
0,4
0,2
0
Время счета (секунды)
Opteron, Double
Alpha, Double
Opteron, Single
Alpha, Single
1
77
153
229
305
381
457
533
609
685
761
837
913
989
1065
1141
1217
1293
1369
Размер матрицы СЛАУ

Pentium 4


Block Diagram
System Bus
64-bit wide
Instruction TLB
Dynamic BTB 4K Entries
Instruction Decoder
Bus Interface Unit
Quad Pumped 3.2 GB/s
Micro Instruction Sequencer
Execution Trace Cache 12K uops
Trace Cache BTB 512 Entries
Allocator / Register Renamer
Memory µop Queue
Integer/Floating Point µop Queue
Integer Schedulers
Floating Point Schedulers
Memory
Slow
Fast Int
Fast Int
FP Move
FP Gen
Integer Register File / Bypass Network
FP Register / Bypass
L2 Cache
64GB/s
Slow ALU
Complex Instr.
2xAGU
Ld/St Address unit
2xALU
Simple Instr.
2xALU
Simple Instr.
FP Move
Fmul FAdd
Fmul FAdd
Fmul FAdd
256-bit wide
L1 Data Cache 8Kbyte 4-way
Intel®
PDX
Copyright © 2002 Intel Corporation.