

Ярославское Высшее Военное Училище ПВО

Кафедра автоматики

ЦИФРОВЫЕ УСТРОЙСТВА И МИКРОПРОЦЕССОРЫ

Слайды рисунков и таблиц

**Ярославль
2021 г.**

Тема: №1 «Арифметические и логические основы цифровых устройств»

Тема: №2 «Основы теории цифровых автоматов»

Тема: №3 «Типовые цифровые узлы»

Тема: №4 «ЭВМ и вычислительные системы»

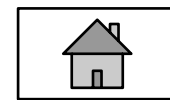
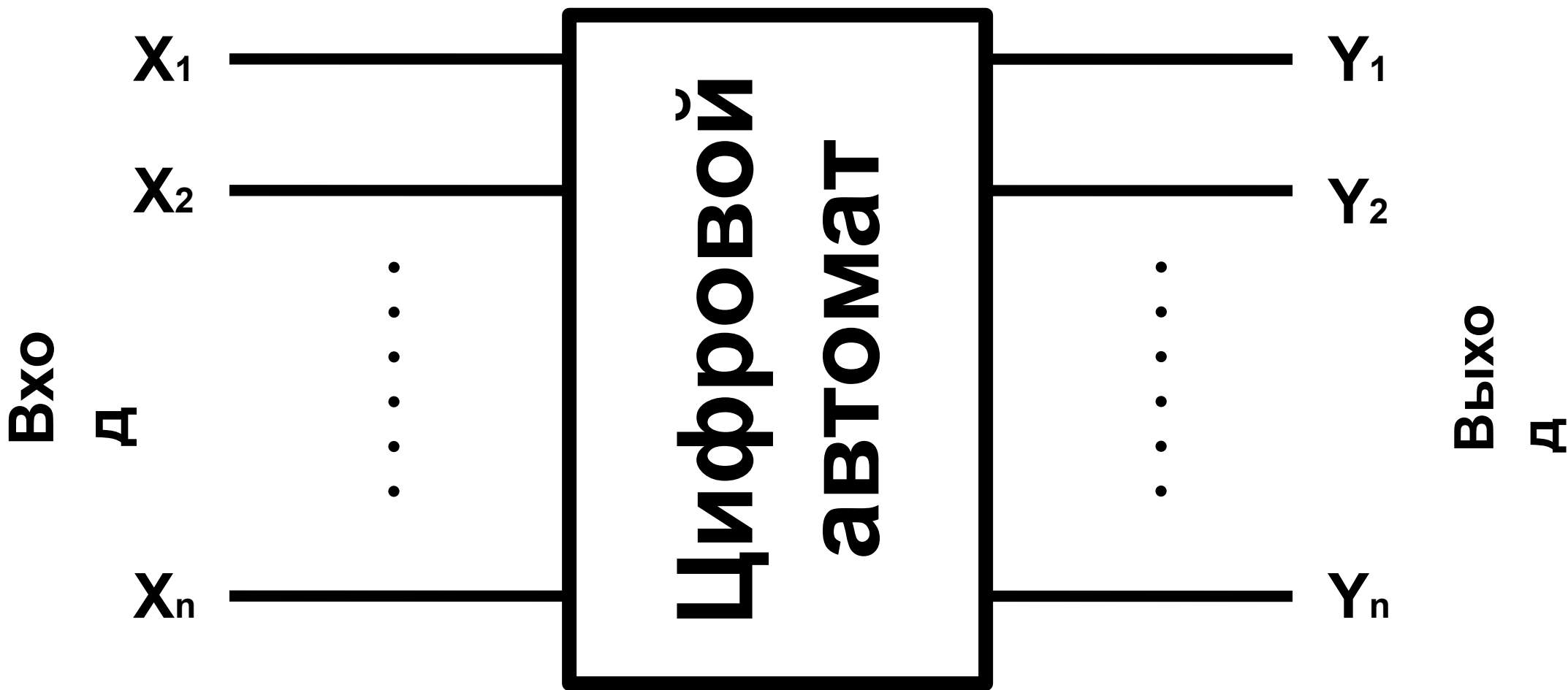
Тема: №5 «Микропроцессорные системы»

Выход

Тема: №1 «Арифметические и логические основы цифровых устройств»

1. Частный случай цифрового автомата
2. Основные законы алгебры логики
3. Равносильности алгебры логики (слайд 1):
 - правила выполнения операций с константами;
 - правило ассоциативности;
4. Равносильности алгебры логики (слайд 2):
 - законы тавтологии;
 - закон двойного отрицания;
 - правило дистрибутивности;
5. Равносильности алгебры логики (слайд 3):
 - правила поглощения;
 - правила склеивания;
6. Процесс аналого-цифрового преобразования информации
7. Формы представления чисел

Частный случай цифрового автомата



Основные законы алгебры логики

Переместительный закон:

$$x \cdot y = y \cdot x \ ;$$

$$x \vee y = y \vee x \ .$$

Сочетательный закон:

$$x \cdot (y \cdot z) = (x \cdot y) \cdot z \ ;$$

$$x \vee (y \vee z) = (x \vee y) \vee z \ .$$

Распределительный закон:

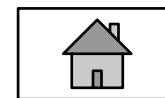
$$x \cdot (y \vee z) = x \cdot y \vee x \cdot z \ ;$$

$$x \vee y \cdot z = (x \vee y) \cdot (x \vee z) \ .$$

Инверсный закон (правила де Моргана)

$$\overline{xy} = \overline{x} \vee \overline{y} \ ;$$

$$\overline{x \vee y} = \overline{x} \cdot \overline{y} \ .$$



Равносильности алгебры логики

-правила выполнения операций с константами:

$$x \cdot 0 = 0; \quad x \cdot 1 = x;$$

$$x \vee 1 = 1; \quad x \vee 0 = x;$$

$$x \vee \bar{x} = 1; \quad x \cdot \bar{x} = 0;$$

$$\bar{0} = 1; \quad \bar{1} = 0$$

-правило ассоциативности:

$$x \cdot (y \cdot z) = (x \cdot y) \cdot z = x \cdot y \cdot z$$



Равносильности алгебры логики

-законы тавтологии:

$$x \cdot x = x$$

$$x \vee x = x$$

-закон двойного отрицания:

=

$$\bar{\bar{x}} = x$$

-правило дистрибутивности:

$$x \cdot (y \vee z) = x \cdot y \vee x \cdot z$$



Равносильности алгебры логики

-правила поглощения:

$$x \vee x \cdot y = x; \quad x \cdot (x \vee y) = x;$$

$$x \cdot (\bar{x} \vee y) = x \cdot y; \quad x \vee \bar{x} \cdot y = x \vee y;$$

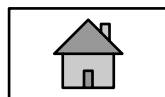
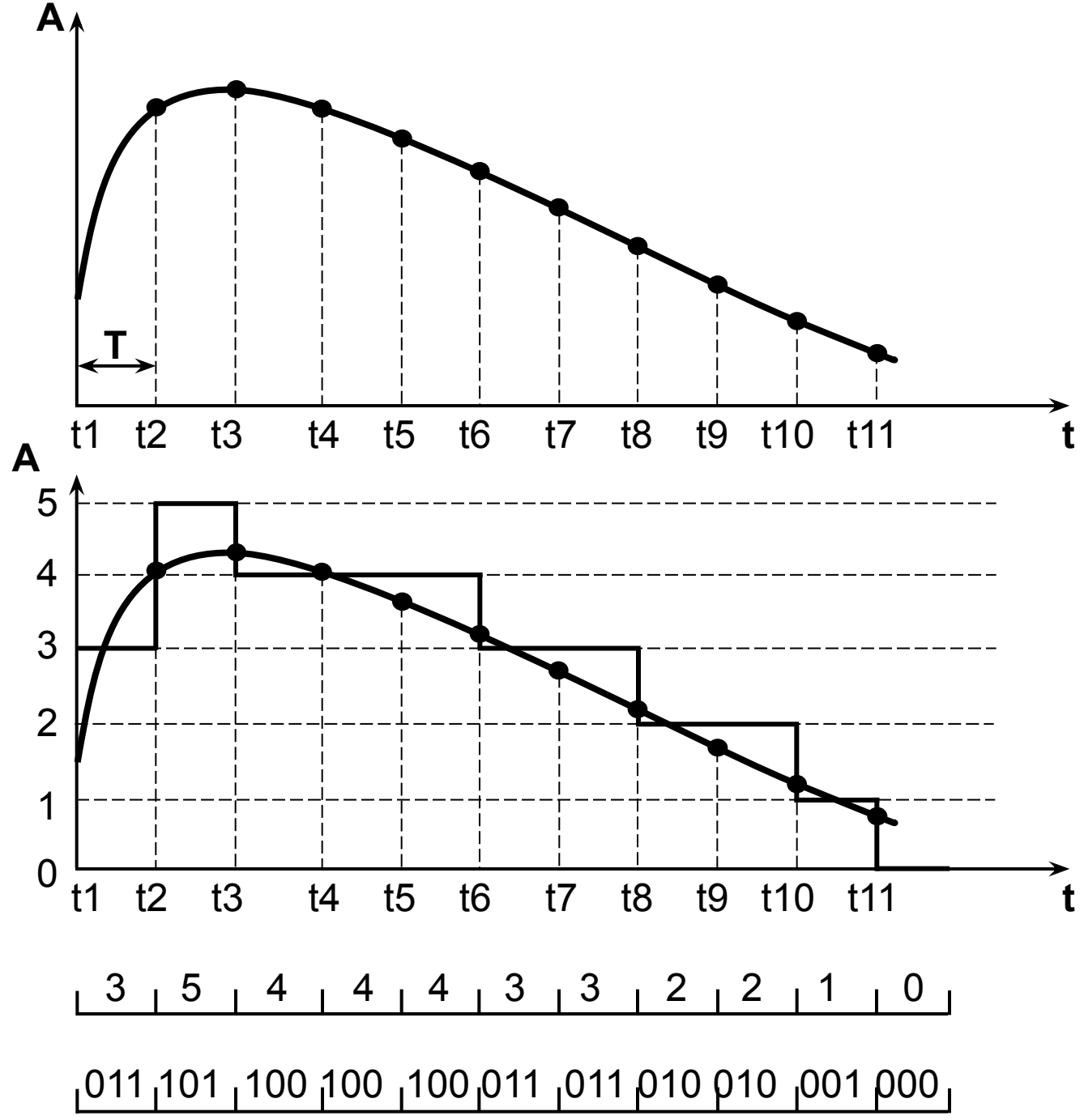
-правила склеивания:

$$x \cdot y \vee x \cdot \bar{y} = x;$$

$$(x \vee y) \cdot (x \vee \bar{y}) = x.$$

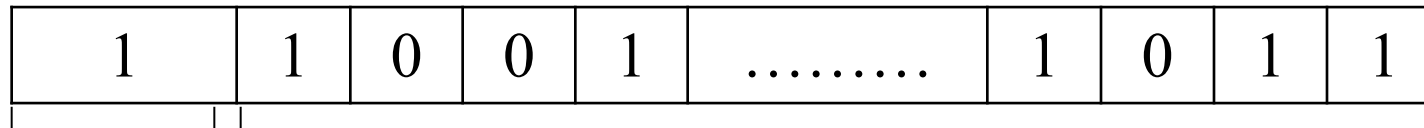


Процесс аналого-цифрового преобразования информации



Формы представления чисел

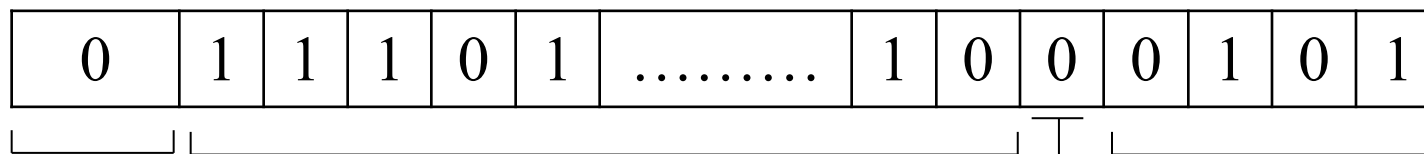
Представление чисел в естественной форме



Знак числа

Мантисса

Представление чисел в нормальной форме



Знак числа

Мантисса

Порядок

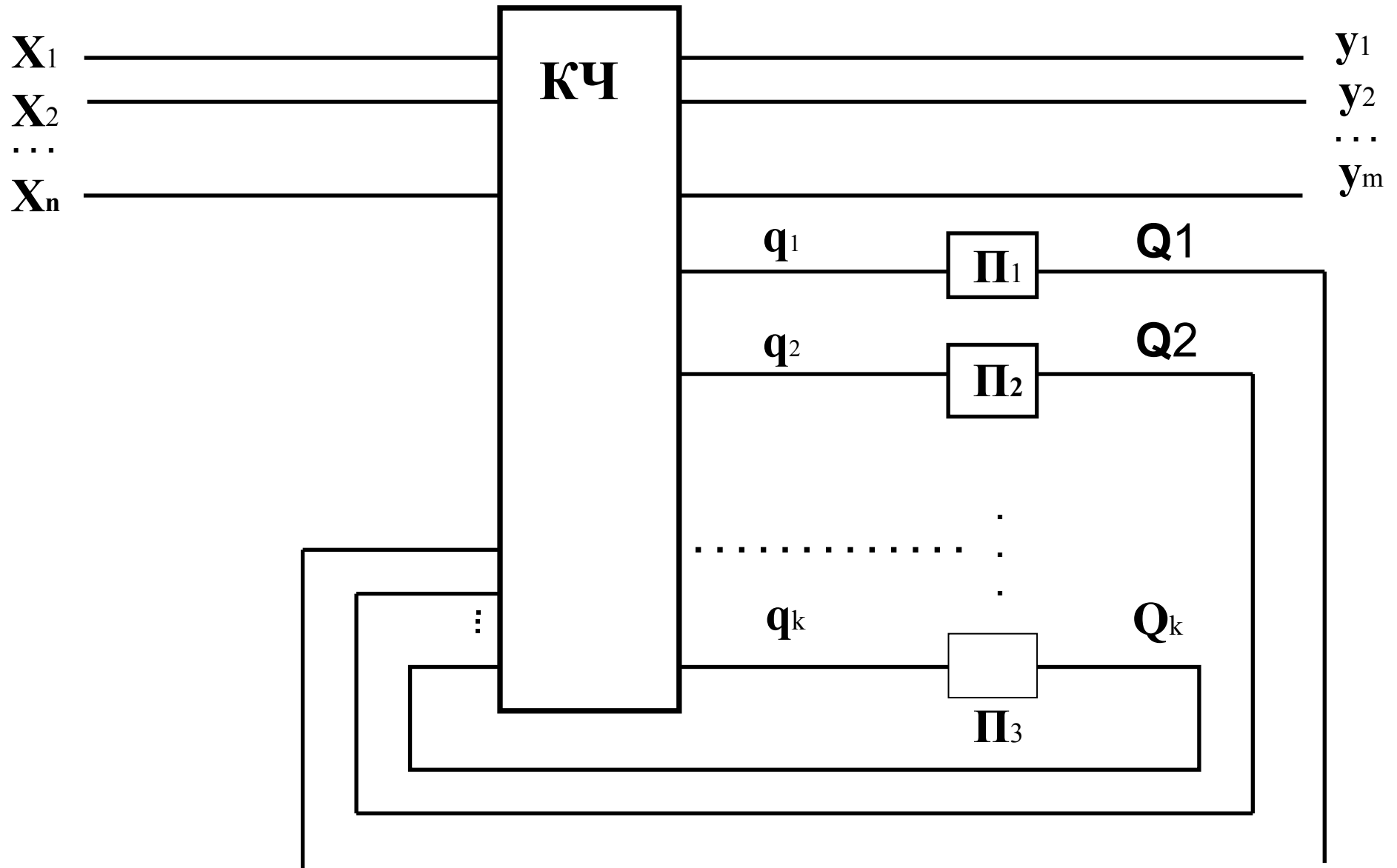
Знак
порядка



Тема: №2 «Основы теории цифровых автоматов»

1. Структура конечного автомата
2. Логическое сложение (дизъюнкция, ИЛИ)
3. Логическое умножение (конъюнкция, И)
4. Логическое отрицание (инверсия, НЕ)
5. Табличный способ задания автомата
6. Графический способ задания конечных автоматов
7. Матричный способ задания конечных автоматов
8. Некоторые типы триггеров в интегральном исполнении

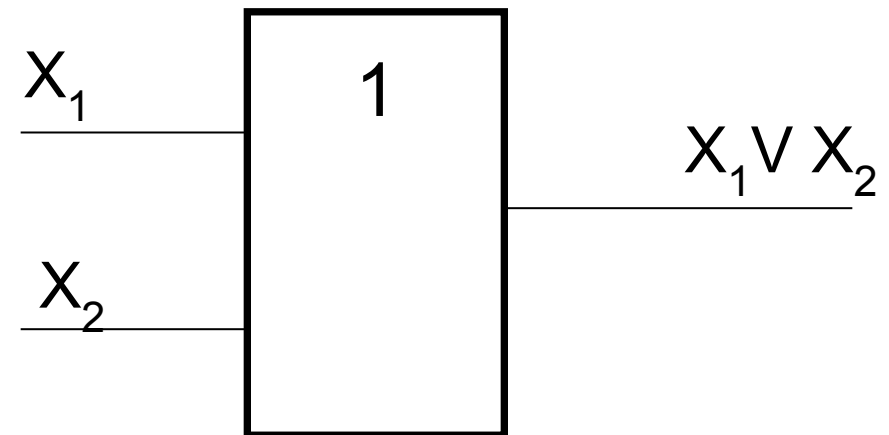
Структура конечного автомата



Логическое сложение (дизъюнкция, ИЛИ)

$$P = X_1 \cdot X_2 = X_1 \& X_2 = X_1 \wedge X_2 = X_1 X_2$$

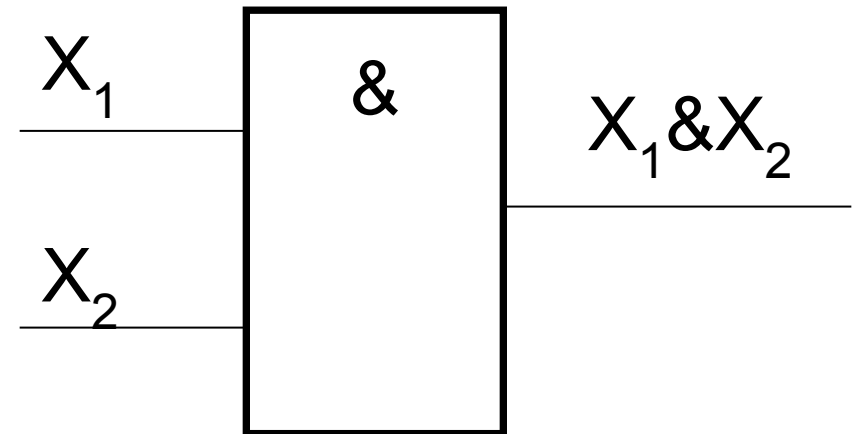
X_1	x_2	$P=X_1 \vee X_2$
0	0	0
0	1	1
1	0	1
1	1	1



Логическое умножение (конъюнкция, И)

$$P = X_1 \cdot X_2 = X_1 \& X_2 = X_1 \wedge X_2 = X_1 X_2$$

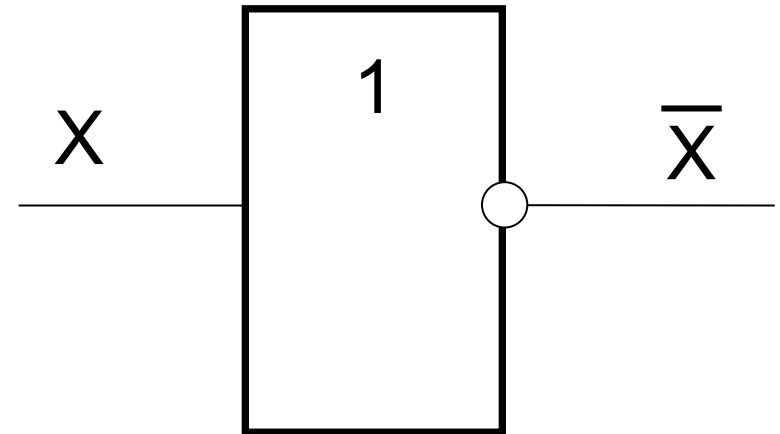
X_1	X_2	$P=X_1 \& X_2$
0	0	0
0	1	0
1	0	0
1	1	1



Логическое отрицание (инверсия, НЕ)

$$P = \bar{X}$$

X	$P = \bar{X}$
0	1
1	0



Табличный способ задания автомата

Таблица переходов

V_j	S_i	S_0	S_1	S_2	S_3
V_1		S_1	S_2	S_3	S_0
V_2		S_0	S_1	S_2	S_3

Таблица выходов

V_j	S_i	S_0	S_1	S_2	S_3
V_1		W_1	W_2	W_3	W_3
V_2		W_1	W_3	W_1	W_3

Совмещенная таблица переходов и выходов

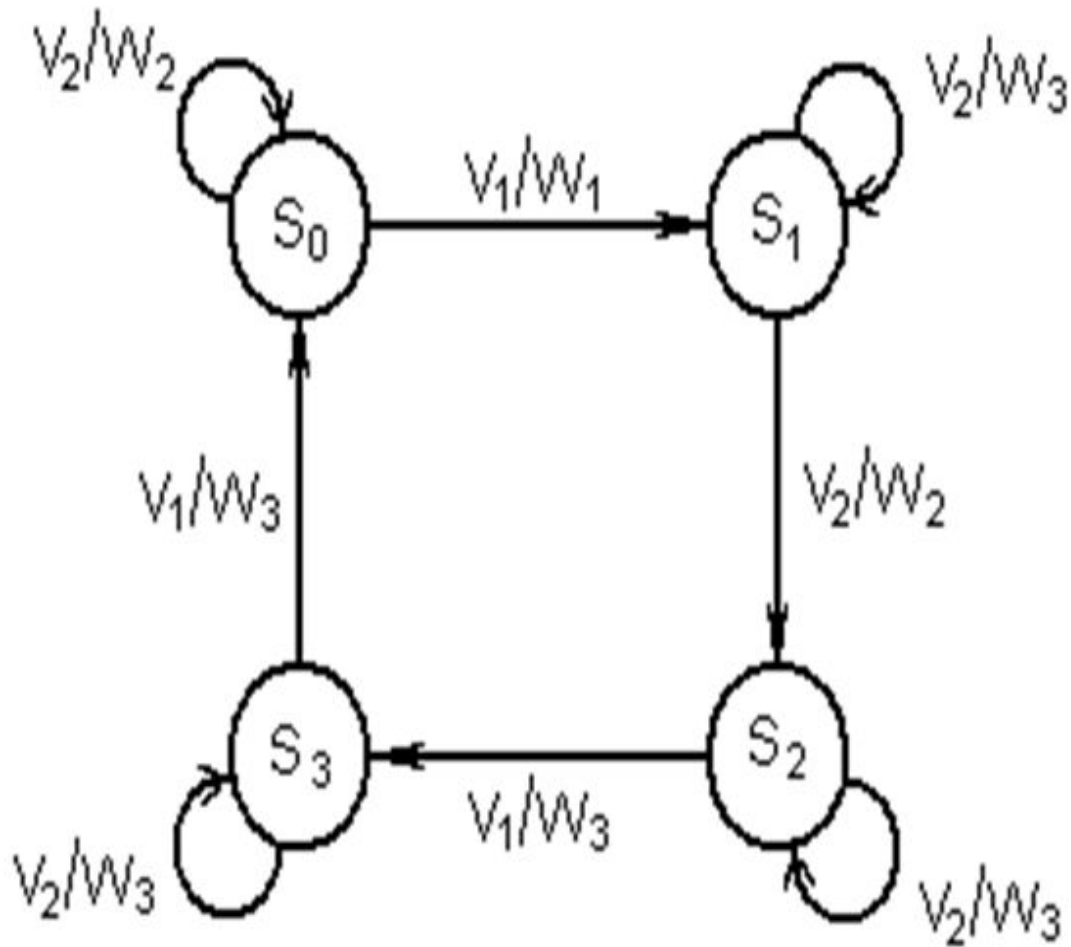
V_j	S_i	S_0	S_1	S_2	S_3
V_1		S_1/W_1	S_2/W_2	S_3/W_3	S_0/W_3
V_2		S_0/W_2	S_1/W_3	S_2/W_1	S_3/W_3

Пример табличного задания автомата Мура

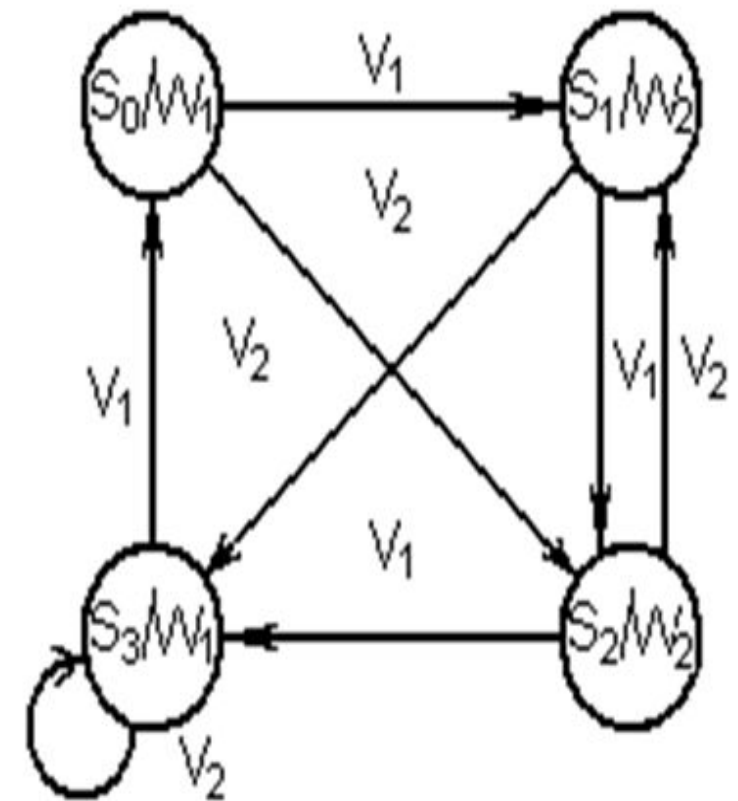
	Состояния и выходные сигналы			
Входные сигналы	S_0	S_1	S_2	S_3
	W_1	W_2	W_2	W_3
V_1	S_1	S_2	S_3	S_0
V_2	S_2	S_3	S_1	S_3



Графический способ задания конечных автоматов



Автомат Мили



Автомат Мура



Матричный способ задания конечных автоматов.

$$/M/ = \begin{array}{c|cccc} & s_0 & s_1 & s_2 & s_3 \\ \hline s_0 & v_2/w_2 & v_1/w_1 & - & - \\ s_1 & - & v_2/w_3 & v_1/w_2 & - \\ s_2 & - & - & v_2/w_1 & v_1/w_3 \\ s_3 & v_2/w_2 & - & - & v_2/w_3 \end{array}$$

$$/M/ = \begin{array}{c|cccc} & s_0 & s_1 & s_2 & s_3 \\ \hline s_0 & - & v_1 & v_2 & - \\ s_1 & - & - & v_1 & v_2 \\ s_2 & - & v_2 & - & v_1 \\ s_3 & v_1 & - & - & v_2 \end{array}$$

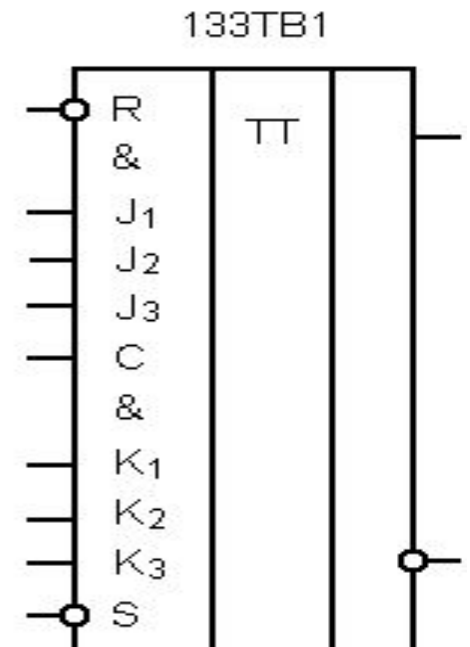
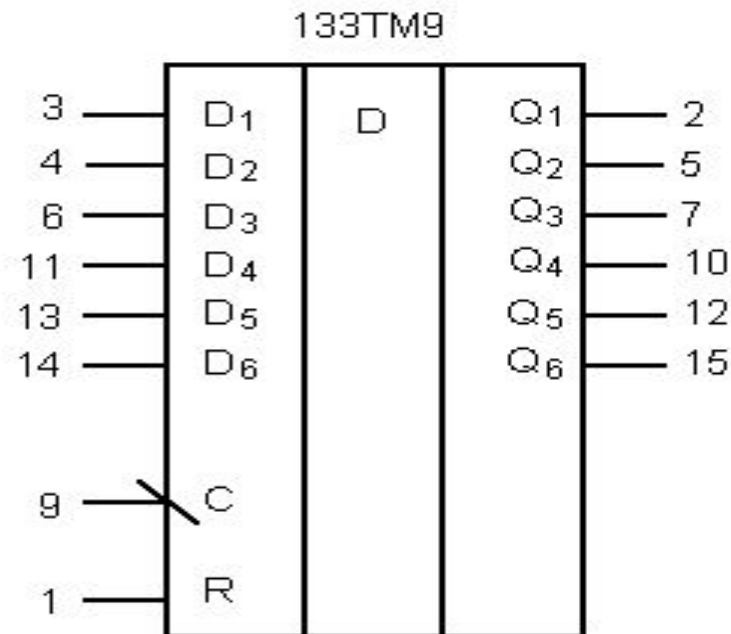
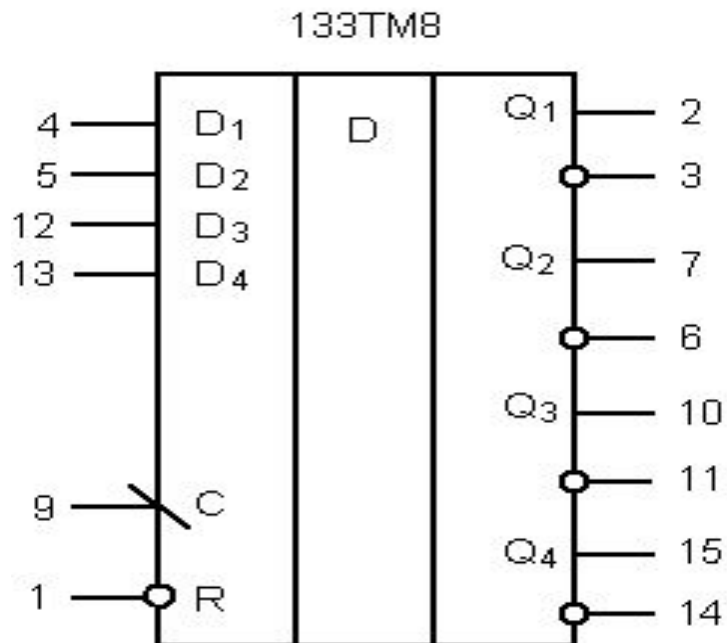
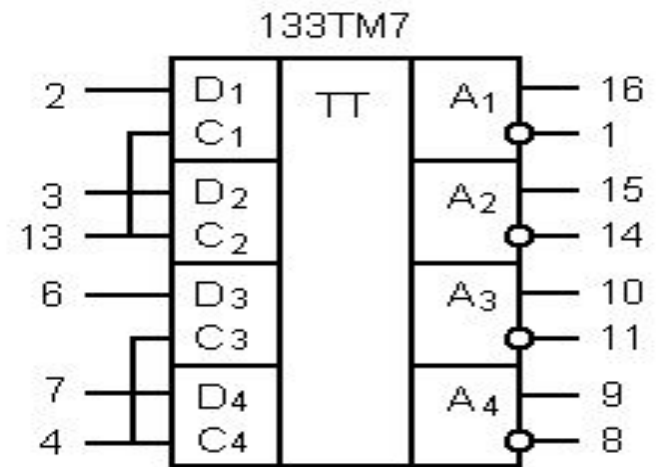
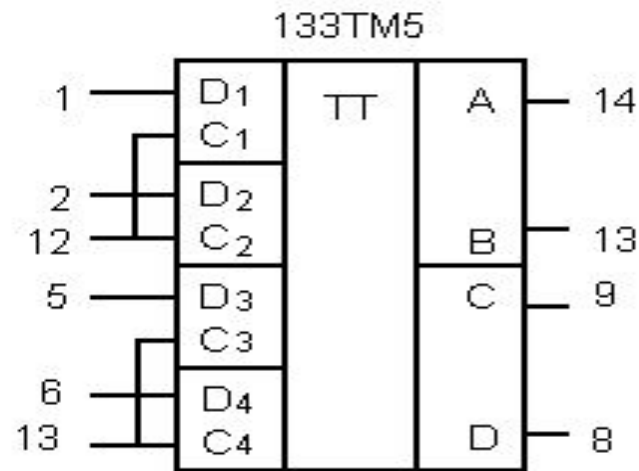
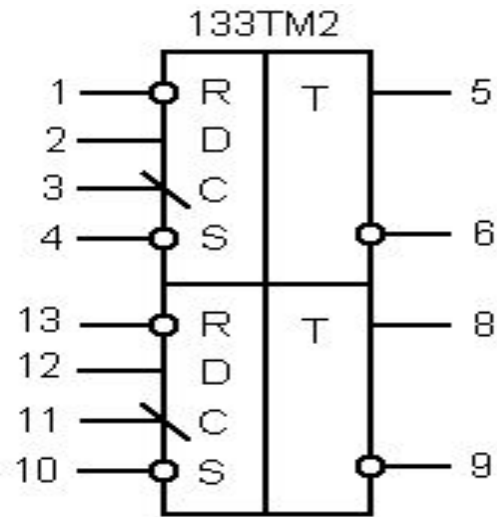
$$/W/ = \begin{array}{c|c} & \\ \hline & \lambda(s_0) \\ & \lambda(s_1) \\ & \dots \\ & \lambda(s_0) \end{array}$$

Автомат Мили

Автомат Мура



Некоторые типы триггеров в интегральном исполнении



Тема: №3 «Типовые цифровые узлы»

1. Условно-графическое изображение полусумматора
2. Схема сравнения (цифровой компаратор)
3. Условное обозначение и схема мультиплексора «4 -> 1»
4. Условное обозначение и схема демультимплексора «1 -> 4»
5. Обозначение цепей шин
6. Обозначение управляемой шины на структурных и функциональных схемах
7. Двоично распределительный код
8. Условное обозначение дешифратора
9. Схема линейного дешифратора на два входа
10. Условное обозначение шифратора
11. Шифратор К155ИВ1
12. Преобразователь двоично-десятичного кода в код семисегментного индикатора
13. Схема регистра параллельного действия
14. Схема парафазной передачи информации
15. Схема делителя частоты с дешифрированием состояния и принудительным обнулением счетчика
16. Схема делителя частоты с переменным модулем счета

Условно-графическое изображение полусумматора

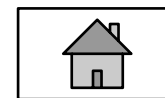
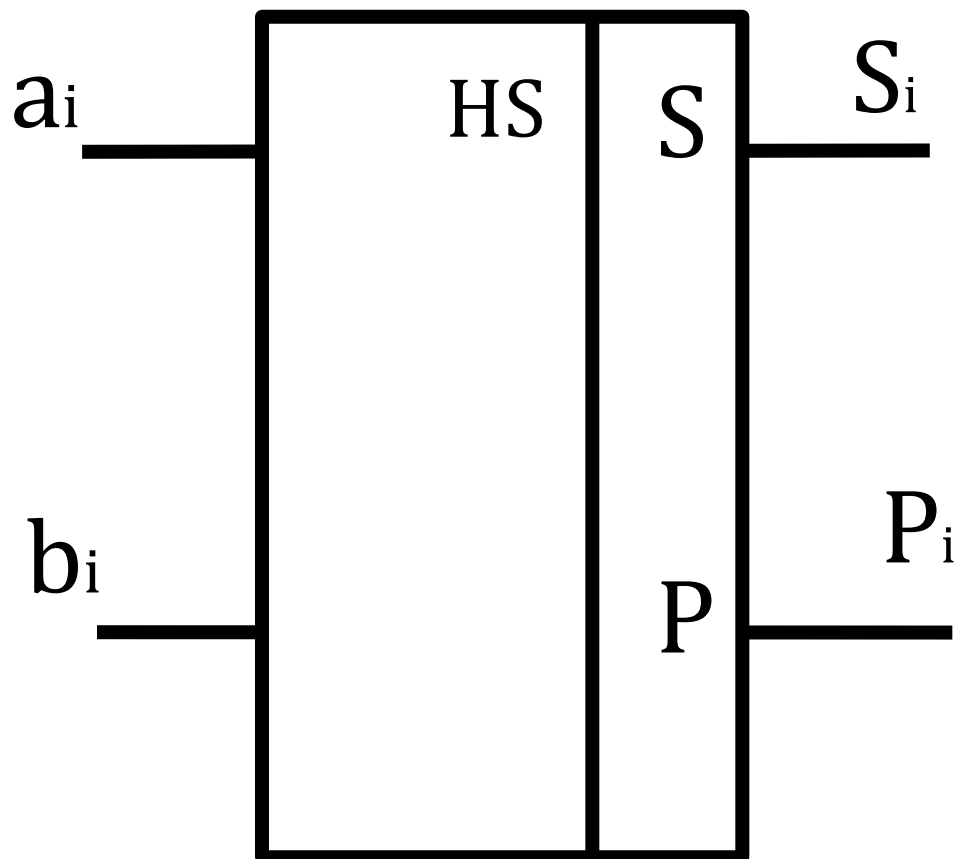
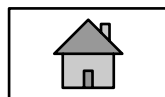
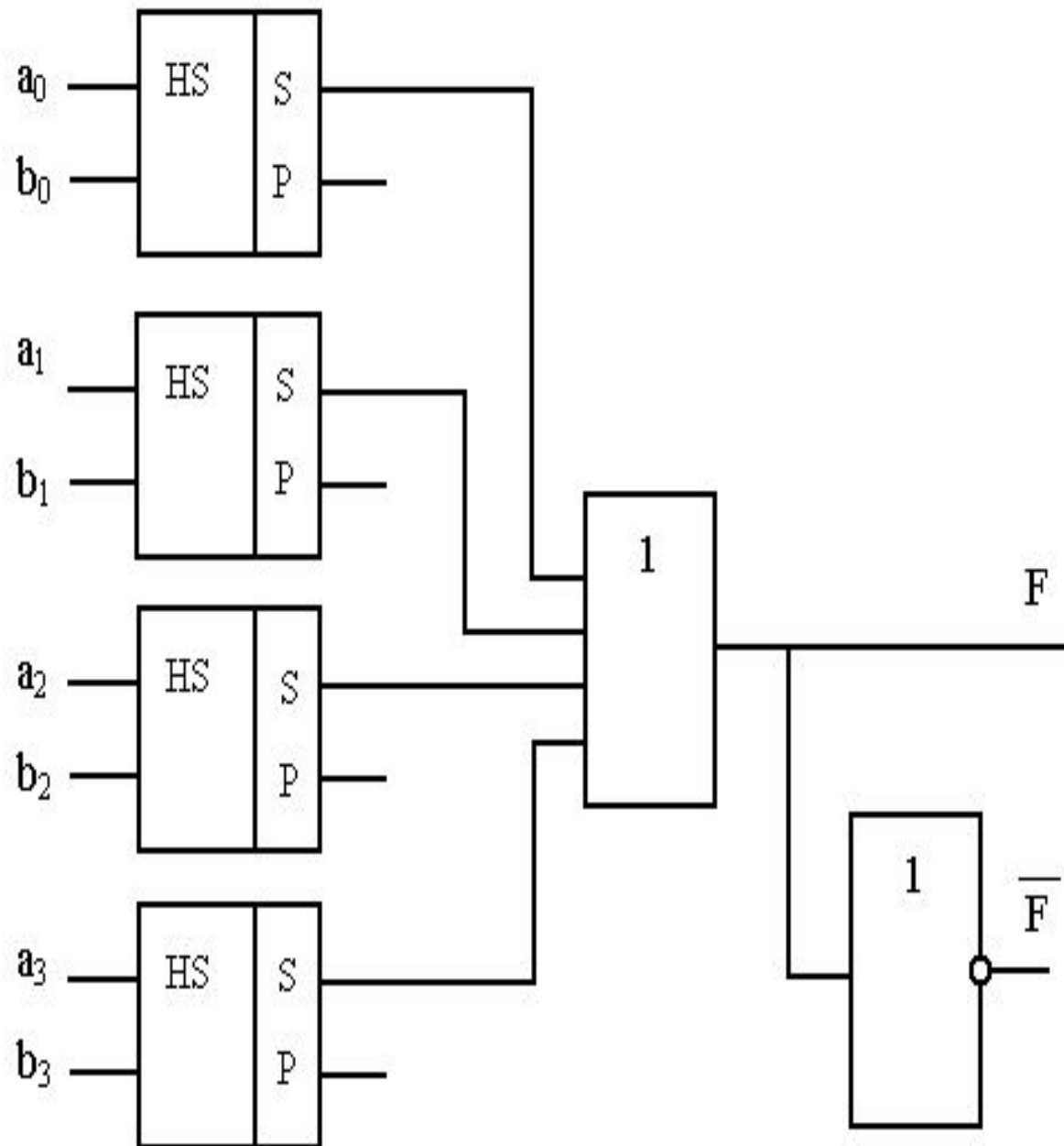
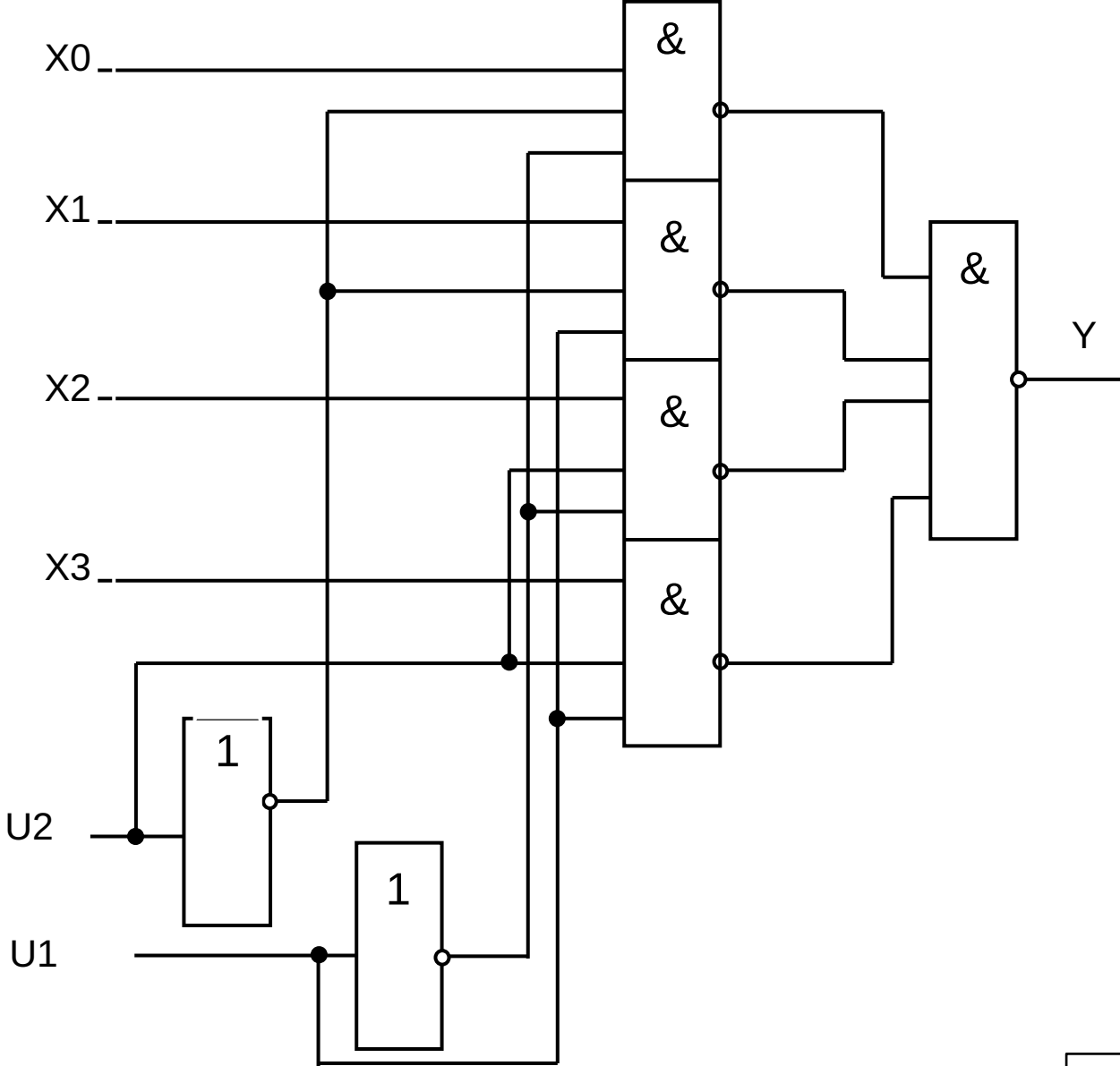
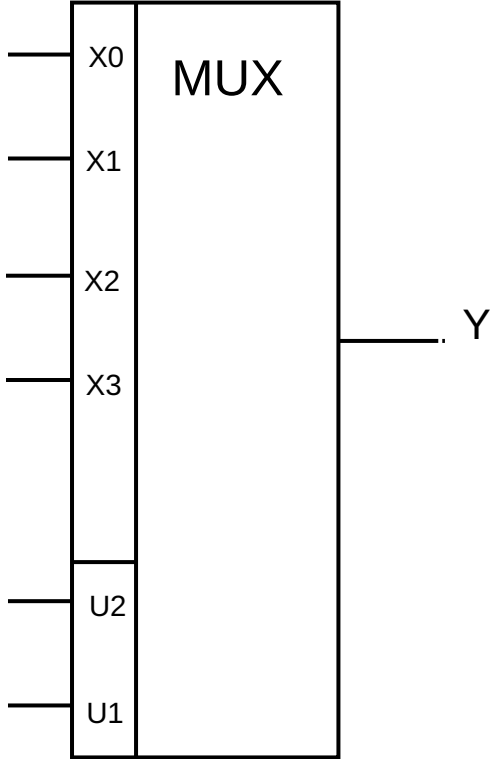


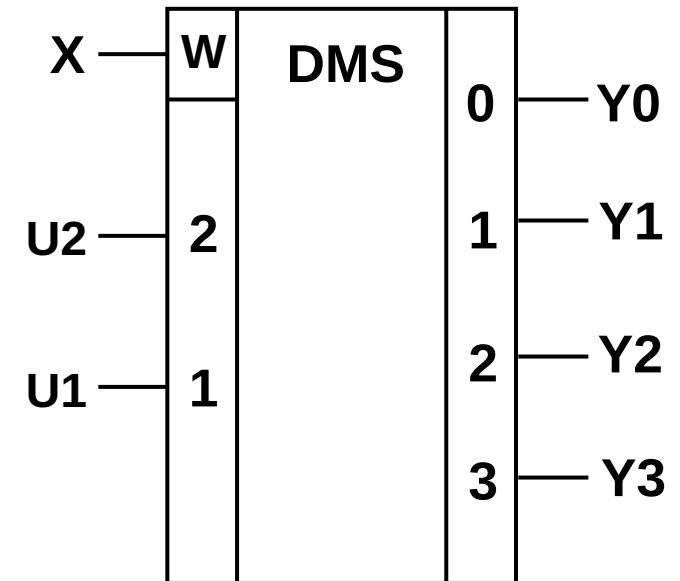
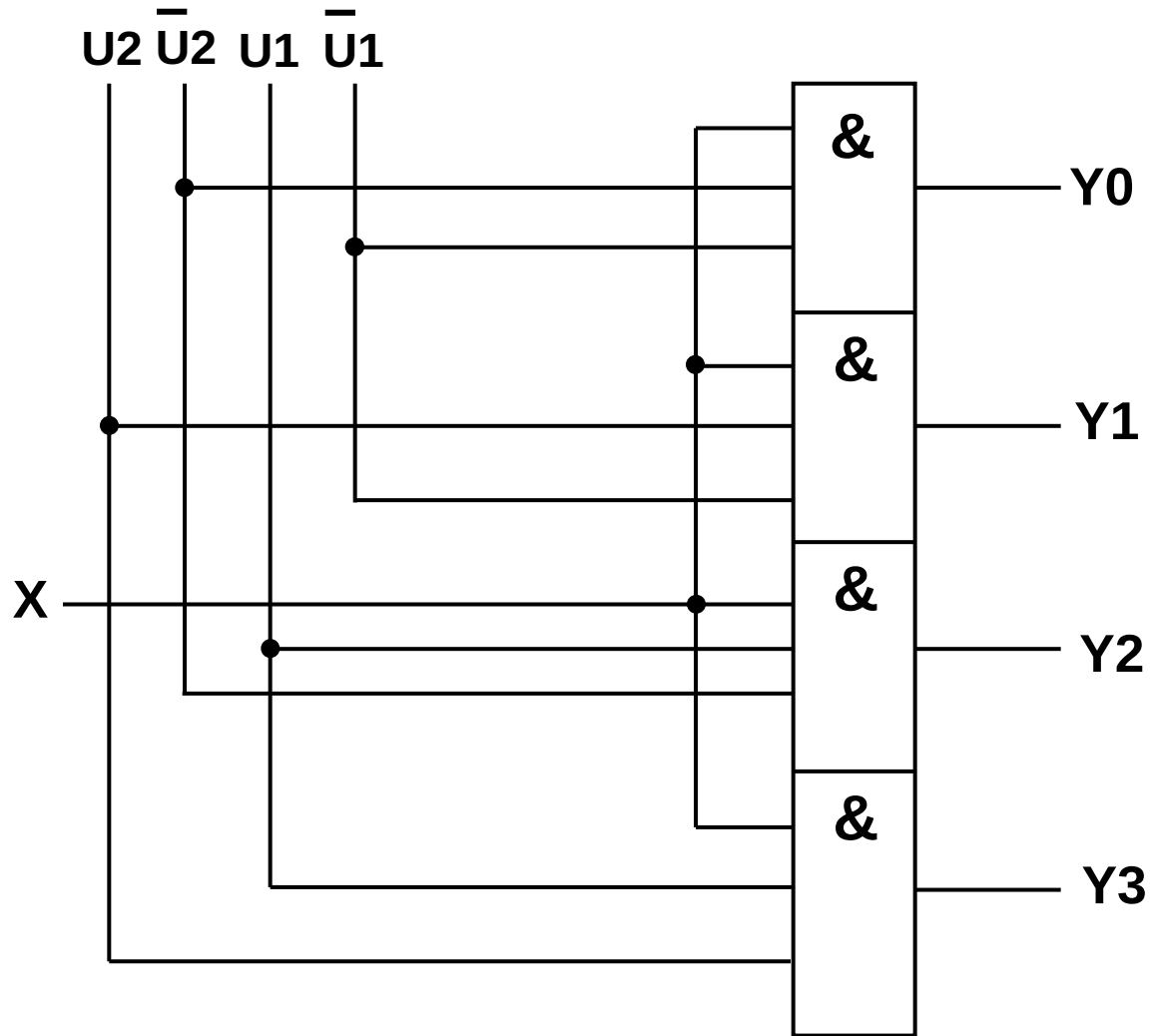
Схема сравнения (цифровой компаратор)



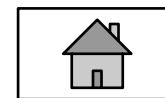
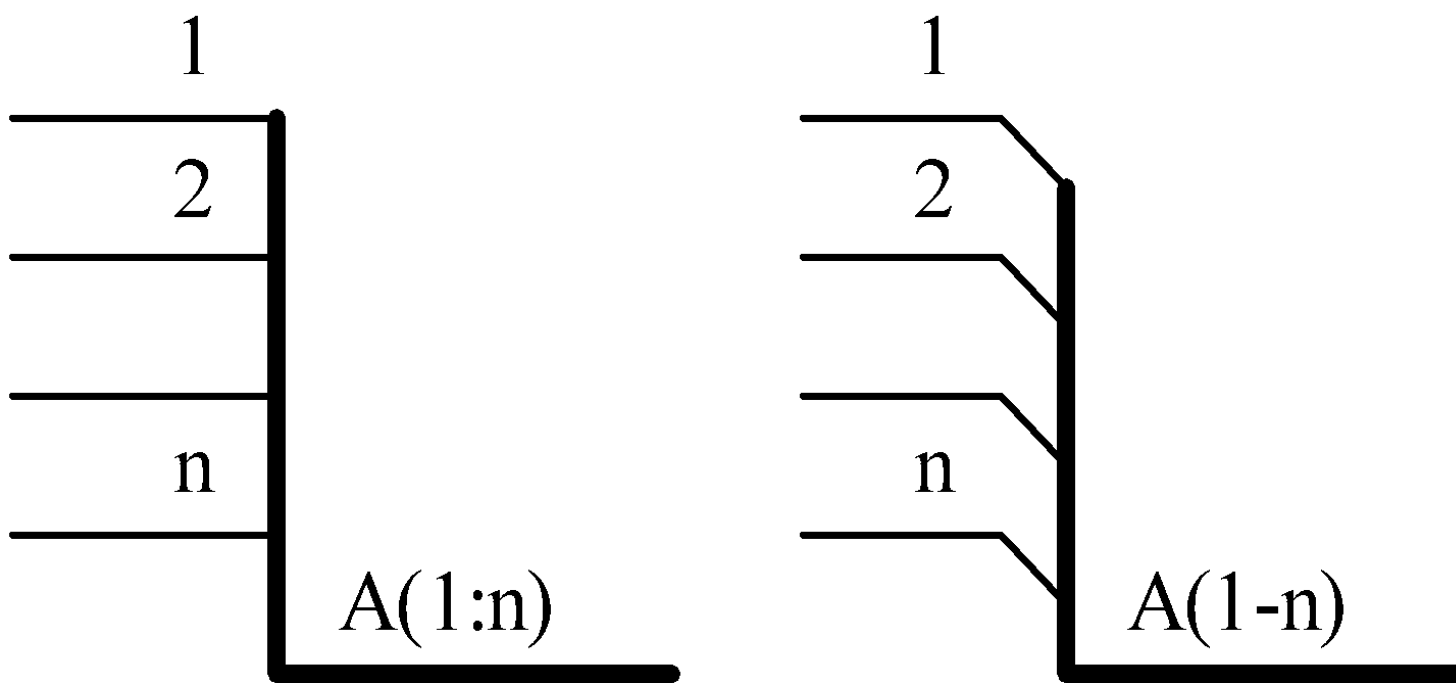
Условное обозначение и схема мультиплексора «4 -> 1»



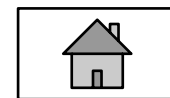
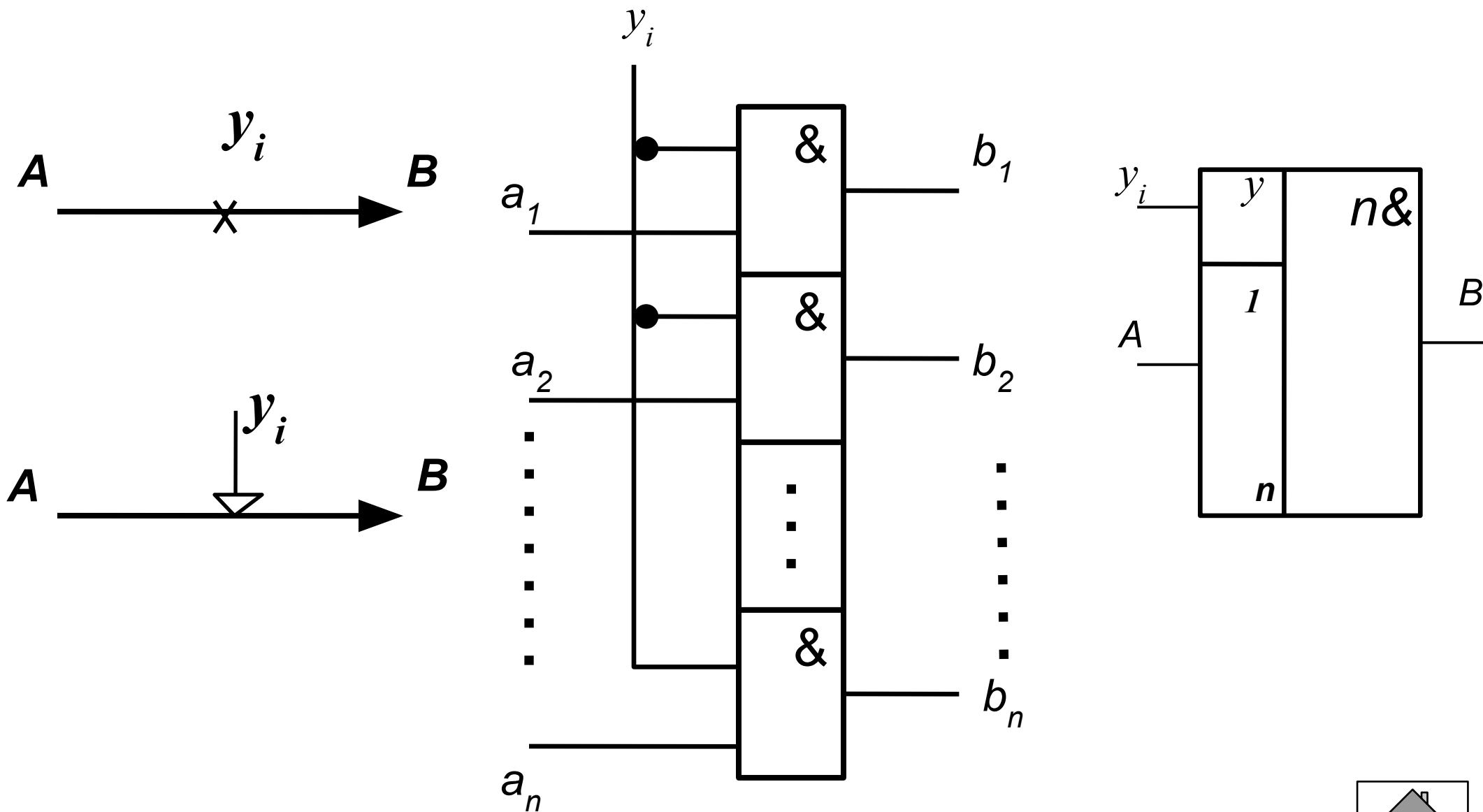
Условное обозначение и схема демультиплексора «1 -> 4»



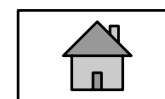
Обозначение цепей шин



Обозначение управляемой шины на структурных и функциональных схемах



Число	Двоично распределительный код								
	0	1	2	3	4	5	6	7	8
0	1	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0
2	0	0	1	0	0	0	0	0	0
3	0	0	0	1	0	0	0	0	0
4	0	0	0	0	1	0	0	0	0
5	0	0	0	0	0	1	0	0	0
6	0	0	0	0	0	0	1	0	0
7	0	0	0	0	0	0	0	1	0
8	0	0	0	0	0	0	0	0	1



Условное обозначение дешифратора

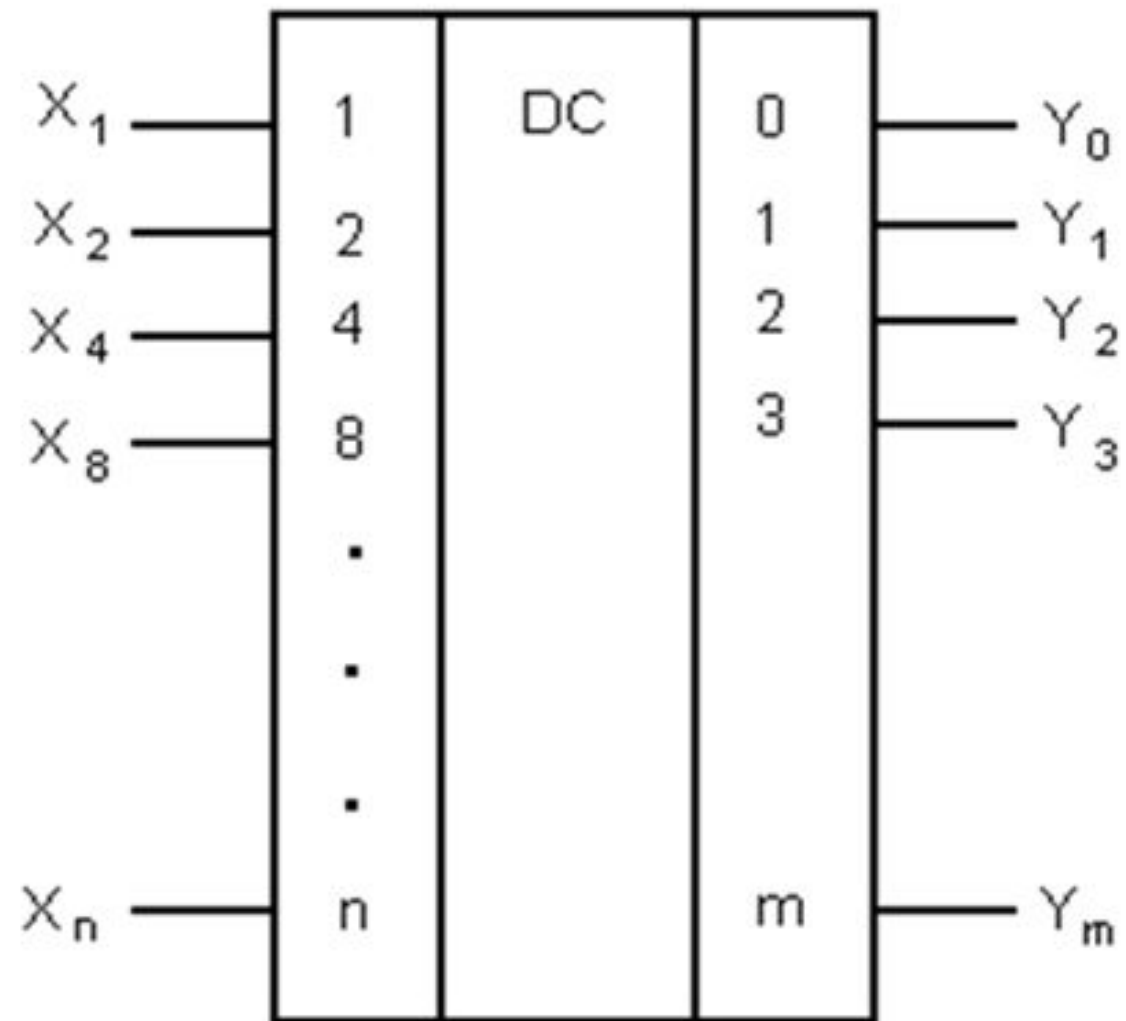
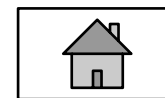
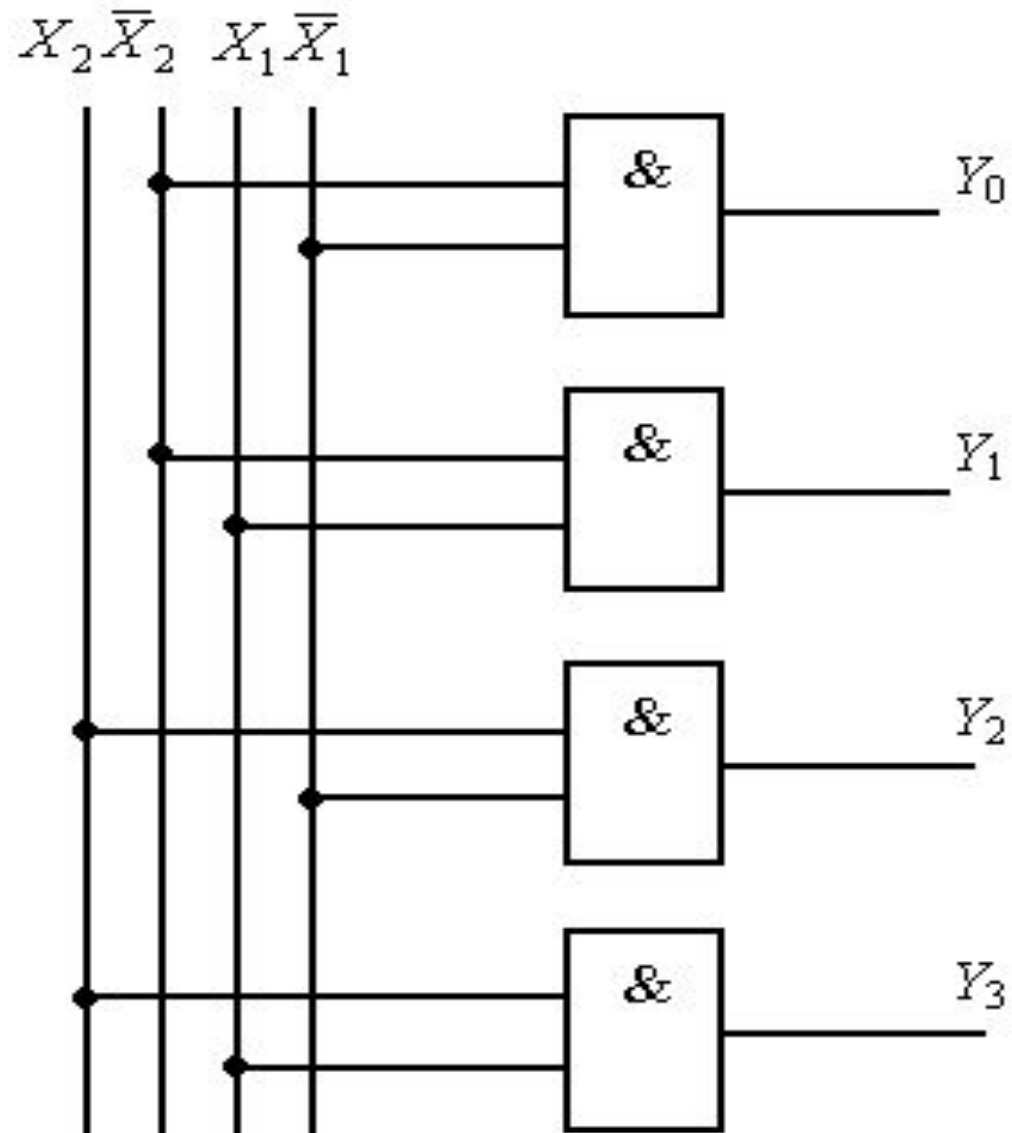
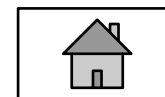
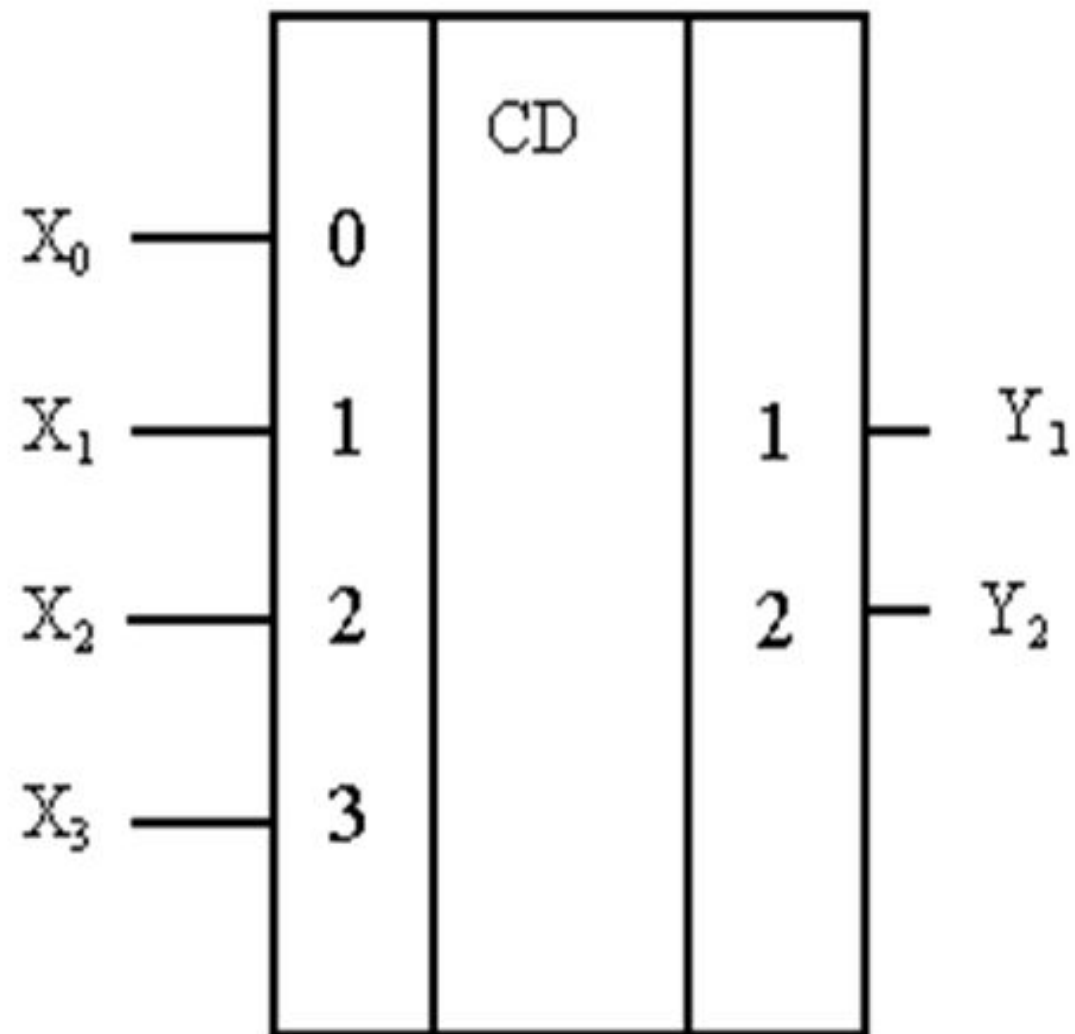


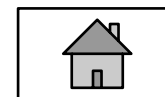
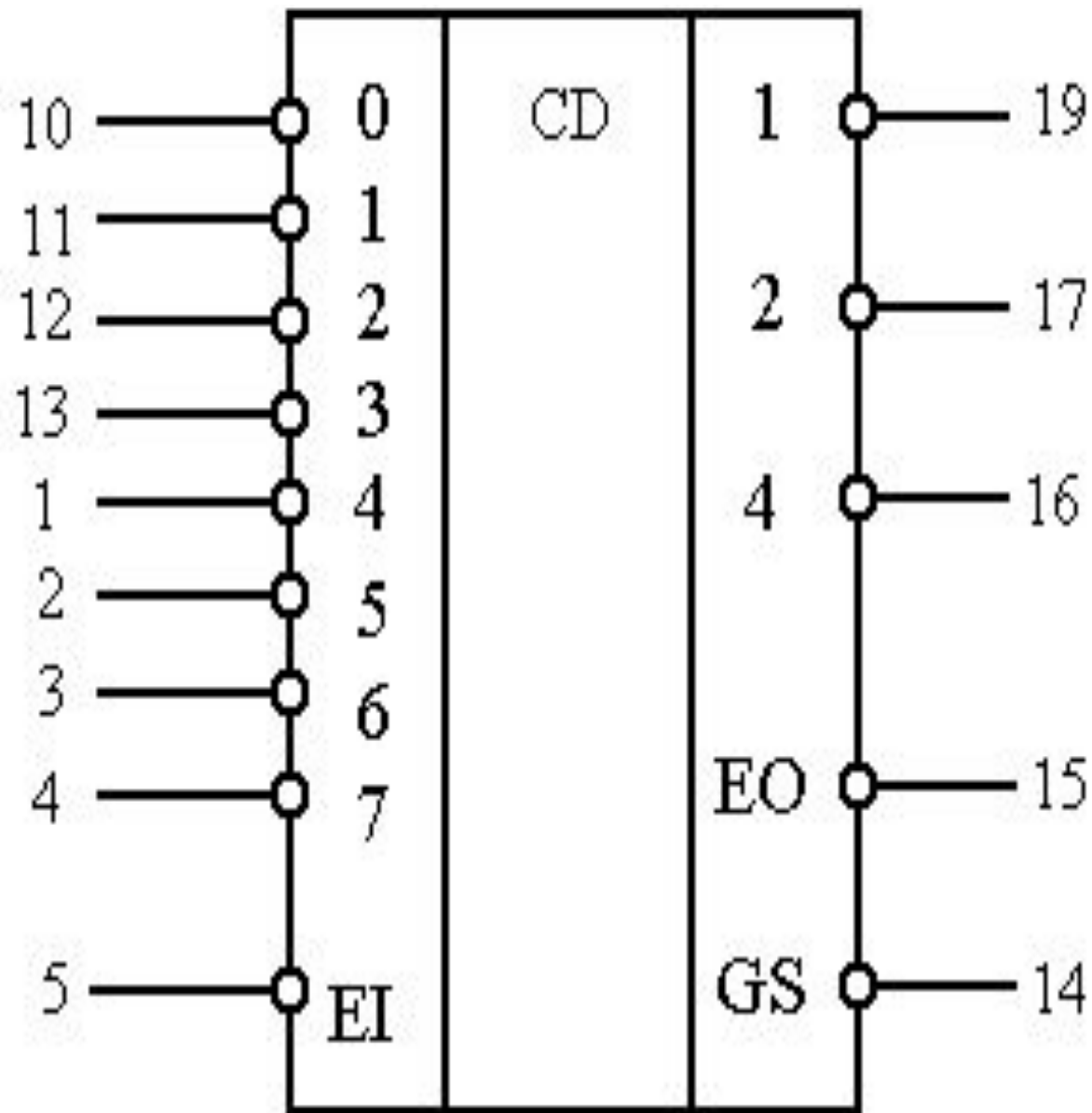
Схема линейного дешифратора на два входа



Условное обозначение шифратора



Шифратор К155ИВ1



Преобразователь двоично-десятичного кода в код семисегментного индикатора

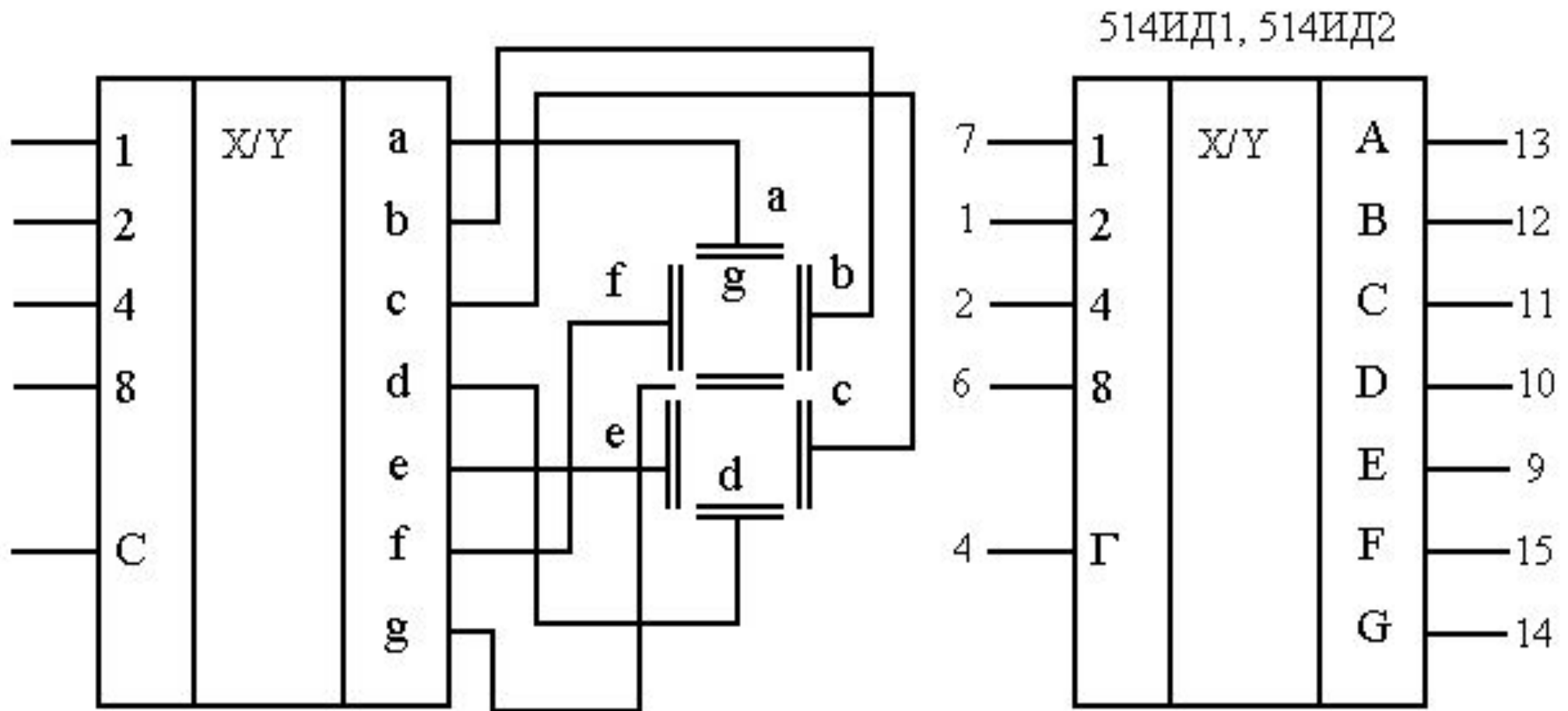


Схема регистра параллельного действия

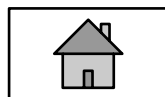
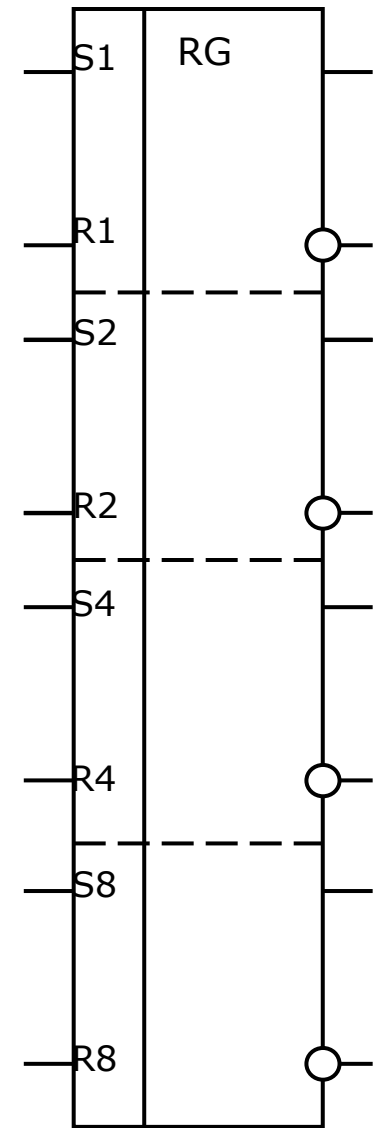
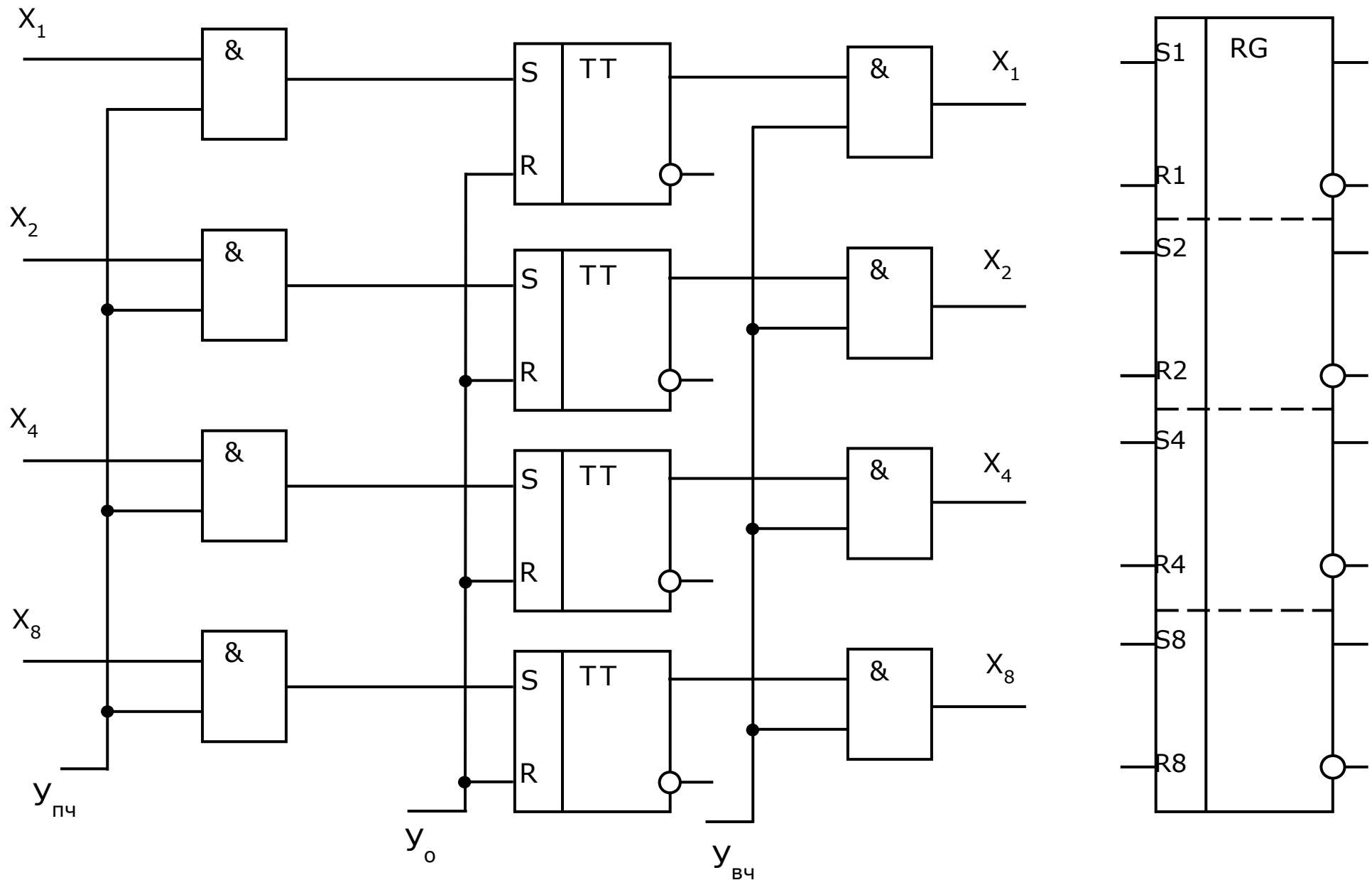


Схема парафазной передачи информации

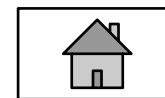
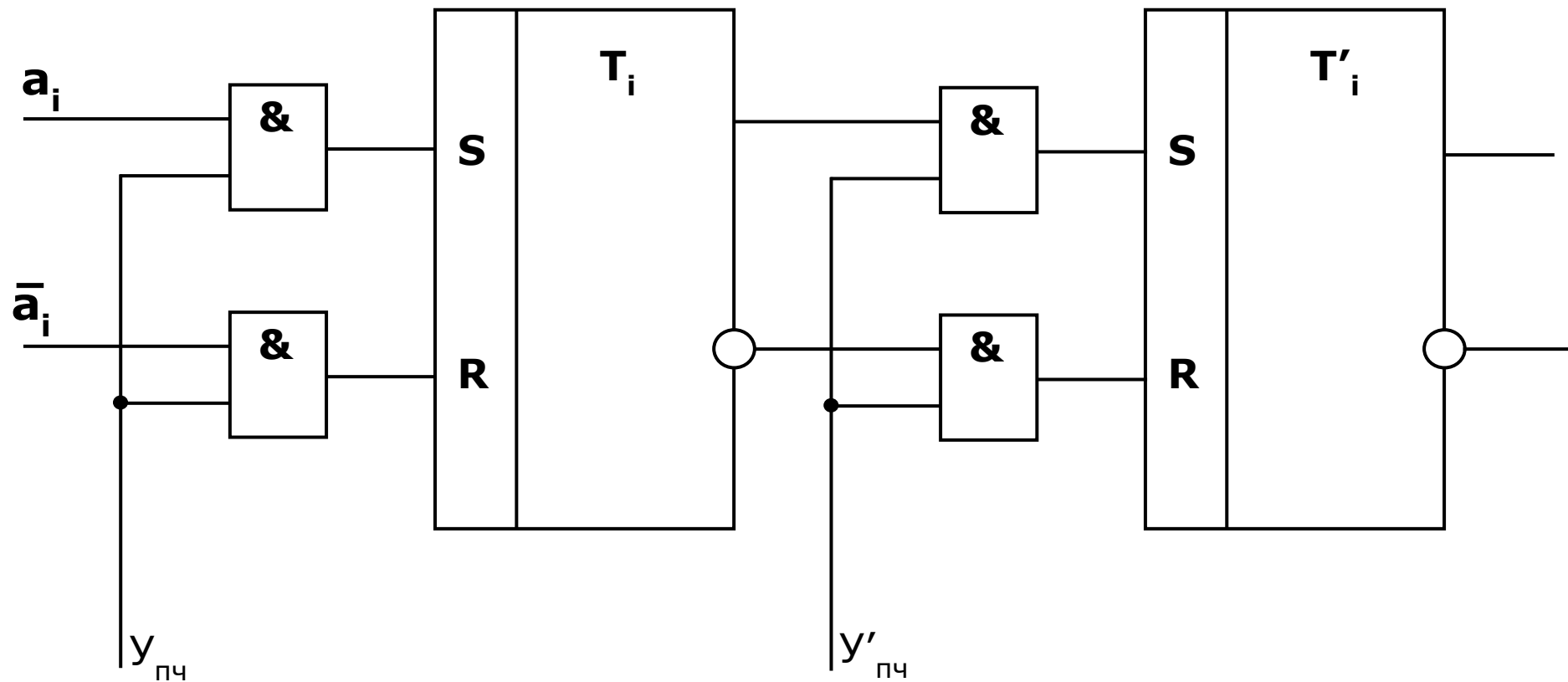


Схема делителя частоты с дешифрированием состояния и принудительным обнулением счетчика

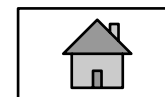
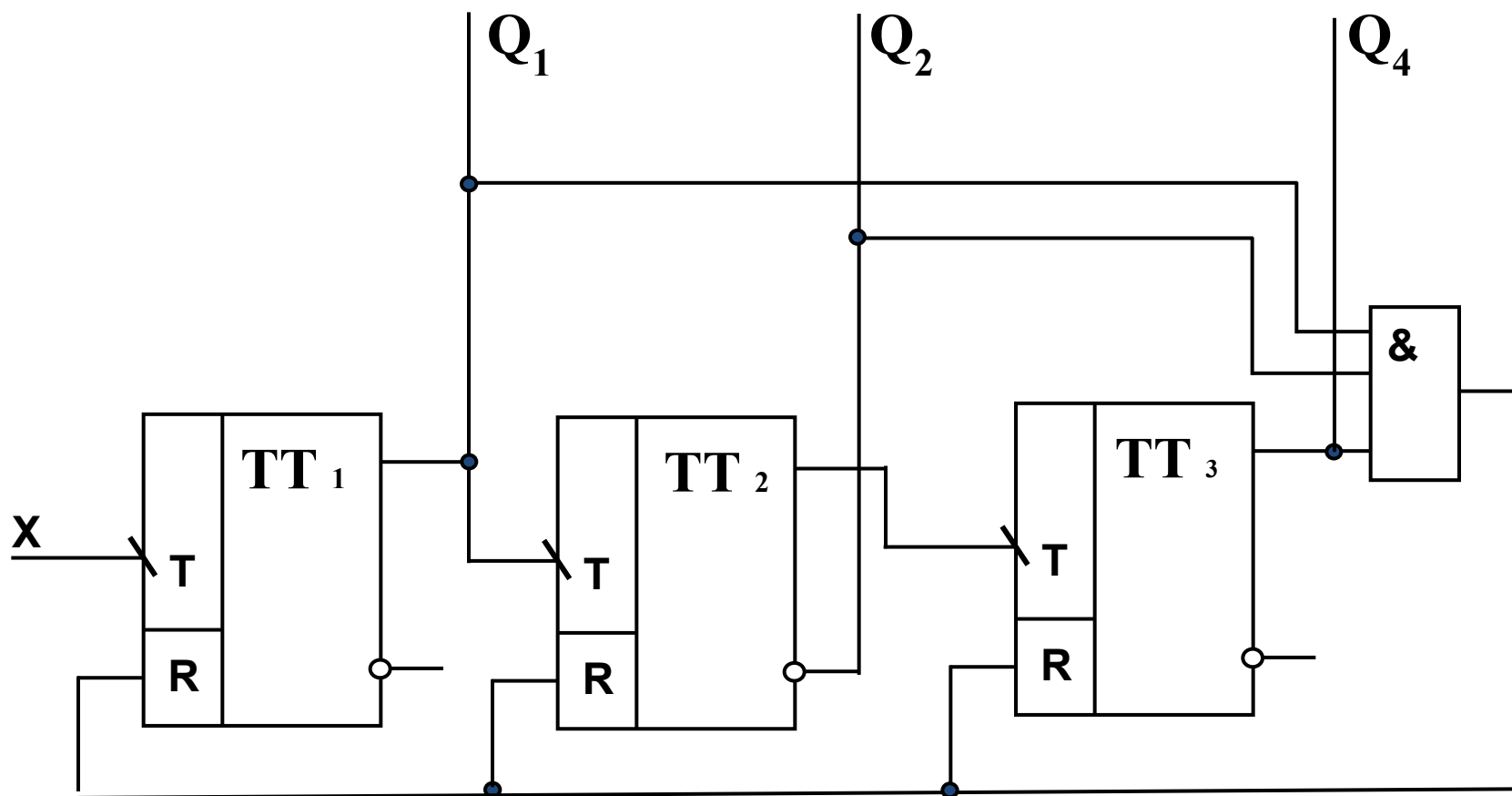
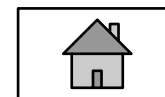
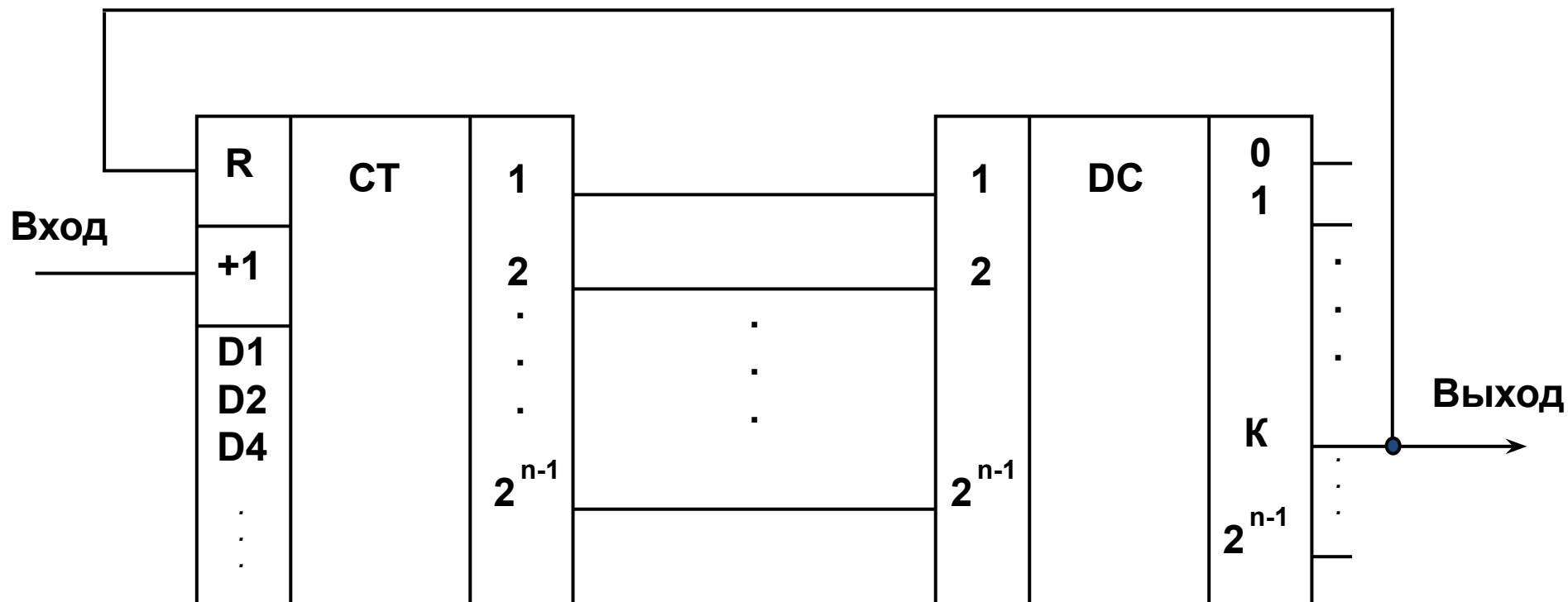


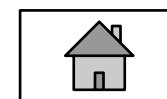
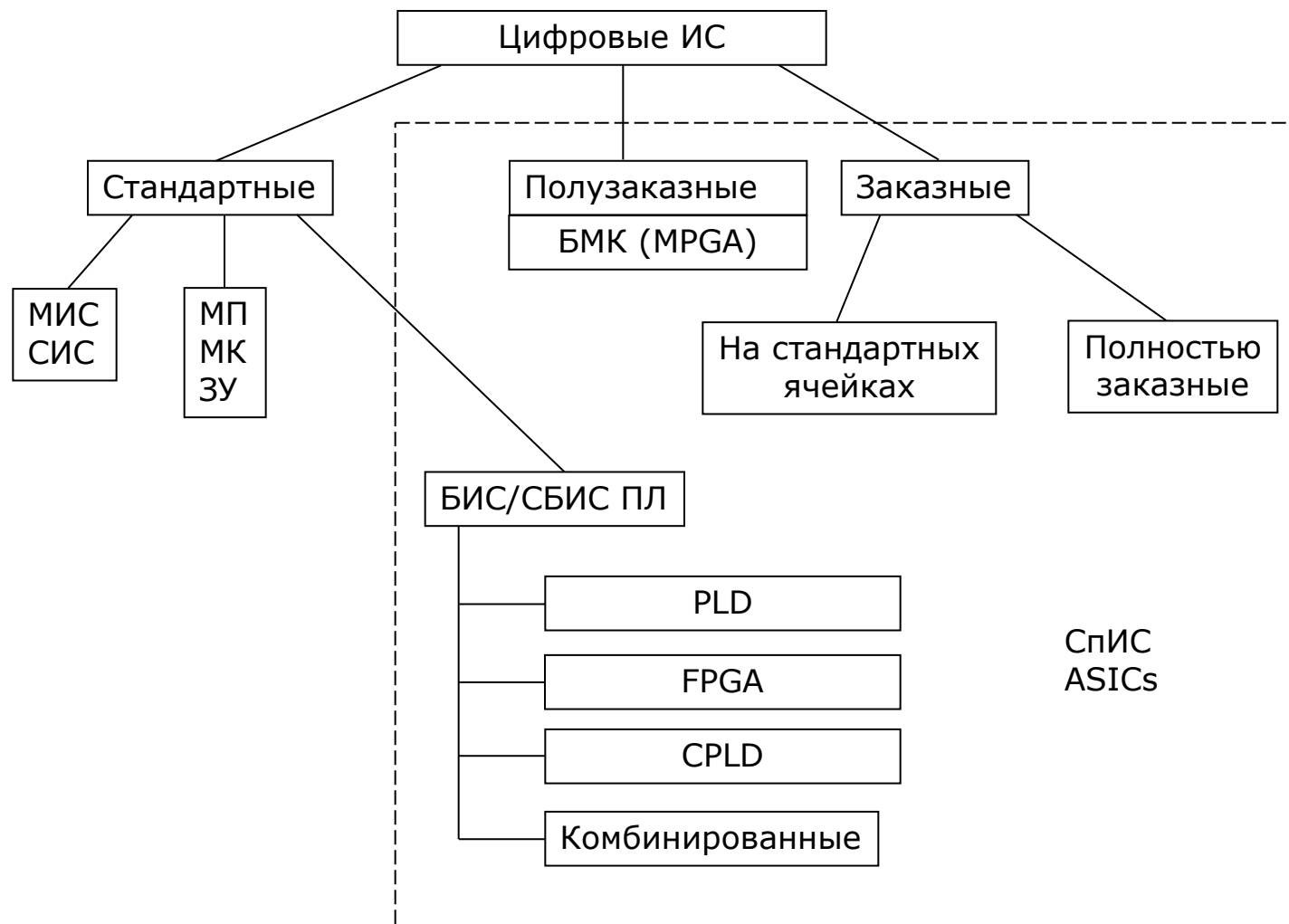
Схема делителя частоты с переменным модулем счета



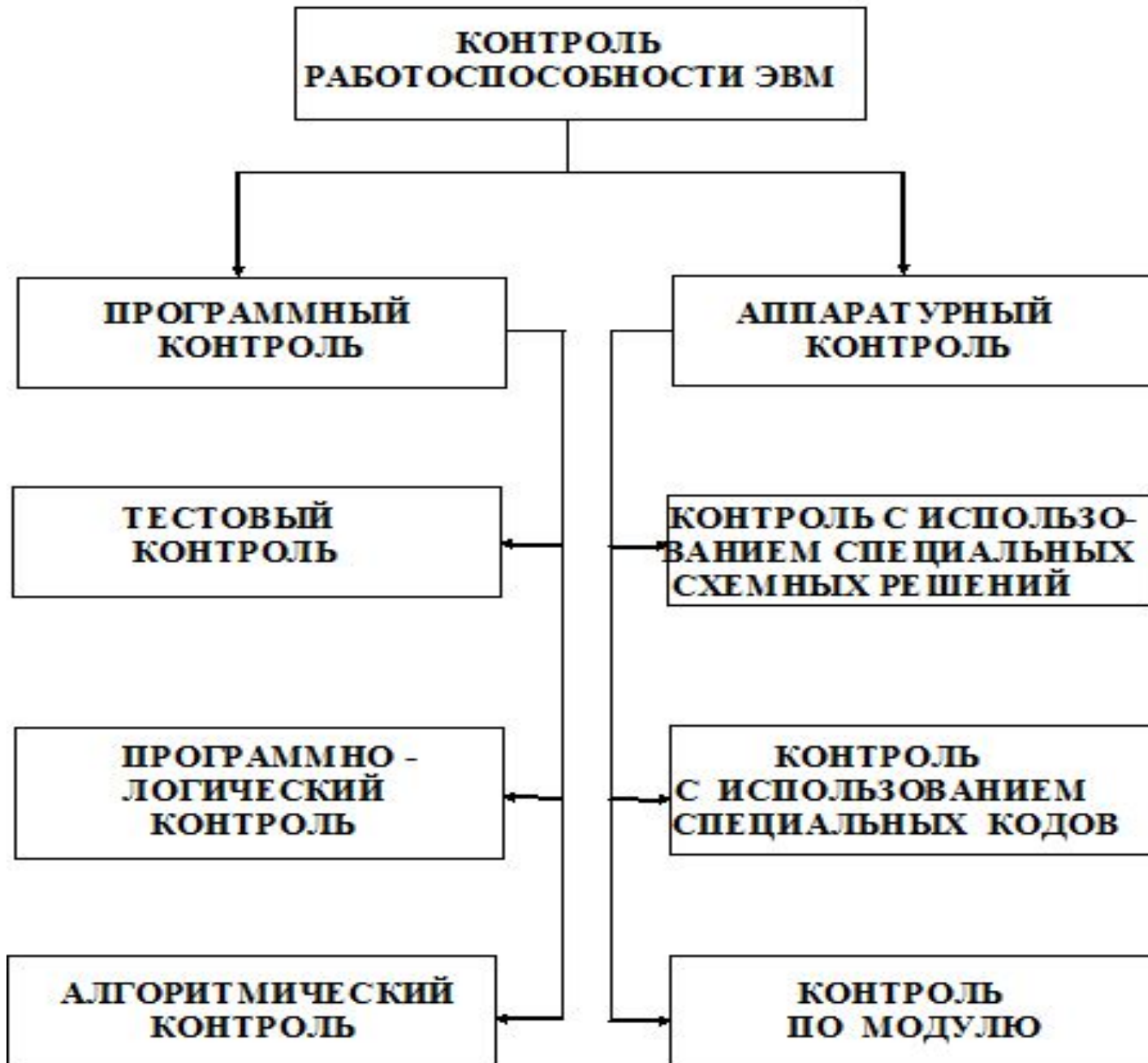
Тема: №4 «ЭВМ и вычислительные системы»

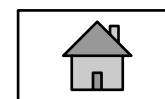
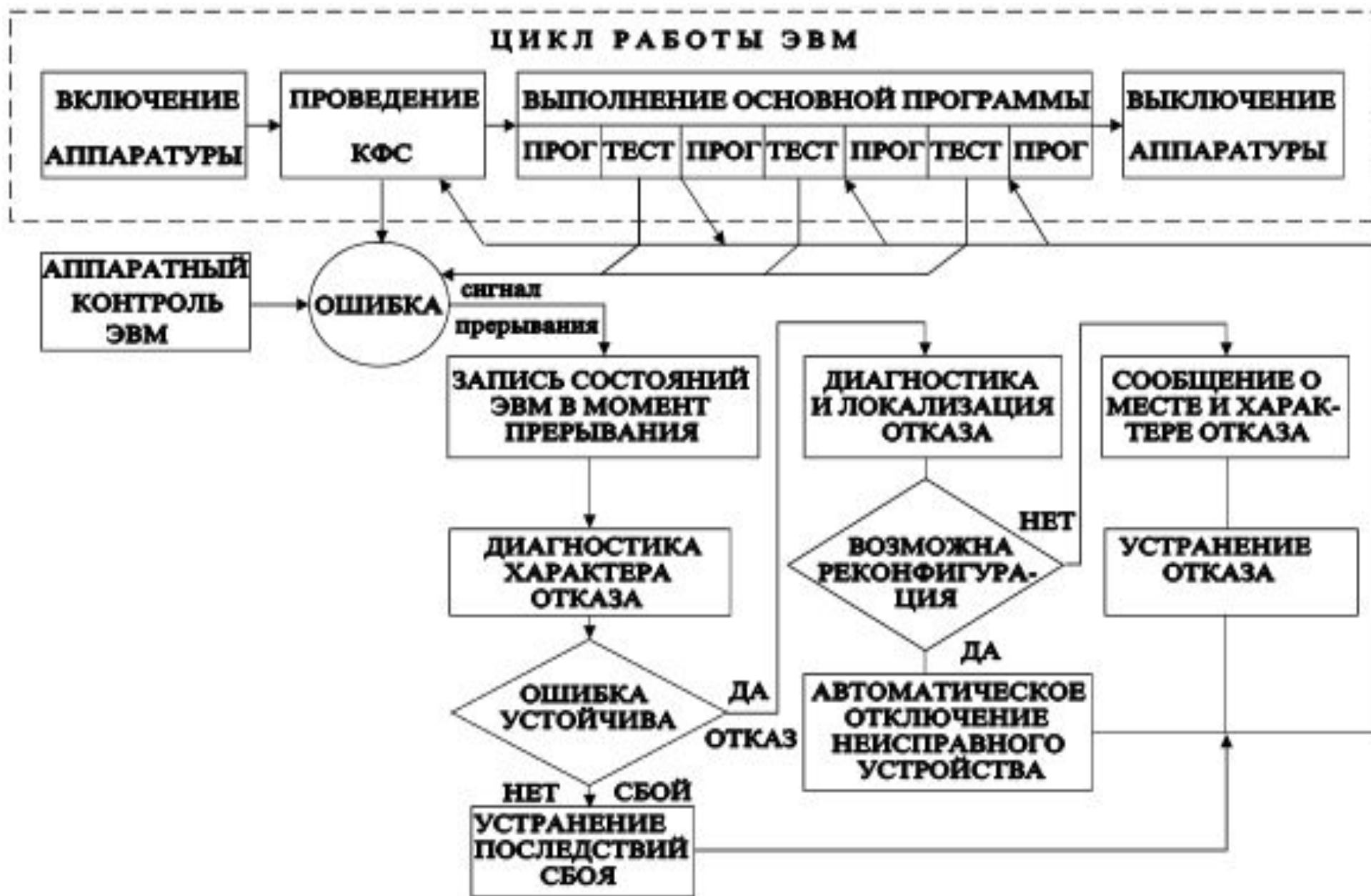
1. Классификация цифровых ИС по признаку методов проектирования
2. Классификация методов контроля
3. Цикл работы ЭВМ
4. Структурная схема АЛУ на основе накапливающего сумматора
5. Структурная схема АЛУ одноадресной ЭВМ
6. Варианты векторных вычислений
7. Схема контроля с дублированием узлов
8. Схема контроля по совпадению
9. Схема контроля передачи информации
10. Схема числового контроля операции сложение
11. Производительность SIMD-систем как функция их типа и количества процессоров
12. Обобщенная модель матричной SIMD-системы
13. Архитектура многомашинной вычислительной системы
14. Многомашинный вычислительный комплекс иерархической структуры

Классификация цифровых ИС по признаку методов проектирования

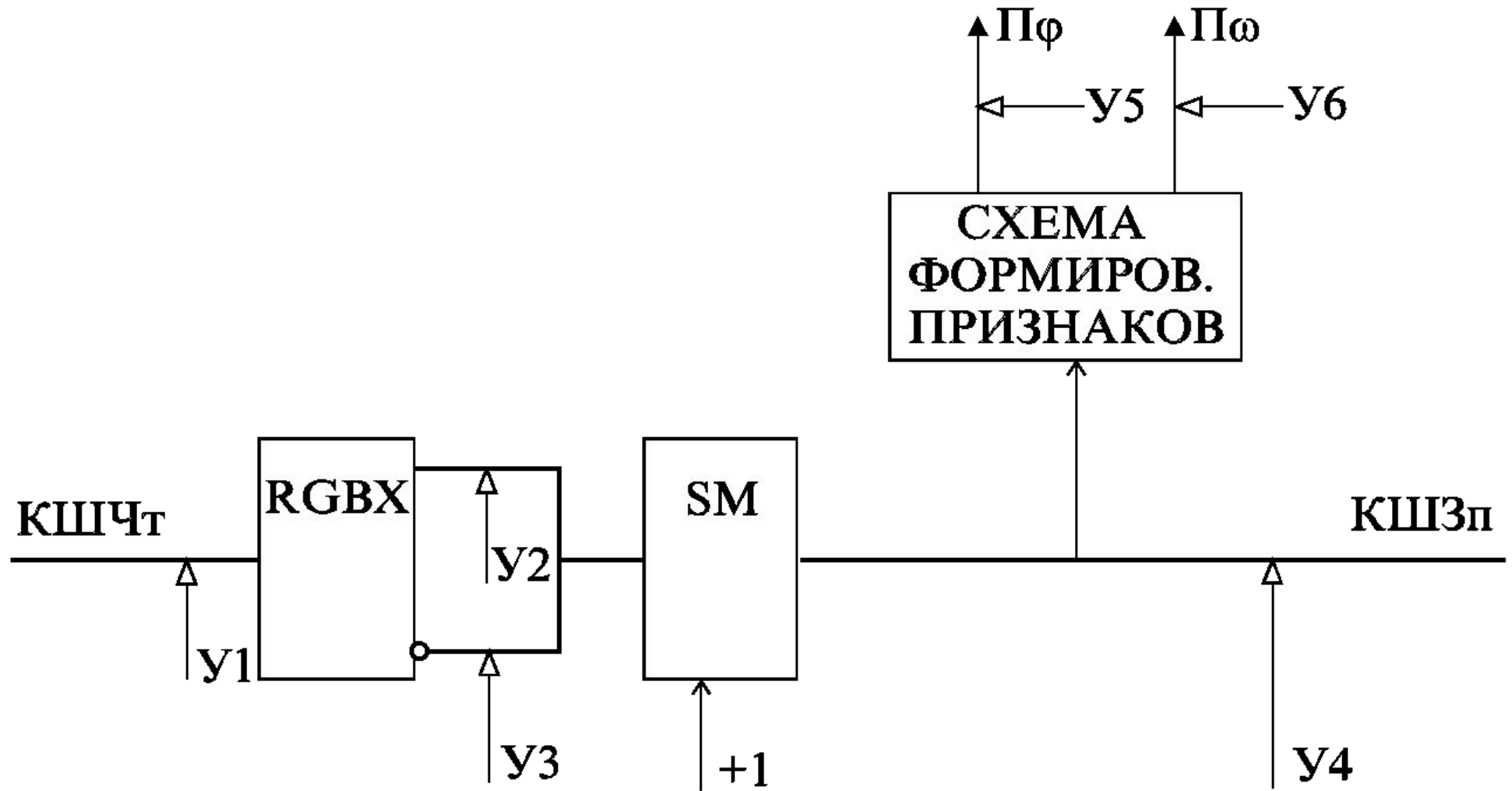


Классификация методов контроля

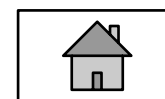
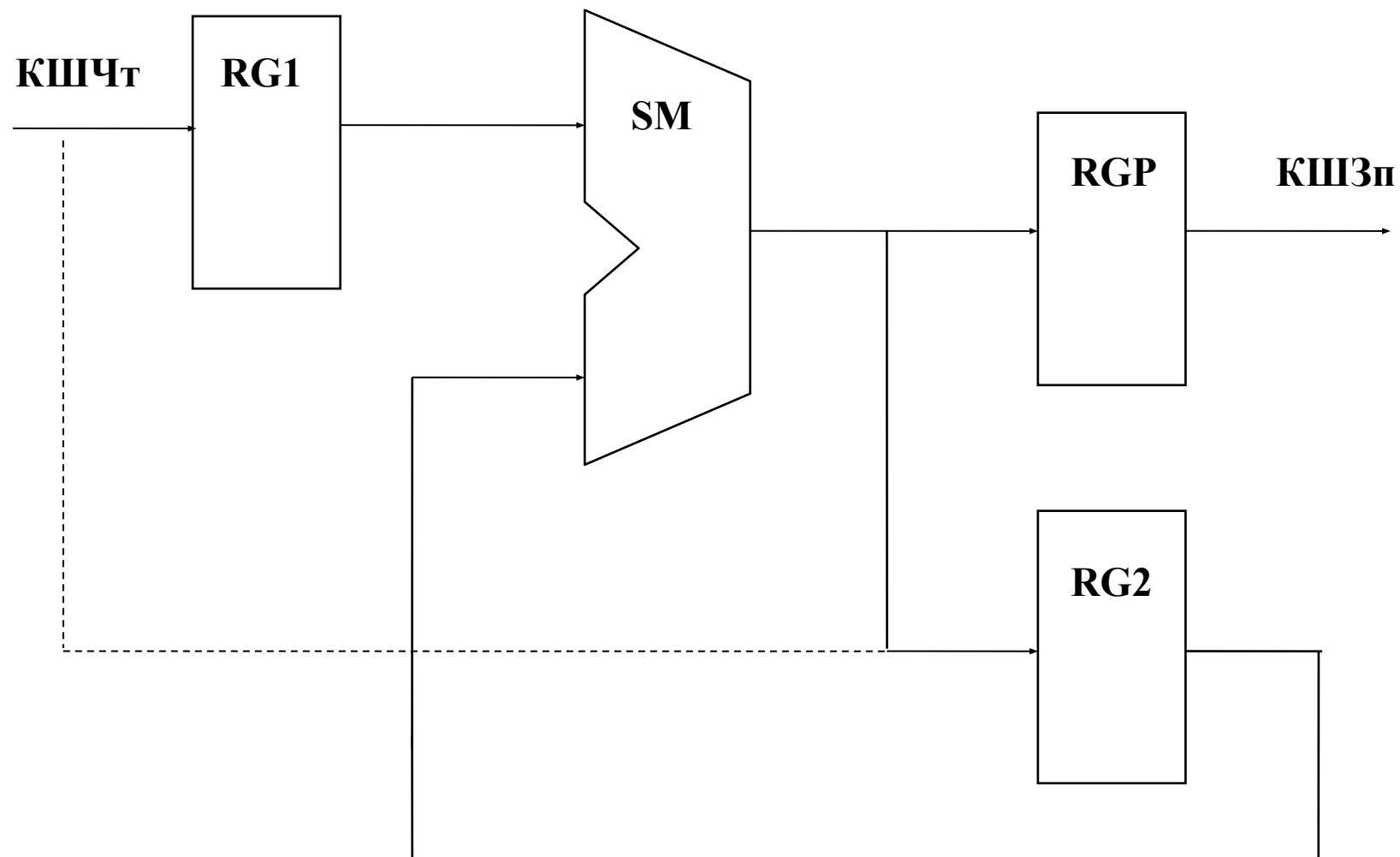




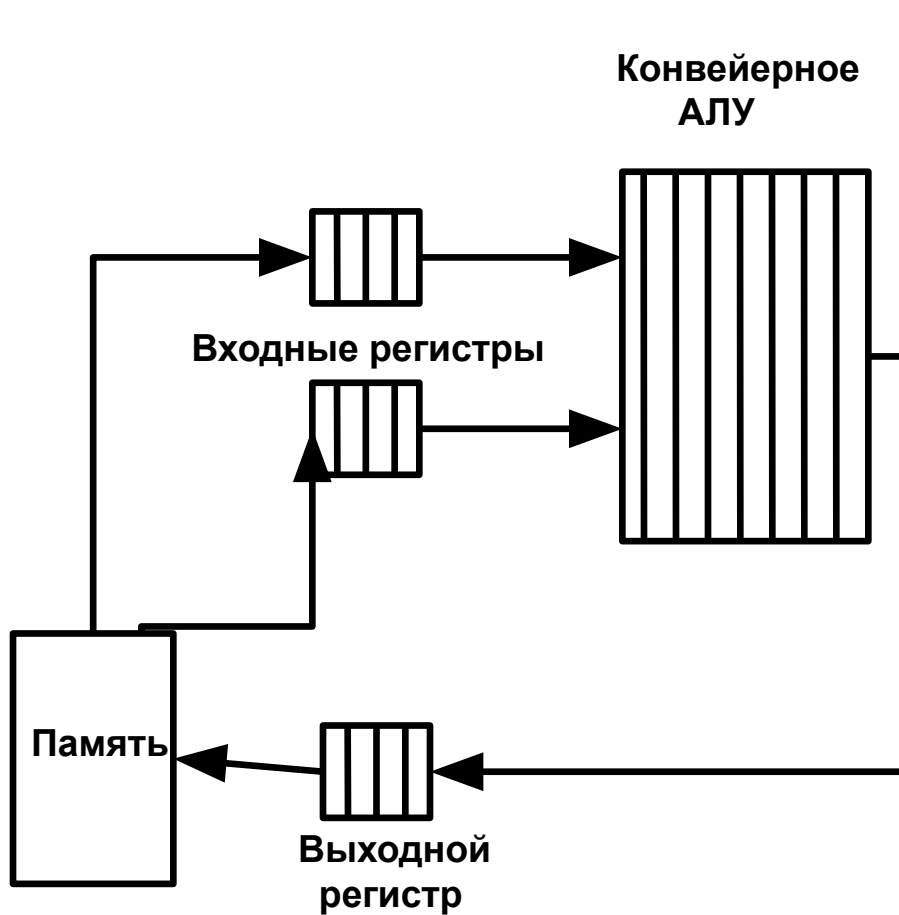
Структурная схема АЛУ на основе накапливающего сумматора



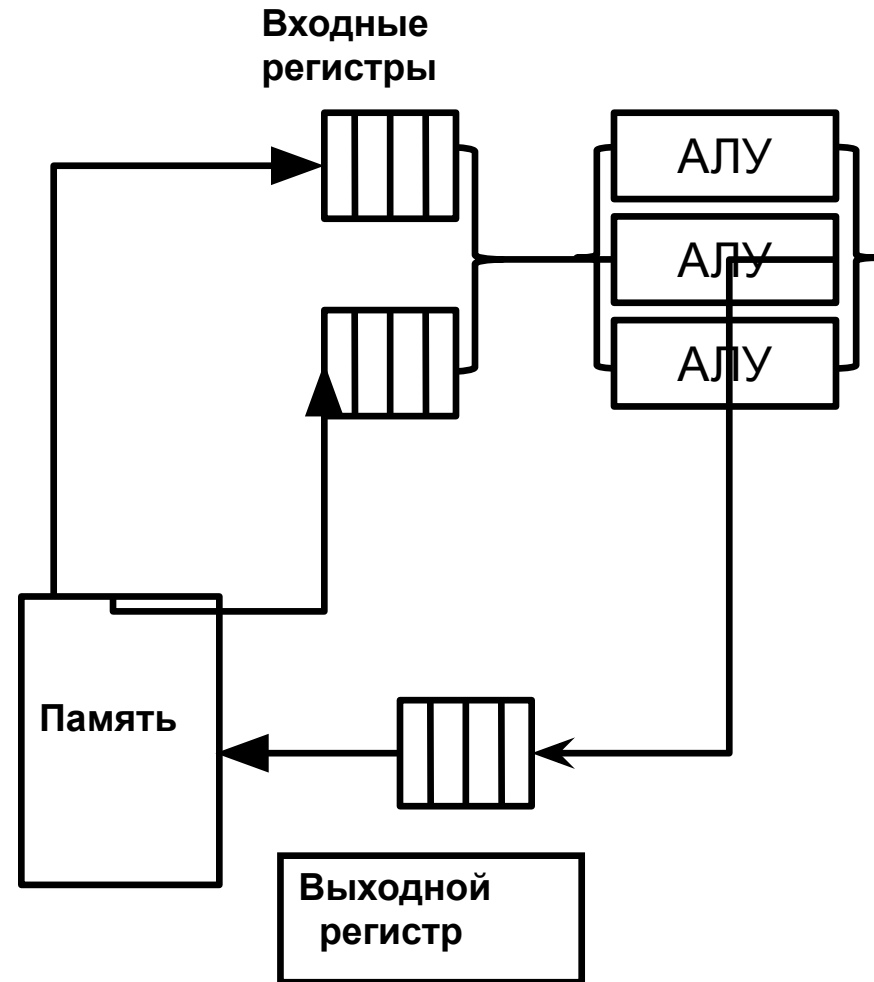
Структурная схема АЛУ одноадресной ЭВМ



Варианты векторных вычислений:



а



б

а – с конвейерным АЛУ;
б – с несколькими АЛУ.



Схема контроля с дублированием узлов

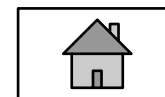
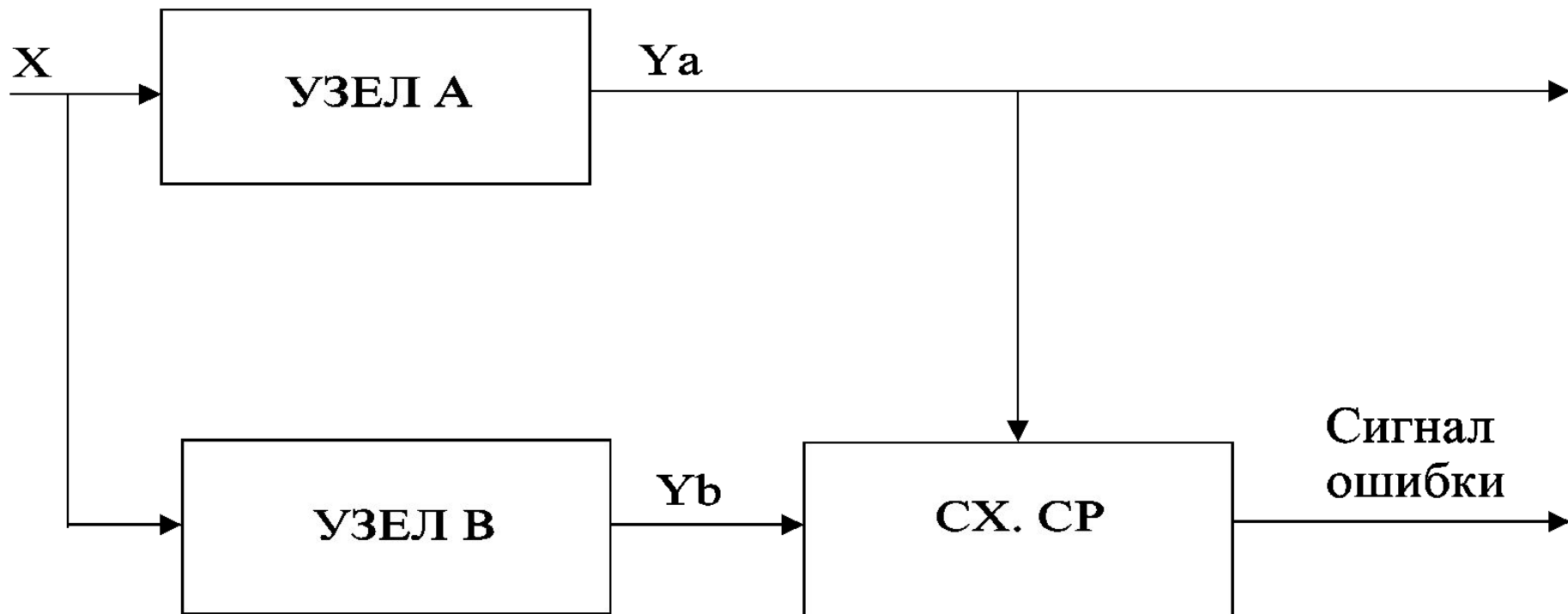


Схема контроля по совпадению

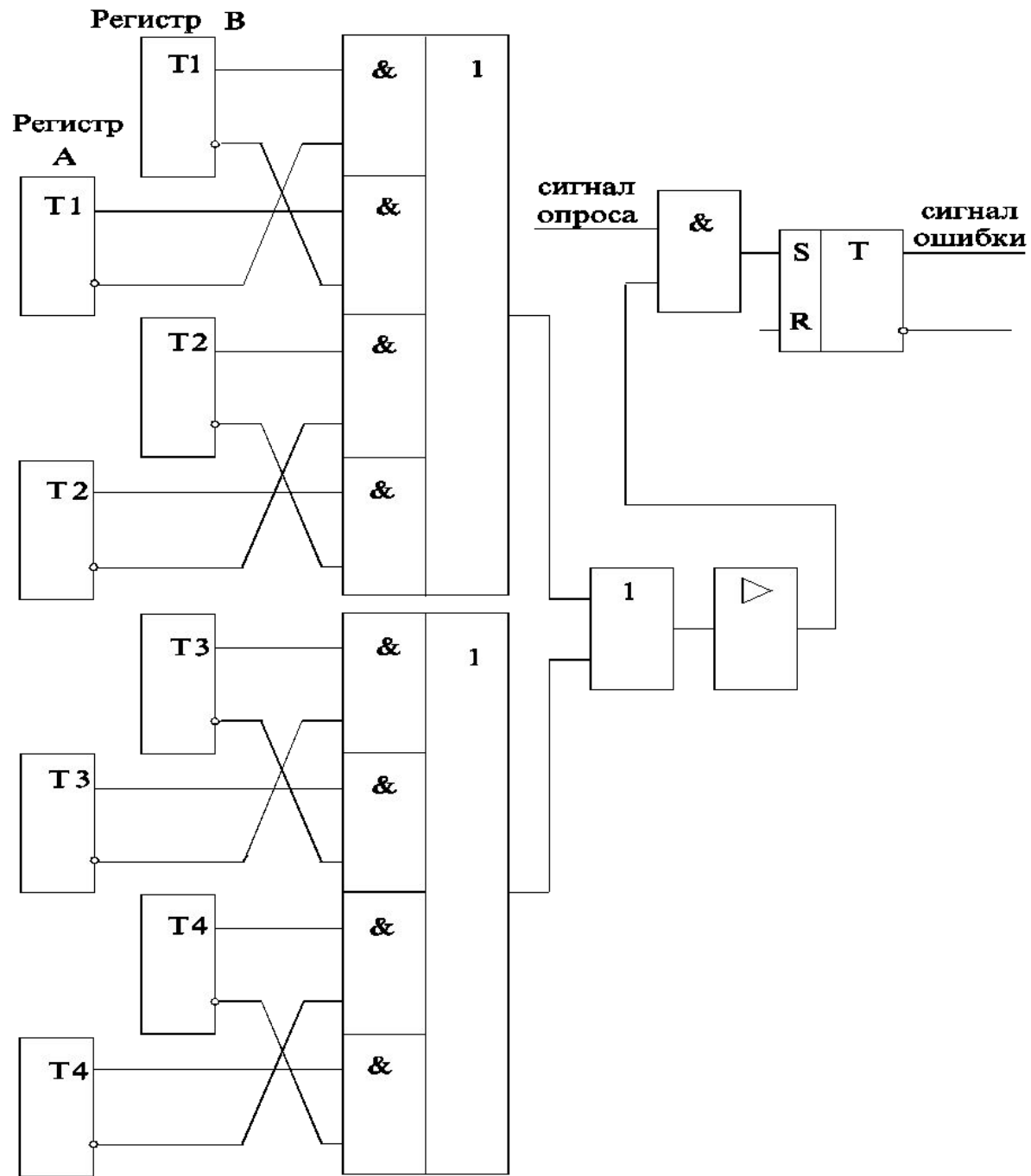


Схема контроля передачи информации

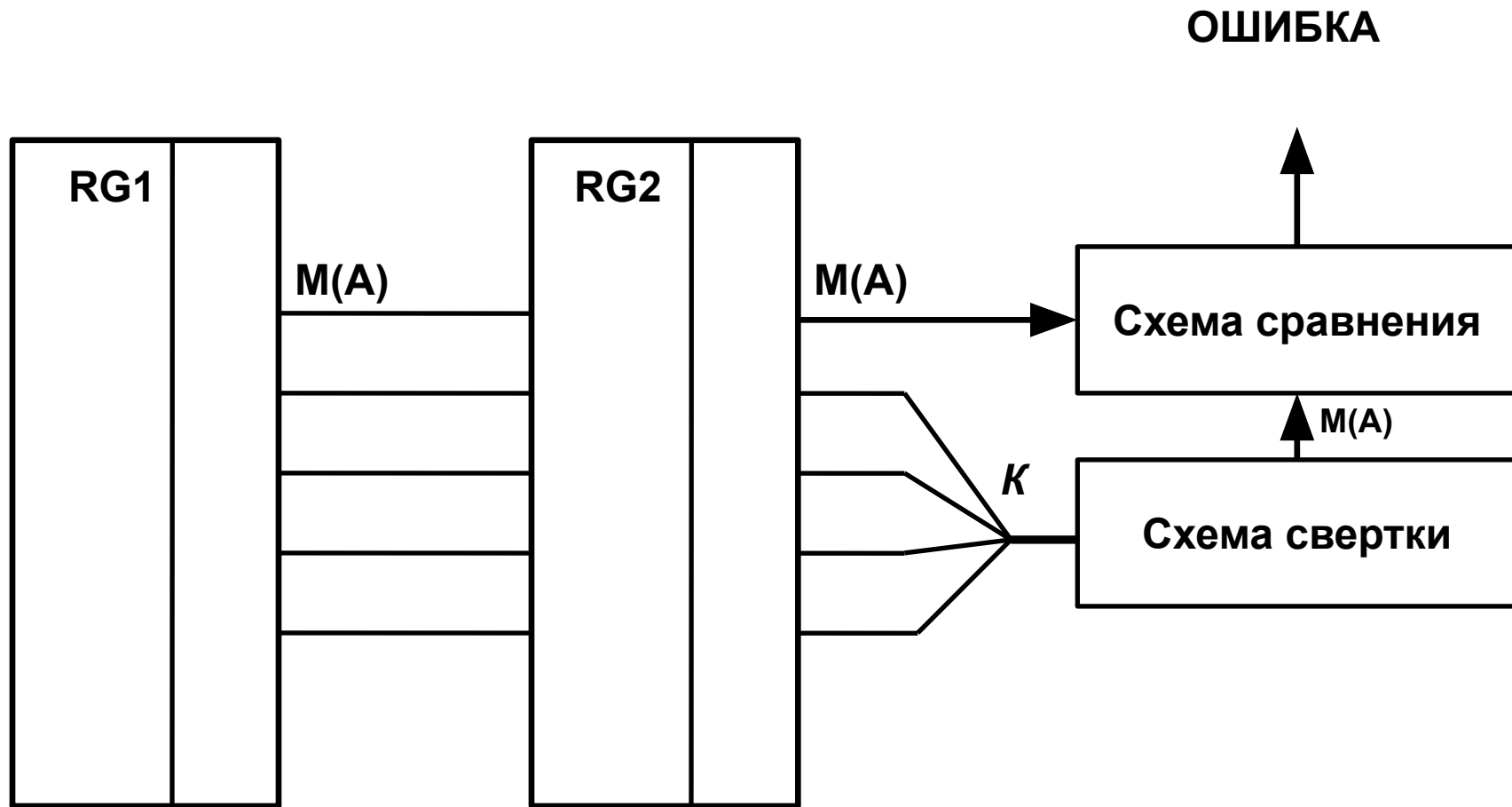
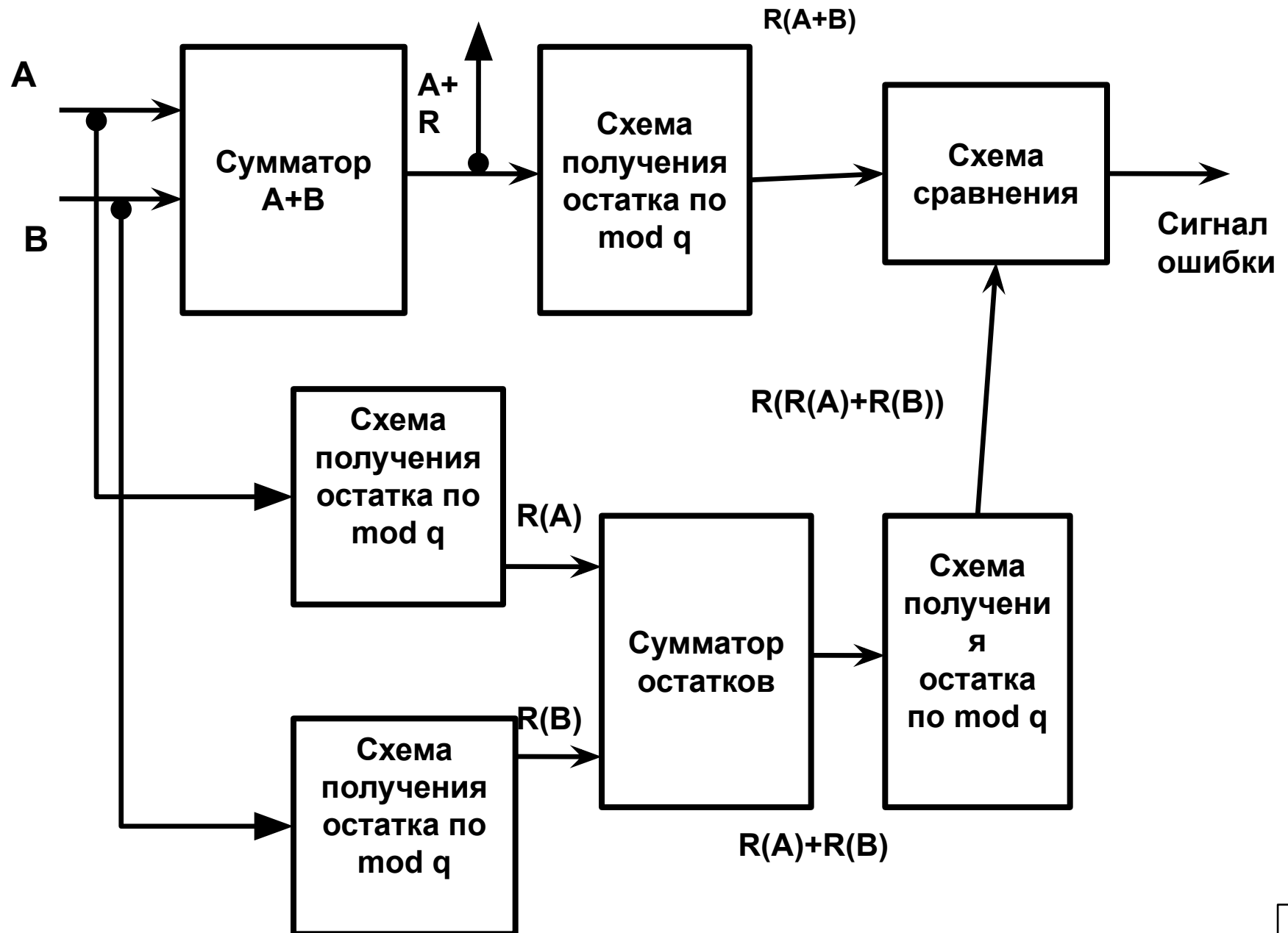
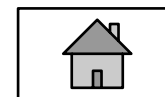
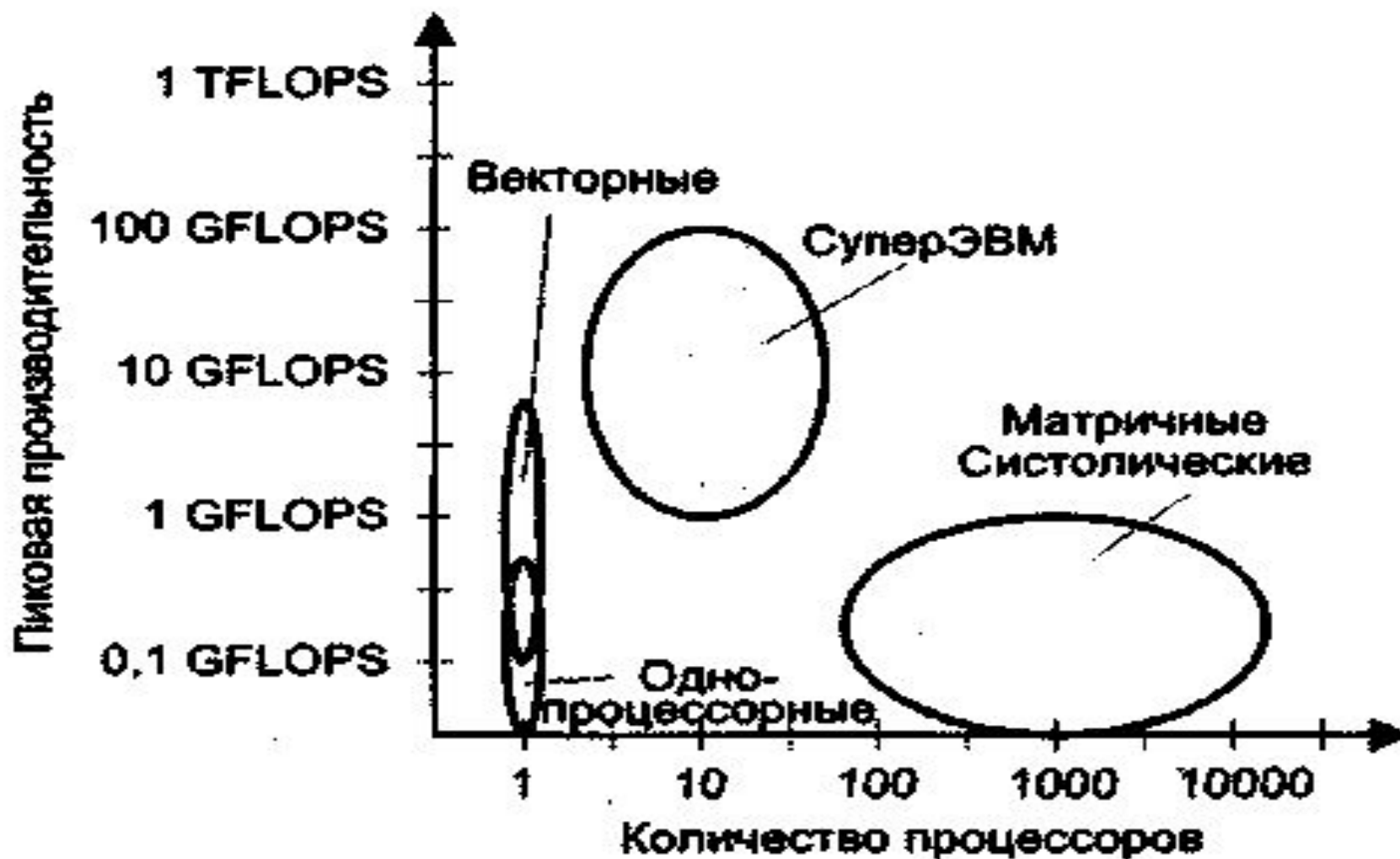


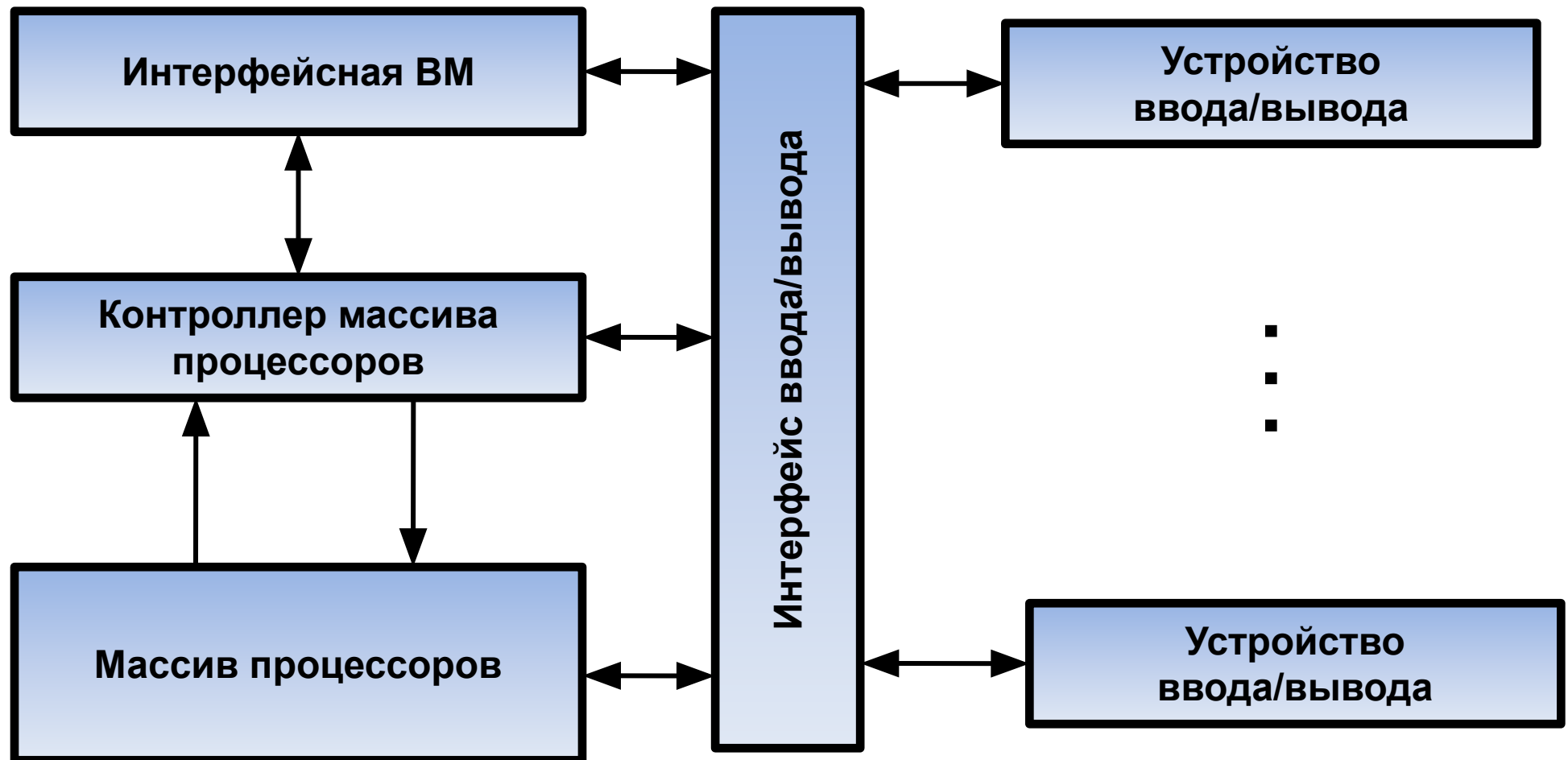
Схема числового контроля операции сложение



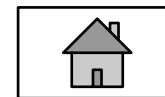
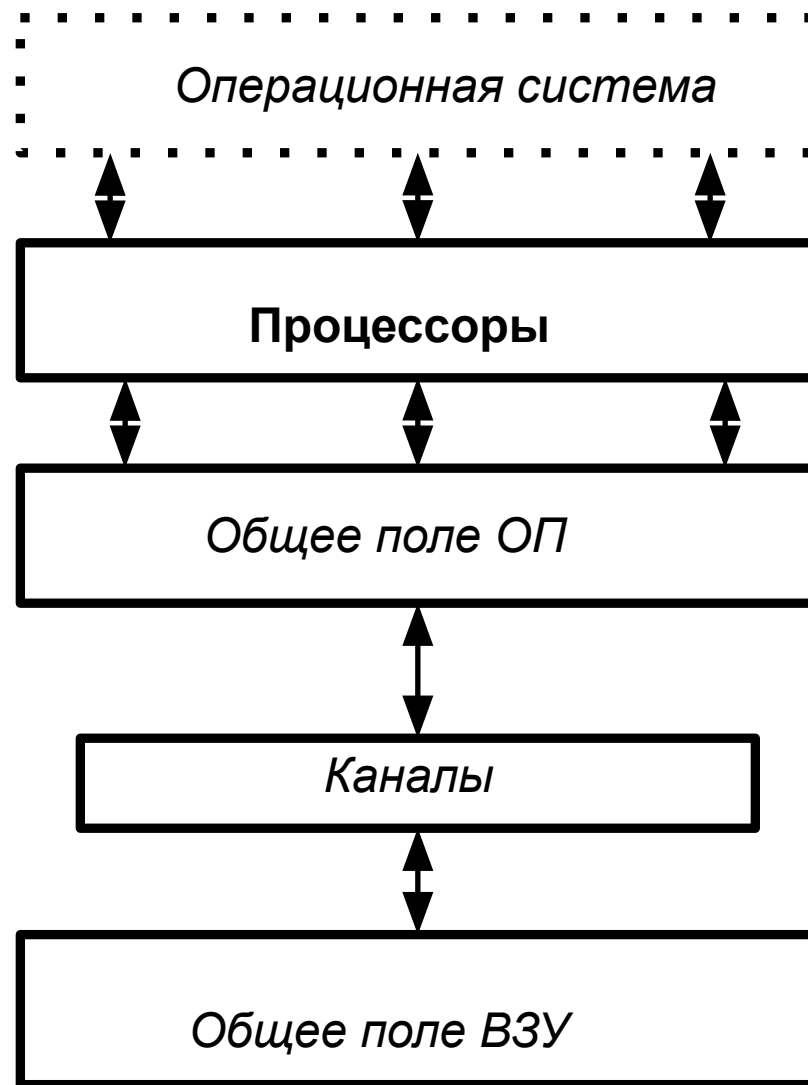
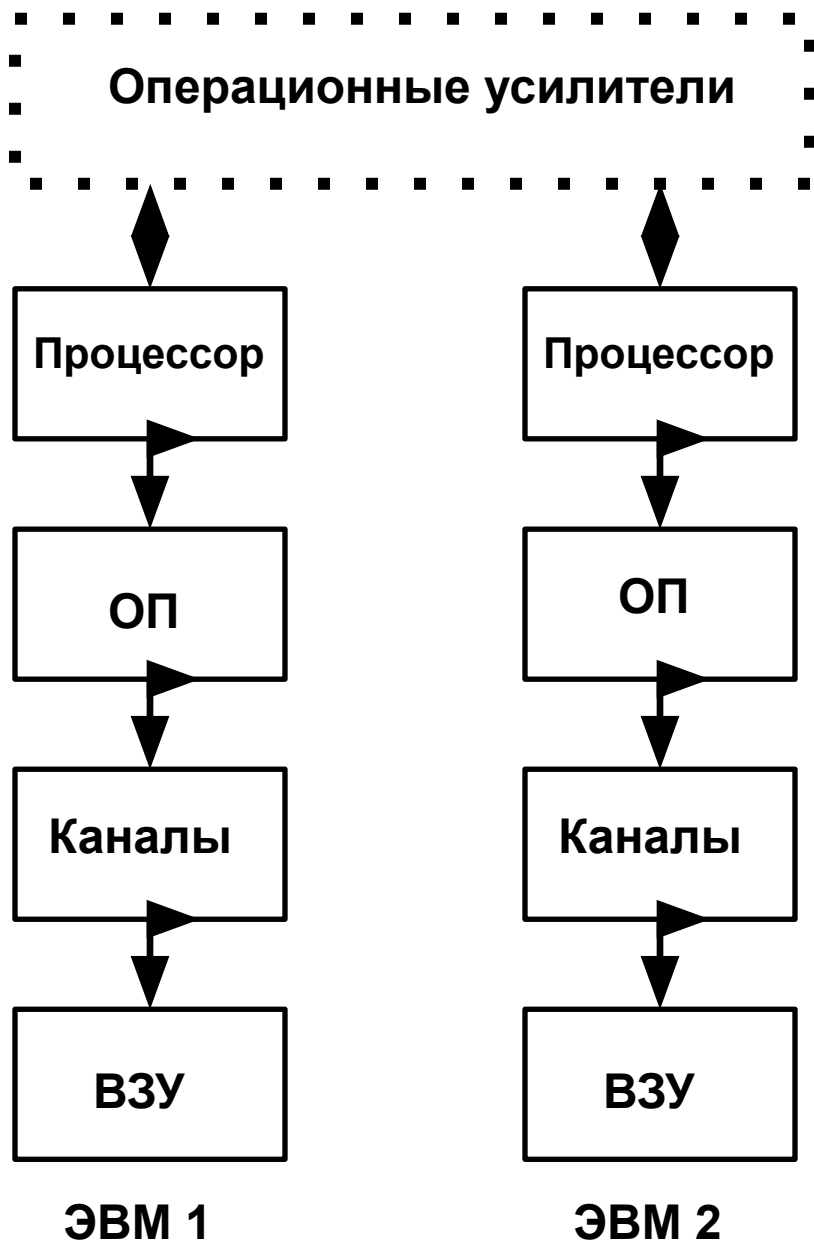
Производительность SIMD-систем как функция их типа и количества процессоров



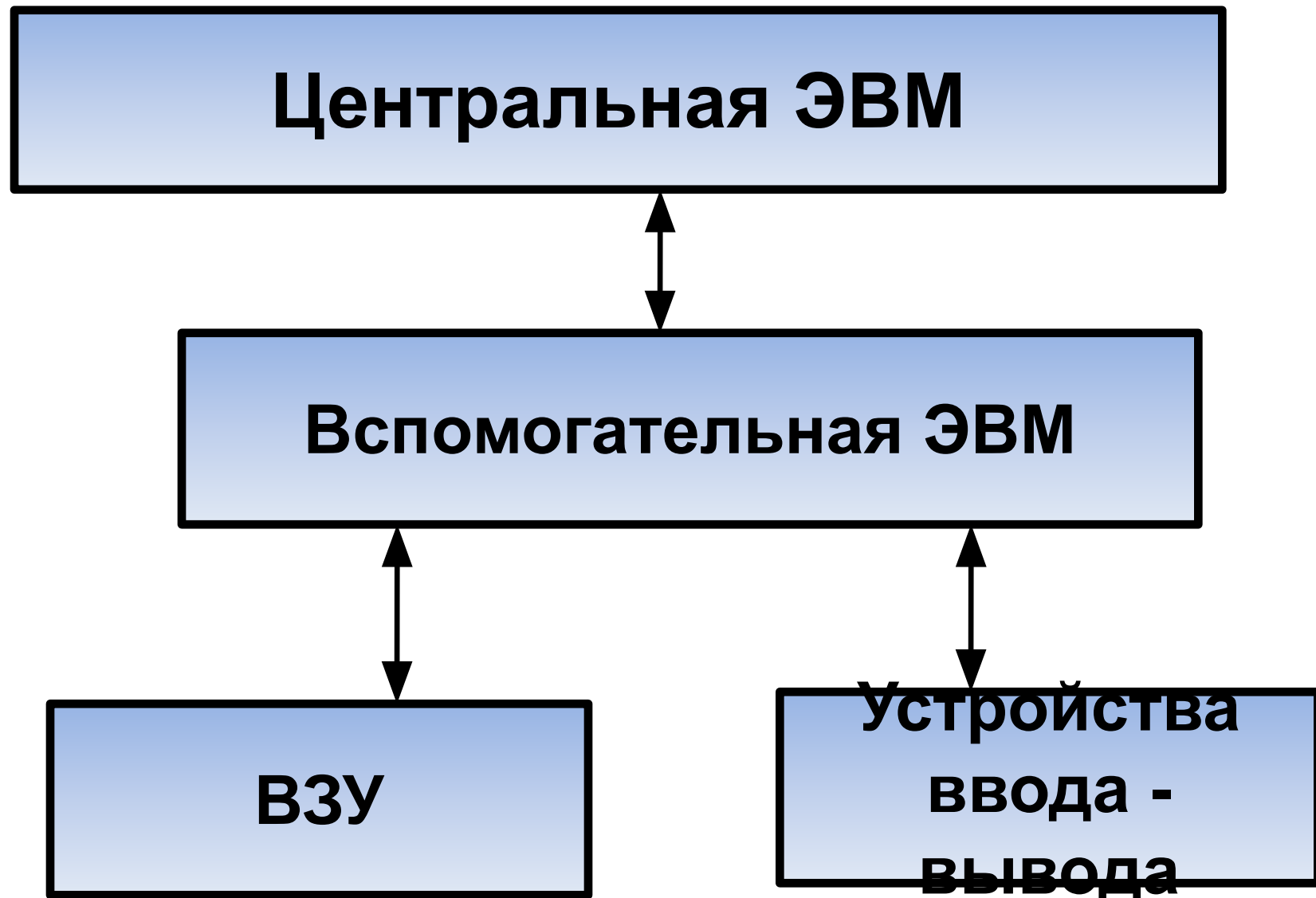
Обобщенная модель матричной SIMD-системы



Архитектура многомашиной вычислительной системы.



Многомашинный вычислительный комплекс иерархической структуры



Тема: №5 «Микропроцессорные системы»

1. [Набор регистров микропроцессора ВМ80](#)
2. [Характеристики микропроцессоров фирмы Intel](#)
3. [Структура микропроцессорной системы](#)
4. [Микро-ЭВМ с трех шинной магистралью](#)
5. [Микро-ЭВМ с двух шинной магистралью](#)
6. [Структурная схема БИС КР580ВМ80](#)
7. [Основные команды микропроцессора К580ВМ80](#)
8. [Коды команд микропроцессора К580ВМ80А](#)
9. [Структура одноплатного микроконтроллера](#)
10. [Характеристики отечественных микроконтроллеров](#)
11. [Структура микроконтроллера КР1816ВЕ48](#)
12. [Форматы команд микроконтроллера МК48](#)
13. [Группа команд пересылки данных](#)
14. [Группа команд арифметических операций](#)
15. [Группа команд логических операций](#)
16. [Группа команд передачи управления](#)
17. [Группа команд управления режимами работы МК48](#)

Набор регистров микропроцессора ВМ80

15	8	7	0						
A	M	Z	0	AC	0	P	1	CY	PSW
B	C								B
D	E								D
H	L								H
									SP
									PC

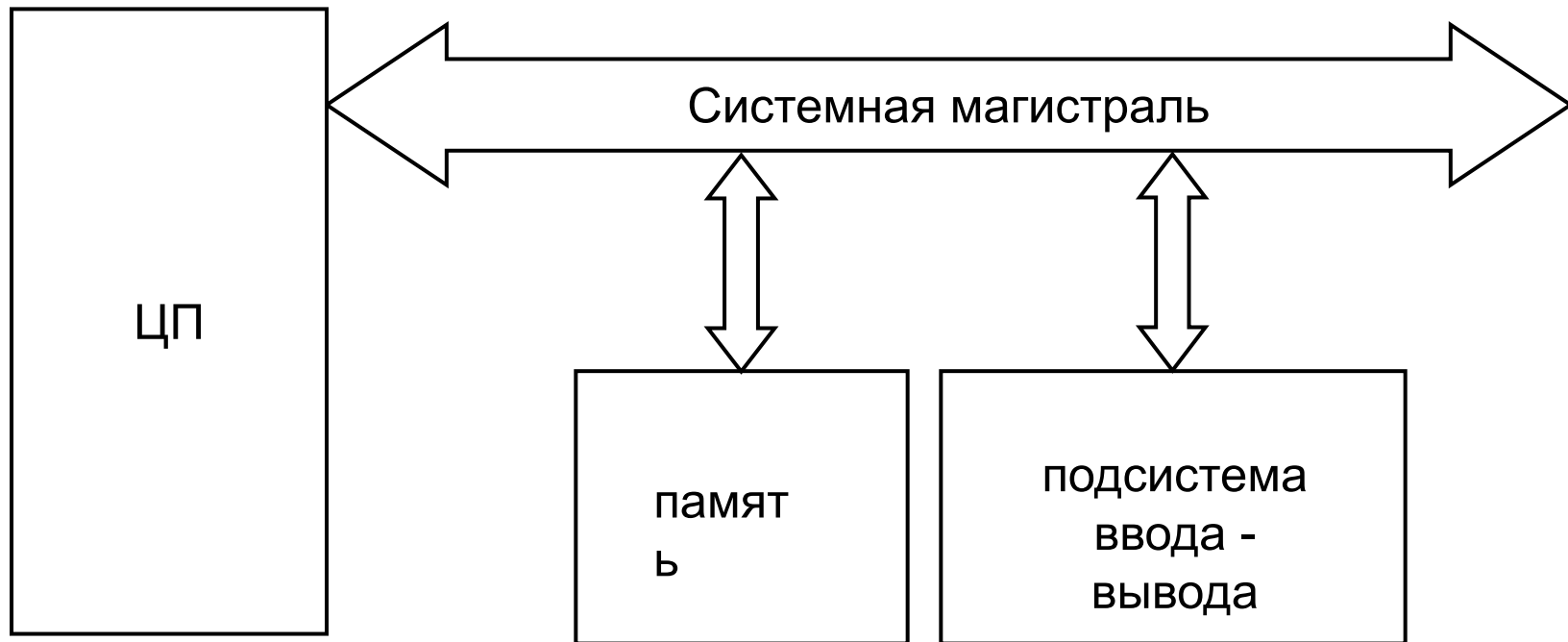


Характеристики микропроцессоров фирмы Intel

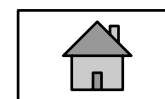
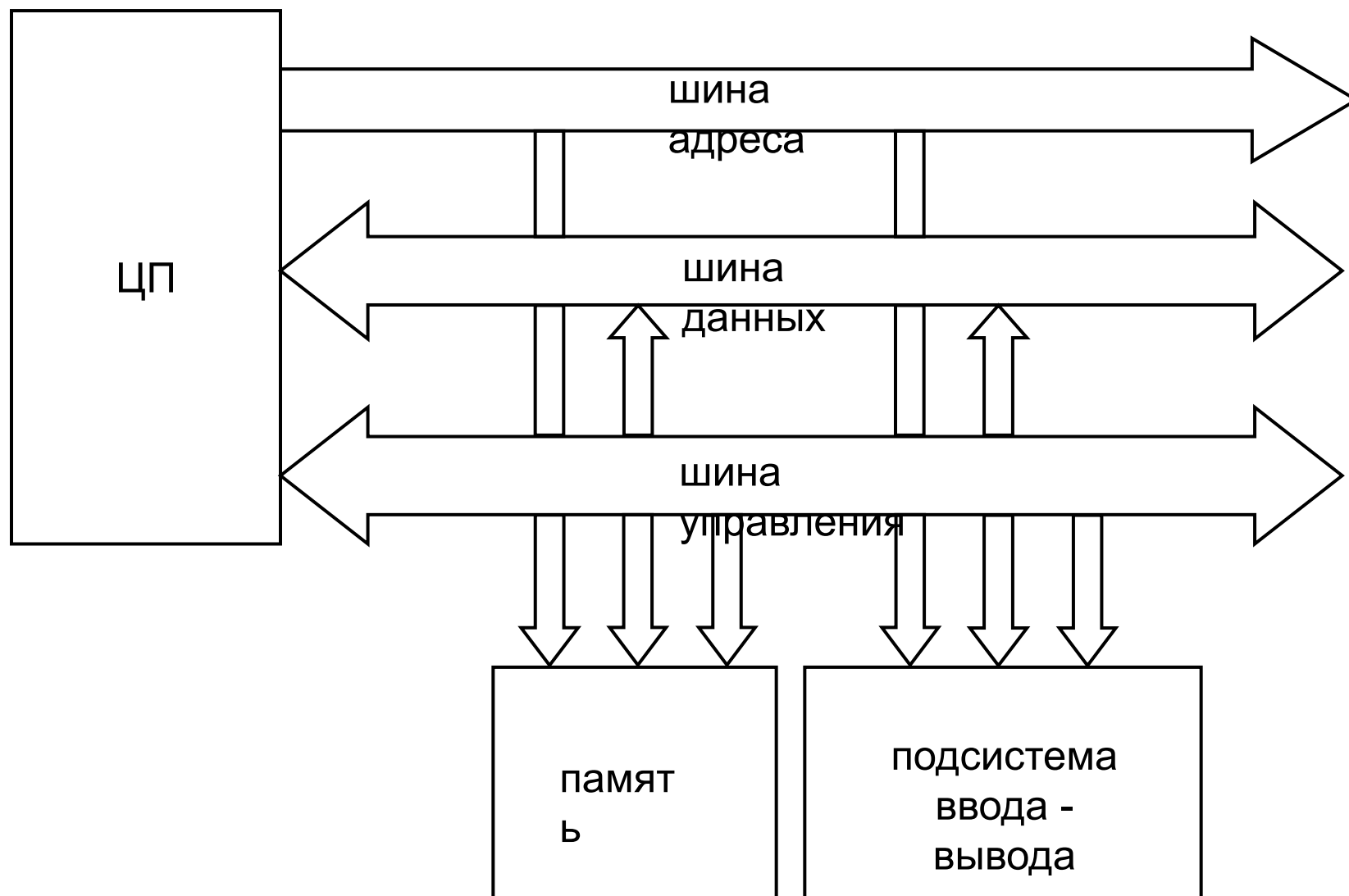
Модель МП (российский аналог)	Разрядность, бит		Тактовая частота, МГц	Адресное пространство, байт	Число команд	Число элементов	Год выпуска
	данных	адреса					
I-4004	4	4	0,1	4 К	45	2 300	1971
I-8008	8	4	0,75	16 К		2 900	1972
I-8080 (KP580BM80A)	8	16	2 (5)	64 К	78	4 900	1974
I-8085 (K1821BM85A)	8	16	3	64 К	78	6 200	1976
I-8086 (K1810BM86)	16	20	5 (10)	1 М	135	29 000	1978
I-8088 (K1810BM88)	8 (16)	20	5 (10)	1 М	135	29 000	1979
I-80186	16	20	8 (10)	1 М	145	$1,2 \cdot 10^5$	1982
I-80286	16	24	10...33	16 М	156	$1,34 \cdot 10^5$	1982
I-80386	32	32	25...50	4 Г	240	$2,75 \cdot 10^5$	1985
I-80486	32	32	33...100	4 Г	240	$1,2 \cdot 10^6$	1989
Pentium	64	32	50...200	4 Г	240	$3,1 \cdot 10^6$	1993
Pentium Pro	64	32	66...200	4 Г	240	$5,5 \cdot 10^6$	1995
Pentium MMX	64	32	233	4 Г	297	$4,5 \cdot 10^6$	1997
Pentium II	64	32	233...400	4 Г		$7,5 \cdot 10^6$	1997
Celeron	64	32	266...600	4 Г			1998
Pentium III	64	32	До 800	4 Г		$28 \cdot 10^6$	1999
Pentium IV	64	32	1,8...4,2 ГГц				2000



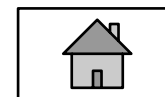
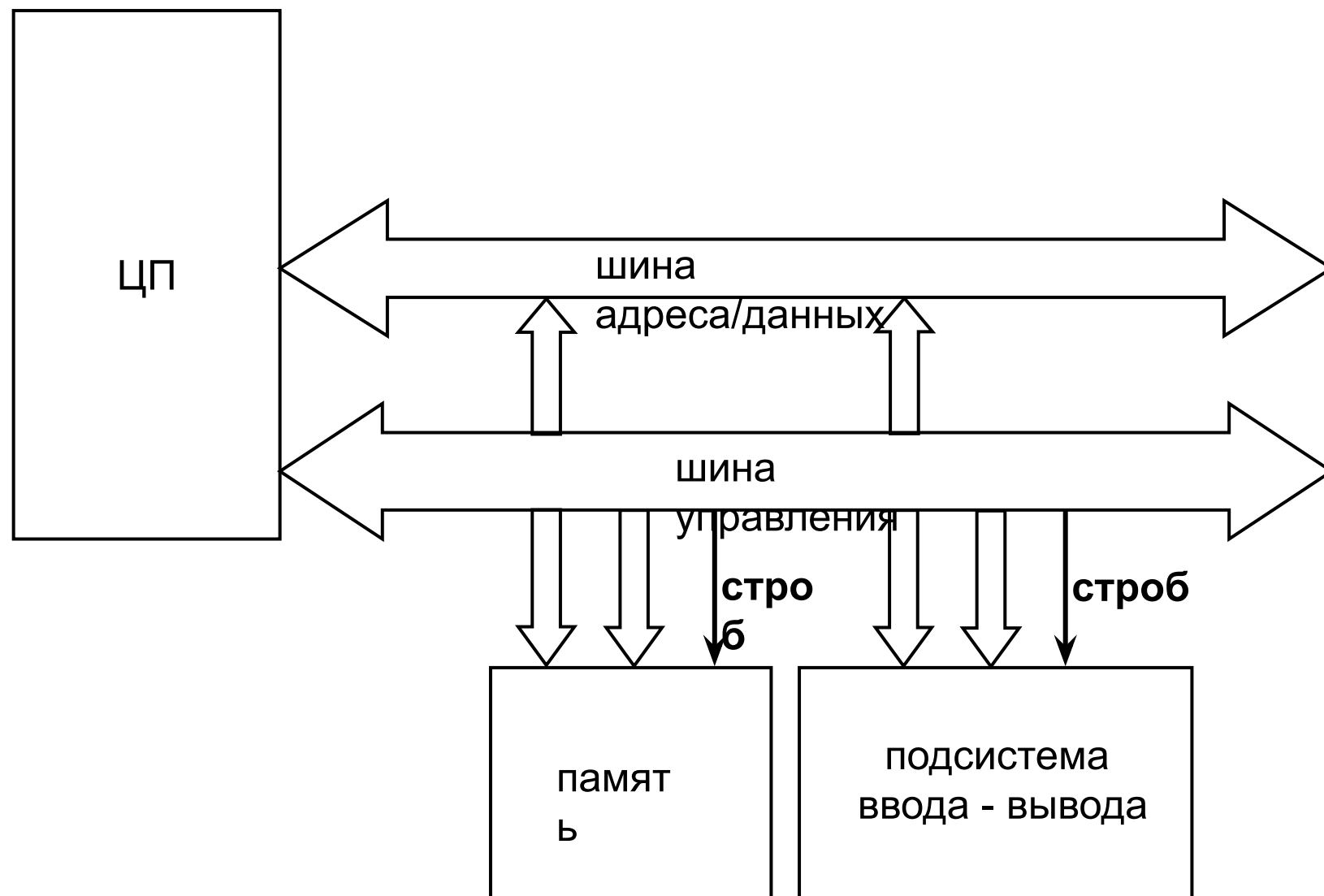
Структура микропроцессорной системы



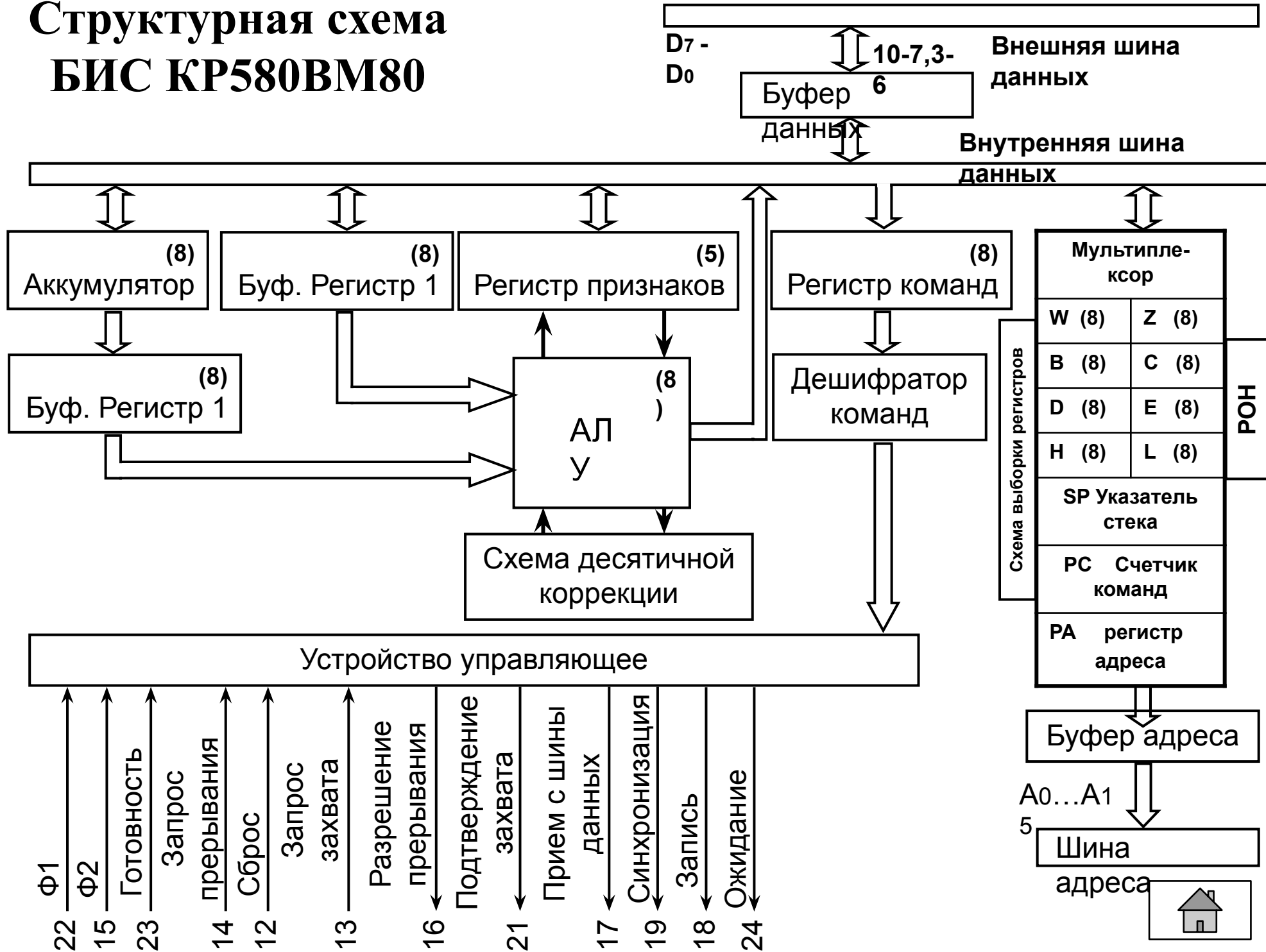
Микро-ЭВМ с трех шинной магистралью



Микро-ЭВМ с двух шинной магистралью



Структурная схема БИС КР580ВМ80



Основные команды микропроцессора К580ВМ80

Группа команд	Формат команды	Реализуемая операция
Загрузки	MVIR байт 2 LXIH байт 2, байт 3	Непосредственная загрузка указанного регистра Непосредственная загрузка пары регистров HL
Пересылки	LDA байт 2, байт 3 STA байт 2, байт 3 MOV R1, R2 MOV M, R	Пересылка в аккумулятор из памяти по указанному адресу Пересылка в память по указанному адресу содержимое аккумулятора Пересылка из регистра R2 в регистр R1 Пересылка из регистра R в память
Сложения и вычитания	ADD R SUB M	Сложить с содержимым регистра R Вычесть содержимое памяти
Сравнения	CMP R CPI байт 2	Сравнить с содержимым регистра R Сравнить непосредственно с аккумулятором
Сдвига	RLC RRC	Сдвиг содержимого аккумулятора влево Сдвиг содержимого аккумулятора вправо
Перехода	JMP байт 2, байт 3 JM байт 2, байт 3 JZ байт 2, байт 3 JNZ байт 2, байт 3 JNC байт 2, байт 3	Безусловный переход по указанному адресу Условный переход по указанному адресу при S=1 Условный переход по указанному адресу при Z=1 Условный переход по указанному адресу при Z=0 Условный переход по указанному адресу при C=0
Ввода – вывода	IN байт 2 OUT байт 2	Ввод из порта с указанным адресом Вывод из порта с указанным адресом
Увеличение и уменьшение на 1	INR R DCR R INX M DCX M	К содержимому указанного регистра прибавить 1 От содержимого указанного регистра вычесть 1 Содержимое пары регистров HL увеличить на 1 Содержимое пары регистров HL уменьшить на 1
Прочие	CMA HLT	Инвертировать число Остановить

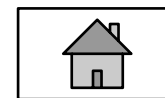
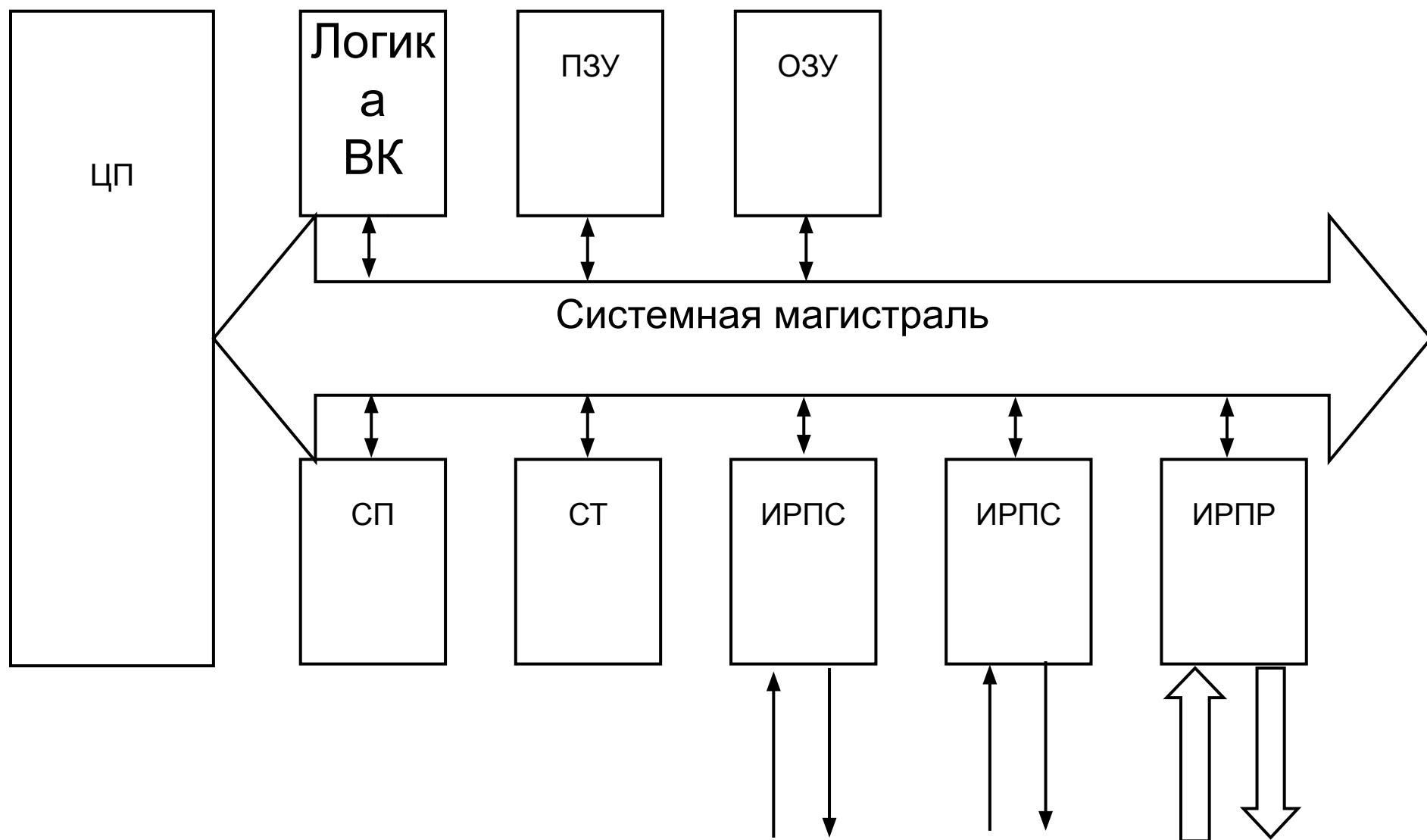


Коды команд микропроцессора К580ВМ80А

	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
0		LXI B,&			INR B	DCR B	MVI B #	RLC					INR C	DCR C	MVI C #	RRC	0
1																	1
2		LXI H,&		INX H	INR H	DCR H	MVI H #					DCX #	INR L	DCR L	MVI L, #	CMA	2
3			STA #								LDA #		INR A	DCR A	MVI A, #		3
4	MOV B,B	MOV B,C			MOV B,H	MOV B,L	MOV B,M	MOV B,A	MOV C,B	MOV C,C			MOV C,H	MOV C,L	MOV C,M	MOV C,A	4
5																	5
6	MOV H,B	MOV H,C			MOV H,H	MOV H,L	MOV H,M	MOV H,A	MOV L,B	MOV L,C			MOV L,H	MOV L,L	MOV L,M	MOV L,A	6
7	MOV M,B	MOV M,C			MOV M,H	MOV M,L	HLT	MOV M,A	MOV A,B	MOV A,C			MOV A,H	MOV A,L	MOV A,M	MOV A,A	7
8	ADD B	ADD C			ADD H	ADD L	ADD M	ADD A									8
9	SUB B	SUB C			SUB H	SUB L	SUB M	SUB A									9
A																	A
B									CMP B	CMP C			CMP H	CMP L	CMP M	CMP A	B
C			JNZ метк а	JMP *							JZ *						C
D			JNC метк а	OUT N								IN N					D
E																	E
F			JP *							JM *					CPI #		F
	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	

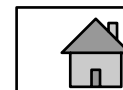


Структура одноплатного микроконтроллера

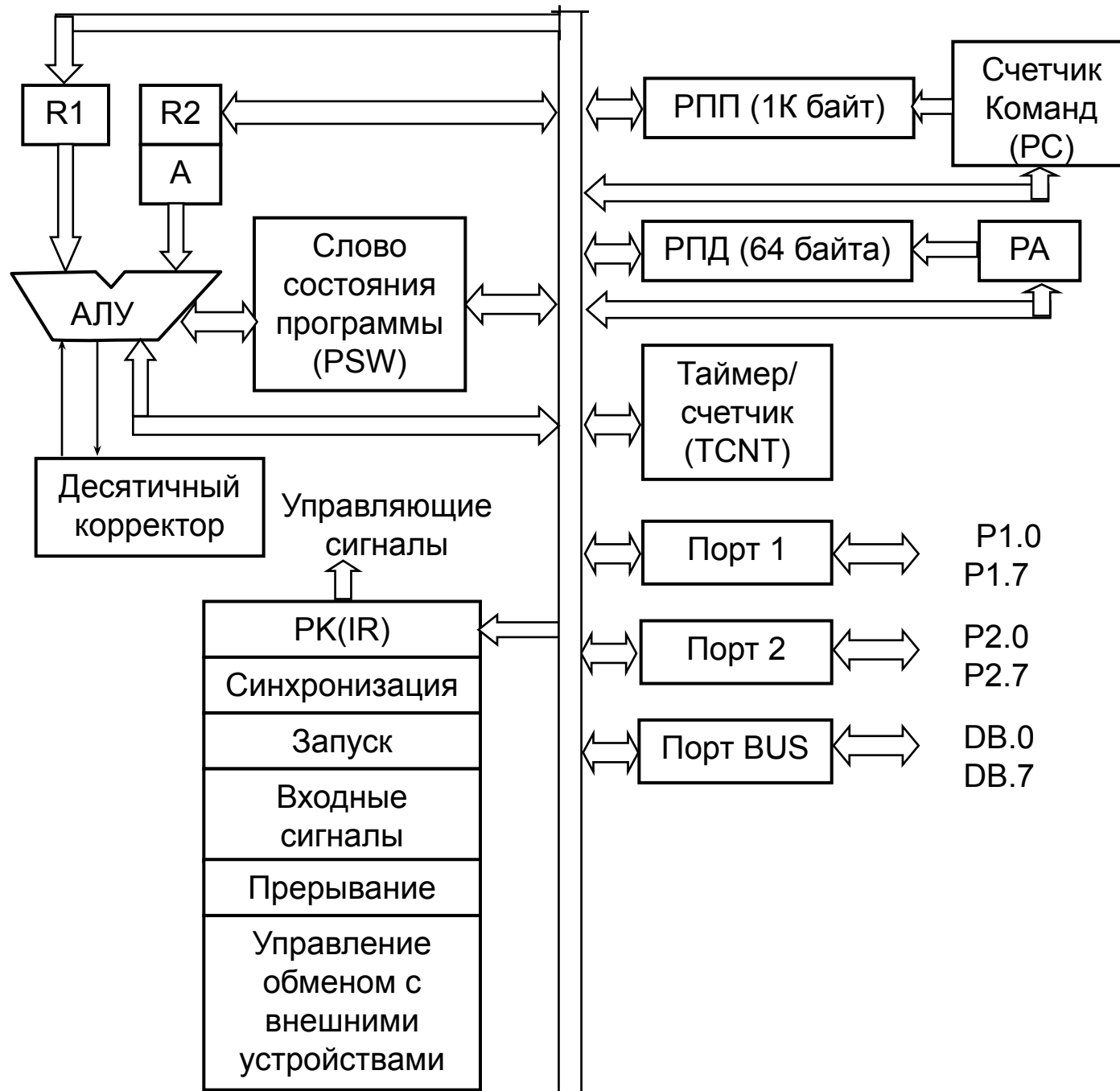


Характеристики отечественных микроконтроллеров

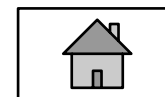
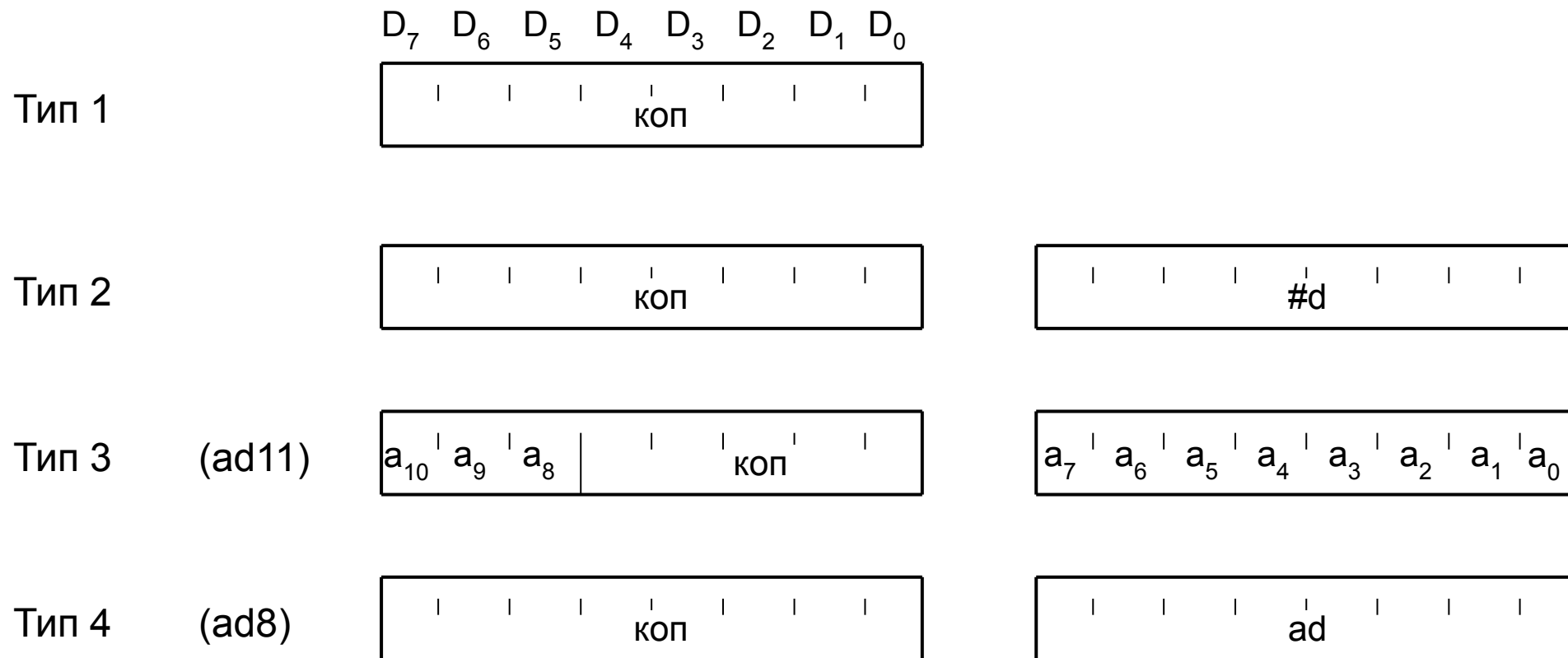
Тип микросхемы	Аналог Микросхем ы фирмы Intel, США	Тип и емкость РПП, байт	Емкость РПД, байт	Тактовая частота, МГц	Ток потреблени я, мА
КР18I6BE35	8035	—	64	6	135
КРI816BE48	8748	ППЗУ, 1К	64	6	135
КР1816BE39	8039	—	128	11	110
КР1816BE49	8049	ПЗУ, 2К	128	11	110
КР1830BE35	80C35	—	64	6	8
КР1830BE48	80C48	ПЗУ, 1К	64	6	8
КР1816BE31	8031 АН	—	128	12	150
КР1816BE51	8051 АН	ПЗУ, 4К	128	12	150
КР18I6BE751	8751Н	ППЗУ, 4К	128	12	220
КР1830BE31	80C31ВН	—	128	12	18
КР1830BE51	80C51ВН	ПЗУ, 4К	128	12	18



Структура микроконтроллера КР1816ВЕ48



Форматы команд микроконтроллера МК48



Группа команд пересылки данных

Название команды	Мнемокод	КОП	Операция
Пересылка регистра в аккумулятор	MOV A, Rn	1111rrr	(A) ← (Rn)
Пересылка байта из РПД в аккумулятор	MOV A, @Ri	1111000i	(A) ← ((Ri))
Пересылка непосредственного операнда в аккумулятор	MOV A, # d	00100011	(A) ← # d
Пересылка аккумулятора в регистр	MOV Rn, A	10101rrr	(Rn) ← (A)
Пересылка непосредственного операнда в регистр	MOV Rn, # d	10111rrr	(Rn) ← # d
Пересылка аккумулятора в РПД	MOV @Ri, A	1010000i	((Ri)) ← (A)
Пересылка непосредственного операнда в РПД	MOV @Ri, # d	1011000i	((Ri)) ← # d
Пересылка ССП в аккумулятор	MOV A, PSW	11000111	(A) ← (PSW)
Пересылка аккумулятора в ССП	MOV PSW, A	11010111	(PSW) ← (A)
Пересылка содержимого таймера/счетчика в аккумулятор	MOV A, T	01000010	(A) ← (T)
Пересылка аккумулятора в таймер/счетчик	MOV T, A	01100010	(T) ← (A)
Пересылка байта из ВПД в аккумулятор	MOV A, @Ri	1000000i	(A) ← ((Ri))
Пересылка аккумулятора в ВПД	MOV @Ri, A	1001000i	((Ri)) ← (A)
Пересылка байта из текущей страницы программной памяти в аккумулятор	MOV A, @A	10100011	(PS ₀₋₇) ← (A) (A) ← ((PC))
Пересылка байта из третьей страницы программной памяти в аккумулятор	MOV A, @A	11100011	(PC ₀₋₇) ← (A) (PC ₈₋₁₁) ← 0011 (A) ← ((PC))
Обмен регистра с аккумулятором	XCH A, Rn	00101rrr	(A) ↔ (Rn)
Обмен аккумулятора с РПД	XCH A, @Ri	0010000i	(A) ↔ ((Ri))
Обмен младших тетрад аккумулятора и байта РПД	XCHD A, @Ri	0011000i	(A ₀₋₃) ↔ ((Ri) ₀₋₃)
Пересылка данных из порта Pp (p = 1,2) в аккумулятор	IN A, Pp	000010pp	(A) ← (Pp)
Стробируемый ввод данных из порта BUS	INS A, BUS	00001000	(A) ← (BUS)
Пересылка аккумулятора в порт Pp (p = 1,2)	OUTL Pp, A	001110pp	(Pp) ← (A)
Стробируемый вывод данных из аккумулятора в порт BUS	OUTL BUS, A	00000010	(BUS) ← (A)
Ввод тетрады из порта Pp (p = 4÷7) схемы расширителя	MOVD A, Pp	000011pp	(A ₀₋₃) ← (Pp) (A ₄₋₇) ← 0000
Вывод тетрады в порт Pp (p = 4 ÷ 7) схемы расширителя	MOVD Pp, A	001111pp	(Pp) ← (A ₀₋₃)



Группа команд арифметических операций

Название команды	Мнемод	КОП	Операция
Сложение регистра с аккумулятором	ADD A, Rn	01101rrr	$(A) \leftarrow (A) + (Rn)$
Сложение байта из РПД с аккумулятором	ADD A, @Rn	0110000i	$(A) \leftarrow (A) + ((Ri))$
Сложение константы с аккумулятором	ADD A, # d	00000011	$(A) \leftarrow (A) + \# d$
Сложение регистра с аккумулятором и переносом	ADD A, Rn	01111rrr	$(A) \leftarrow (A) + (Rn) + (C)$
Сложение байта из РПД с аккумулятором и переносом	ADD A, @Ri	0111000i	$(A) \leftarrow (A) + ((Ri)) + (C)$
Сложение константы с аккумулятором и переносом	ADD A, @d	00010011	$(A) \leftarrow (A) + \# d + (C)$
Десятичная коррекция аккумулятора	DAA	01010111	Если $((A_{0-3}) > 9) \vee ((AC) = 1)$, То $(A_{0-3}) \leftarrow (A_{0-3}) + 6$, затем, Если $((A_{4-7}) > 9) \vee ((C) = 1)$, То $(A_{4-7}) \leftarrow (A_{4-7}) + 6$
Обмен тетрад в аккумуляторе	SWAP A	01000111	$(A_{0-3}) \leftrightarrow (A_{4-7})$
Циклический сдвиг влево аккумулятора	RL A	11100111	$(A_{n+1}) \leftarrow (A_n), n = 0 \div 6$ $(A_0) \leftarrow (A_7)$
Сдвиг влево аккумулятора через перенос	RLC A	11110111	$(A_{n+1}) \leftarrow (A_n), n = 0 \div 6$ $(A_0) \leftarrow (C); (C) \leftarrow (A_7)$
Циклический сдвиг вправо аккумулятора	RR A	01110111	$(A_n) \leftarrow (A_{n+1}), n = 0 \div 6$ $(A_7) \leftarrow (A_0)$
Сдвиг вправо аккумулятора через перенос	RRC A	01100111	$(A_n) \leftarrow (A_{n+1}), n = 0 \div 6$ $(A_7) \leftarrow (C); (C) \leftarrow (A_0)$
Инкремент аккумулятора	INC A	00010111	$(A) \leftarrow (A) + 1$
Инкремент регистра	INC Rn	00011rrr	$(Rn) \leftarrow (Rn) + 1$
Инкремент байта в РПД	INC @Ri	0001000i	$((Ri)) \leftarrow ((Ri)) + 1$
Декремент аккумулятора	DEC A	00000111	$(A) \leftarrow (A) - 1$
Декремент регистра	DEC Rn	11001rrr	$(Rn) \leftarrow (Rn) - 1$



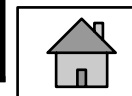
Группа команд логических операций

Название команды	Мнемокод	КОП	Операция
Логическое И регистра и аккумулятора	ANL A, Rn	01011rrr	$(A) \leftarrow (A) (Rn)$
Логическое И байта из РПД и аккумулятора	ANL A, @Ri	0101000i	$(A) \leftarrow (A) ((Ri))$
Логическое И константы и аккумулятора	ANL A, # d	01010011	$(A) \leftarrow (A) = d$
Логическое ИЛИ регистра и аккумулятора	ORL A, Rn	01001rrr	$(A) \leftarrow (A) (Rn)$
Логическое ИЛИ байта из РПД и аккумулятора	ORL A, @Ri	0100000i	$(A) \leftarrow (A) ((Ri))$
Логическое ИЛИ константы и аккумулятора	ORL A, # d	01000011	$(A) \leftarrow (A) \# d$
Исключающее ИЛИ регистра и аккумулятора	XRL A, Rn	11011rrr	$(A) \leftarrow (A) (Rn)$
Исключающее ИЛИ байта из РПД и аккумулятора	XRL A, @Ri	1101100i	$(A) \leftarrow (A) ((Ri))$
Исключающее ИЛИ константы и аккумулятора	XRL A, # d	11010011	$(A) \leftarrow (A) \# d$
Инверсия аккумулятора	CPL A	00110111	$(A) \leftarrow (A)$
Логическое И константы и порта Pp (p = 1,2)	ANL Pp, # d	100110pp	
Логическое И константы и порта BUS	ANL BUS, # d	10011000	
Логическое И аккумулятора и порта Pp (p = 4 ÷ 7)	ANLD Pp, A	100111pp	
Логическое ИЛИ константы и порта Pp (p = 1,2)	ORL Pp, # d	100010pp	
Логическое ИЛИ константы и порта BUS	ORL BUS, # d	10001000	
Логическое ИЛИ аккумулятора и порта Pp (p = 4 ÷ 7)	ORLD Pp, A	100011pp	
Инверсия переноса	CPL C	10100111	
Инверсия флага F0	CPL F0	10010101	
Инверсия флага F1	CPL F1	10110101	



Группа команд передачи управления

Наименование команды	Мнемокод	КОП	Операция
Безусловный переход	JMP ad11	a10a9a800100	$(PC_{0-10}) \leftarrow ad11,$ $(PC_{01}) \leftarrow DBF$
Косвенный переход в текущей странице ПП	JMPP @A	10110011	$(PC_{0-7}) \leftarrow ((A))$
Декремент регистра и переход, если не нуль	DJNZ Rn, sd	11101rrr	$(R_n) \leftarrow (R_n) - 1;$ если $(R_n) \neq 0,$ то $(PC_{0-7}) \leftarrow ad,$ иначе $(PC) \leftarrow (PC) + 2$
Переход, если перенос	JC ad	11110110	Если $(C) = 1,$ то $(PC_{0-7}) \leftarrow ad,$ иначе $(PC) \leftarrow (PC) + 2$
Переход, если нет переноса	JNC ad	11100110	Если $(C) = 0,$ то $(PC_{0-7}) \leftarrow ad,$ иначе $(PC) \leftarrow (PC) + 2$
Переход, если аккумулятор содержит нуль	JZ ad	11000110	Если $(A) = 0,$ то $(PC_{0-7}) \leftarrow ad,$ иначе $(PC) \leftarrow (PC) + 2$
Переход, если аккумулятор содержит не нуль	JNZ ad	10010110	Если $(A) \neq 0,$ то $(PC_{0-7}) \leftarrow ad,$ иначе $(PC) \leftarrow (PC) + 2$
Переход, если на входе T0 высокий уровень	JT0 ad	00110110	Если $T0 = 1,$ то $(PC_{0-7}) \leftarrow ad,$ иначе $(PC) \leftarrow (PC) + 2$
Переход, если на входе T0 низкий уровень	JNT0 sd	00100110	Если $T0 = 0,$ то $(PC_{0-7}) \leftarrow ad,$ иначе $(PC) \leftarrow (PC) + 2$



Наименование команды	Мнемокод	КОП	Операция
Переход, если на входе T1 высокий уровень	JT1 ad	01010110	Если T1=1, то $(PC_{0-7}) \leftarrow ad$, иначе $(PC) \leftarrow (PC)+2$
Переход, если на входе T1 низкий уровень	JNT1 ad	01000110	Если T1=0, то $(PC_{0-7}) \leftarrow ad$, иначе $(PC) \leftarrow (PC)+2$
Переход, если флаг F0 установлен	JF0 ad	10110110	Если (F0)=1, то $(PC_{0-7}) \leftarrow ad$, иначе $(PC) \leftarrow (PC)+2$
Переход, если флаг F1 установлен	JF1 ad	01110110	Если (F1)=1, то $(PC_{0-7}) \leftarrow ad$, иначе $(PC) \leftarrow (PC)+2$
Переход, если флаг переполнения таймера установлен	JTF ad	00010110	Если TF=1, то $TF \leftarrow 0, (PC_{0-7}) \leftarrow ad$, иначе $(PC) \leftarrow (PC)+2$
Переход, если на входе ЗПР низкий уровень	JNI ad	10000110	Если ЗПР=0, то $(PC_{0-7}) \leftarrow ad$, иначе $(PC) \leftarrow (PC)+2$
Переход, если бит аккумулятора равен единице (b = 0 до 7)	JBb ad	bbb10010	Если (Bb)=1, то $(PC_{0-7}) \leftarrow ad$, иначе $(PC) \leftarrow (PC)+2$
Вызов подпрограммы	CALL ad11	a10a9a810100	$((SP)) \leftarrow (PC), (PSW_{4-7}),$ $(SP) \leftarrow (SP)+1, (PC_{11}) \leftarrow DBF,$ $(PC_{0-10}) \leftarrow ad$
Возврат из подпрограммы	RET	10000011	$(SP) \leftarrow (SP)-1, (PC) \leftarrow ((SP)) -1$
Возврат из подпрограммы и восстановление ССП	RETR	10010011	$(SP) \leftarrow (SP)-1, (PC) \leftarrow ((SP)),$ $(PSW_{4-7}) \leftarrow ((SP))$



Группа команд управления режимами работы МК48

Наименование команды	Мнемокоды	КОП	Операция
Сброс переноса	CLR C	10010111	(C)←0
Сброс флага F0	CLR F0	10000101	(F0)←0
Сброс флага F1	CLR F1	10100101	(F1)←0
Запуск таймера	STRT T	01010101	
Запуск счетчика	STRT CNT	01000101	
Остановка таймера/счетчика	STOP TCNT	01100101	
Разрешение прерывания от таймера/счетчика	EN TCNTI	00100101	
Запрещения прерывания от таймера/счетчика	DIS TCNTI	00110101	
Разрешение внешнего прерывания	EN I	00000101	
Запрещение внешнего прерывания	DIS I	00010101	
Выбор нулевого банка регистров	SEL RB0	11000101	
Выбор первого банка регистров	SEL RB1	11010101	(BS)←1
Выбор нулевого банка ПП	SEL MB0	11100101	(DBF)←0
Выбор первого банка ПП	SEL MB1	11110101	(DBF)←1
Разрешение выдачи синхросигнала на выход T0	ENT0 CLC	01110101	T0 – синхросигнал (2 МГц)
Холостая команда	NOP	00000000	(PC)←(PC)+1

