#### Ярославское Высшее Военное Училище ПВО

Кафедра автоматики

### ЦИФРОВЫЕ УСТРОЙСТВА И МИКРОПРОЦЕСОРЫ

Слайды рисунков и таблиц

**Ярославль** 2021 г.

**Тема: №1 «Арифметические и логические основы цифровых устройств»** 

Тема: №2 «Основы теории цифровых автоматов»

Тема: №3 «Типовые цифровые узлы»

<u>Тема: №4 «ЭВМ и вычислительные системы»</u>

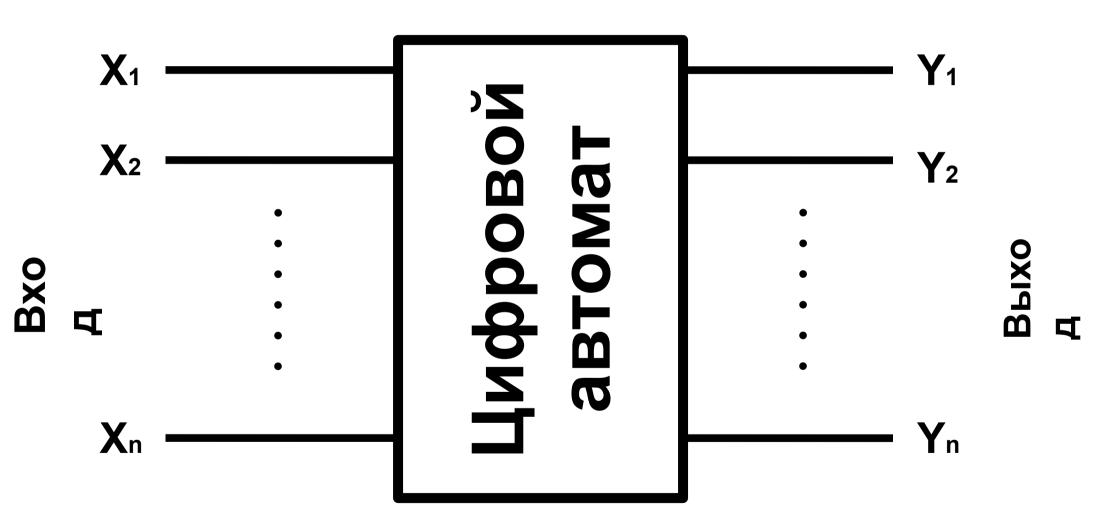
Тема: №5 «Микропроцессорные системы»

Выход

# Тема: №1 «Арифметические и логические основы цифровых устройств»

- 1. Частный случай цифрового автомата
- 2. Основные законы алгебры логики
- 3. Равносильности алгебры логики (слайд 1):
  - правила выполнения операций с константами;
  - правило ассоциативности;
- 4. Равносильности алгебры логики (слайд 2):
  - законы тавтологии;
  - закон двойного отрицания;
  - правило дистрибутивности;
- 5. Равносильности алгебры логики (слайд 3):
  - правила поглощения:
  - правила склеивания;
- 6. Процесс аналого-цифрового преобразования информации
- 7. Формы представления чисел

#### Частный случай цифрового автомата





#### Основные законы алгебры логики

Переместительный закон:

$$x \cdot y = y \cdot x$$
;  
 $x \cdot y = y \cdot x$ .

Сочетательный закон:

$$x \cdot (y \cdot z) = (x \cdot y) \cdot z;$$
  
$$x \cdot (y \cdot z) = (x \cdot y) \cdot z.$$

Распределительный закон:

$$x \cdot (y v z) = x \cdot y v x \cdot z;$$
  
$$x v y \cdot z = (x v y) \cdot (x v z).$$

Инверсный закон (правила де Моргана)

$$\frac{\overline{xy} = \overline{x} \vee \overline{y};}{\overline{x} \vee y} = \overline{x}\overline{y}.$$



#### Равносильности алгебры логики

-правила выполнения операций с константами:

$$x \cdot 0 = 0;$$
  $x \cdot 1 = x;$   
 $x \vee 1 = 1;$   $x \vee 0 = x;$   
 $x \vee \overline{x} = 1;$   $x \cdot \overline{x} = 0;$   
 $\overline{0} = 1;$   $\overline{1} = 0$ 

-правило ассоциативности:

$$x \cdot (y \cdot z) = (x \cdot y) \cdot z = x \cdot y \cdot z$$



#### Равносильности алгебры логики

-законы тавтологии:

$$x \cdot x = x$$

$$x \lor x = x$$

-закон двойного отрицания:

$$\overline{x} = x$$

-правило дистрибутивности:

$$x \cdot (y \lor z) = x \cdot y \lor x \cdot z$$

#### Равносильности алгебры логики

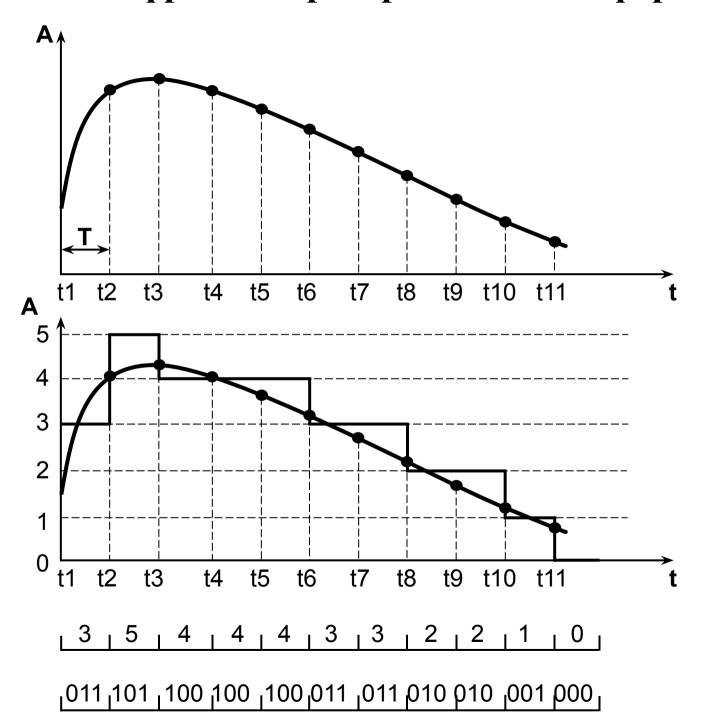
-правила поглощения:

$$x \lor x \cdot y = x; \quad x \cdot (x \lor y) = x;$$
  
 $x \cdot (\overline{x} \lor y) = x \cdot y; \quad x \lor \overline{x} \cdot y = x \lor y;$ 

-правила склеивания:

$$x \cdot y \lor x \cdot \overline{y} = x;$$
  
$$(x \lor y) \cdot (x \lor \overline{y}) = x.$$

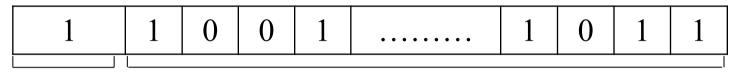
#### Процесс аналого-цифрового преобразования информации





#### Формы представления чисел

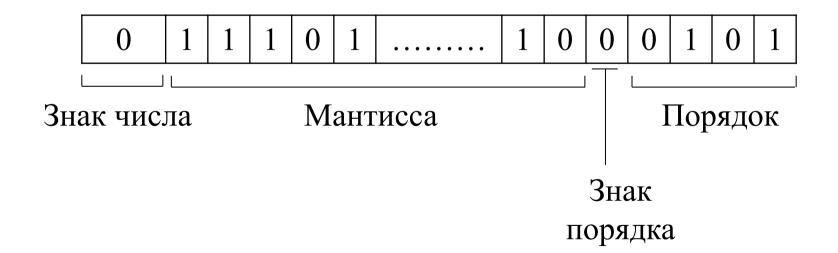
Представление чисел в естественной форме



Знак числа

Мантисса

Представление чисел в нормальной форме

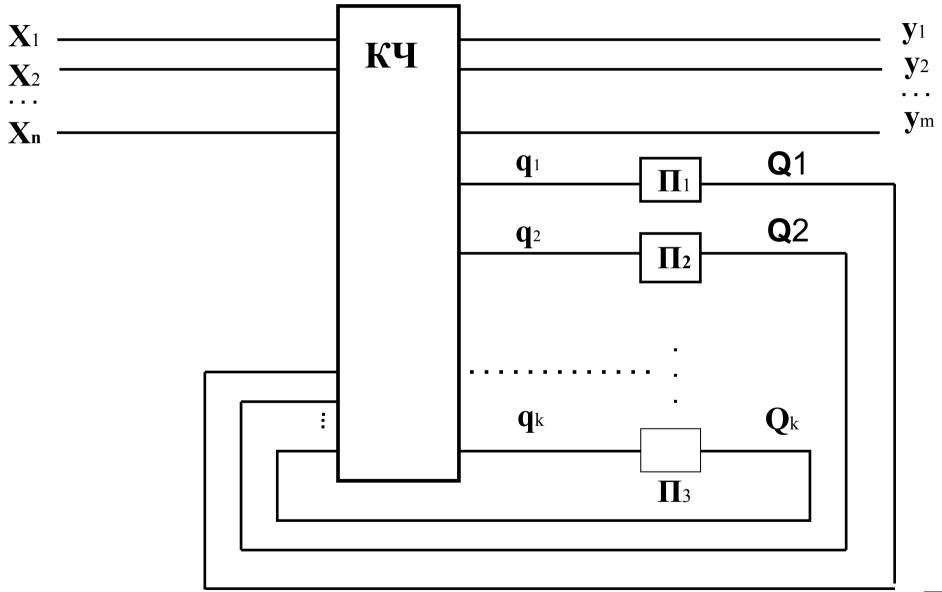




# Тема: №2 «Основы теории цифровых автоматов»

- 1. Структура конечного автомата
- 2. Логическое сложение (дизьюнкция, ИЛИ)
- 3. Логическое умножение (конъюнкция, И)
- 4. Логическое отрицание (инверсия, НЕ)
- 5. Табличный способ задания автомата
- 6. Графический способ задания конечных автоматов
- 7. Матричный способ задания конечных автоматов
- 8. Некоторые типы триггеров в интегральном исполнении

## Структура конечного автомата





#### Логическое сложение (дизъюнкция, ИЛИ)

$$P = X_1 \cdot X_2 = X_1 & X_2 = X_1 \wedge X_2 = X_1 X_2$$

X <sub>1</sub>	<b>X</b> <sub>2</sub>	P=X <sub>1</sub> V X <sub>2</sub>
0	0	0
0	1	1
1	0	1
1	1	1

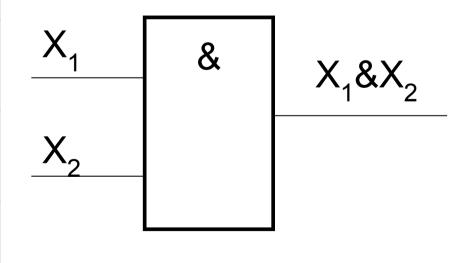
<b>X</b> <sub>1</sub>	1	$X_1VX_2$
X <sub>2</sub>		



#### Логическое умножение (конъюнкция, И)

$$P = X_1 \cdot X_2 = X_1 & X_2 = X_1 \wedge X_2 = X_1 X_2$$

$\mathbf{X}_{1}$	$\mathbf{X}_{2}$	P=X <sub>1</sub> & X <sub>2</sub>
0	0	0
0	1	0
1	0	0
1	1	1

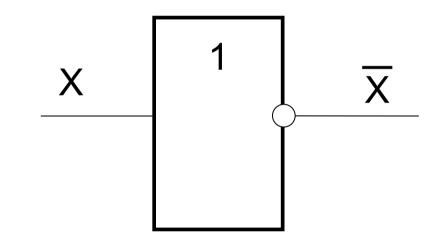




### Логическое отрицание (инверсия, НЕ)

$$P = \overline{X}$$

X	$P = \overline{X}$
0	1
1	0





#### Табличный способ задания автомата

#### Таблица переходов

S <sub>i</sub>	S <sub>0</sub>	S <sub>1</sub>	S <sub>2</sub>	S <sub>3</sub>	
$V_1$	S <sub>1</sub>	S <sub>2</sub>	S <sub>3</sub>	S <sub>0</sub>	
$V_2$	S <sub>0</sub>	S <sub>1</sub>	S <sub>2</sub>	S <sub>3</sub>	

## Совмещенная таблица переходов и выходов

S <sub>i</sub>	S <sub>0</sub>	S <sub>1</sub>	S <sub>2</sub>	S <sub>3</sub>	
$V_1$	S <sub>1</sub> /W <sub>1</sub>	S <sub>2</sub> /W <sub>2</sub>	S <sub>3</sub> /W <sub>3</sub>	S <sub>0</sub> /W <sub>3</sub>	
V <sub>2</sub>	S <sub>0</sub> /W <sub>2</sub>	S <sub>1</sub> /W <sub>3</sub>	S <sub>2</sub> /W <sub>1</sub>	S <sub>3</sub> /W <sub>3</sub>	

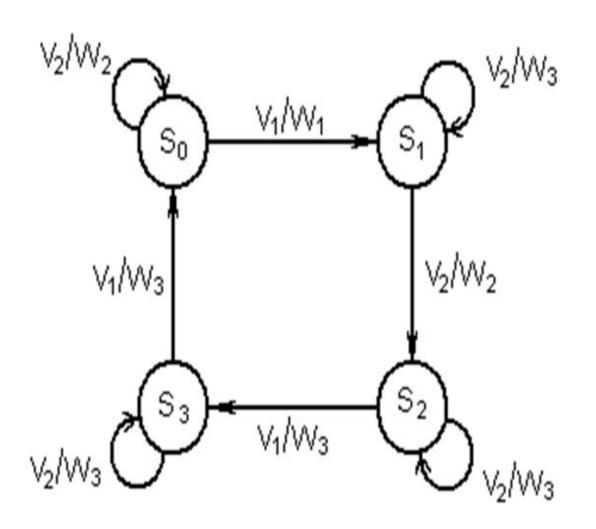
#### Таблица выходов

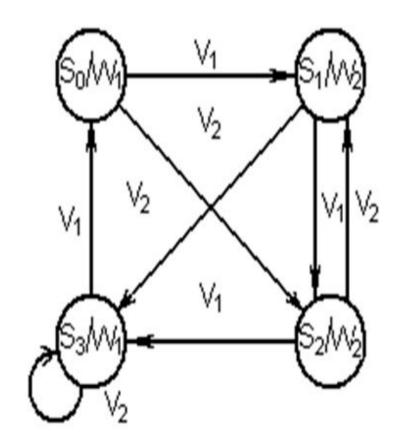
S <sub>i</sub>	S <sub>0</sub>	S <sub>1</sub>	S <sub>2</sub>	S <sub>3</sub>
$V_1$	$W_1$	$W_2$	$W_3$	$M_3$
V <sub>2</sub>	$W_1$	$W_3$	$W_1$	$W_3$

#### Пример табличного задания автомата Мура

	Состояния и выходные сигналы						
Входные	S <sub>0</sub>	$S_{1}$	S <sub>2</sub>	$S_3$			
сигналы	$W_1$	$W_2$	$W_2$	W <sub>3</sub>			
$V_1$	S <sub>1</sub>	S <sub>2</sub>	S <sub>3</sub>	S <sub>0</sub>			
V <sub>2</sub>	S <sub>2</sub>	S <sub>3</sub>	S <sub>1</sub>	S <sub>3</sub>			

#### Графический способ задания конечных автоматов





Автомат Мили

Автомат Мура



#### Матричный способ задания конечных автоматов.

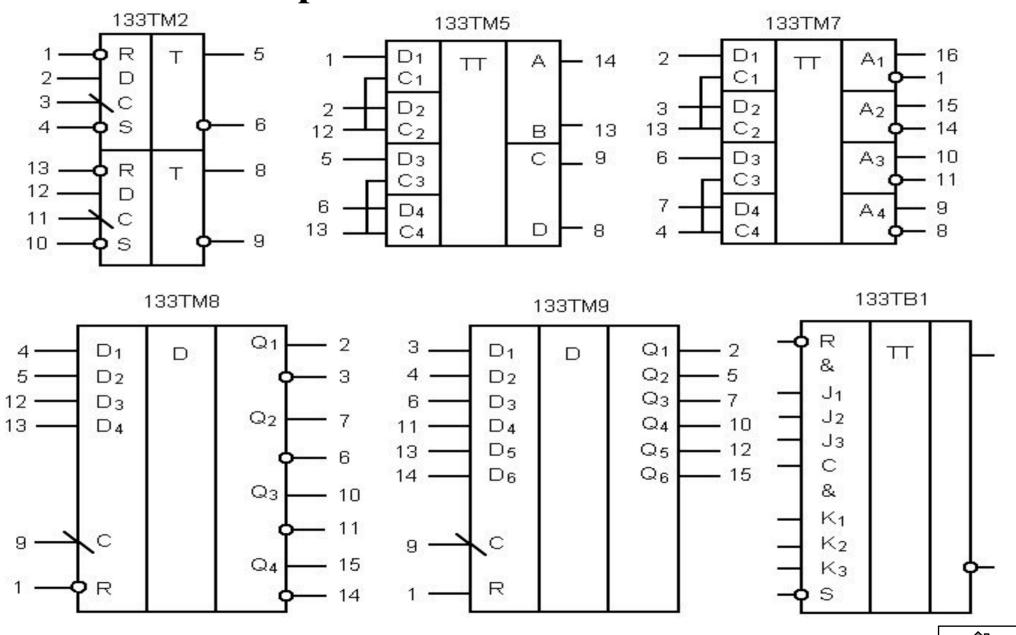
$$|M| = \begin{vmatrix} s_0 & s_1 & s_2 & s_3 \\ v_2/w_2 & v_2/w_1 & - & - \\ s_1 & - & v_2/w_3 & v_2/w_2 & - \\ s_2 & - & - & v_2/w_1 & v_2/w_3 \\ s_3 & v_2/w_2 & - & - & v_2/w_3 \end{vmatrix} = \begin{vmatrix} s_0 & s_1 & s_2 & s_3 \\ - & v_1 & v_2 & - \\ - & v_1 & v_2 & - \\ - & v_2 & - & v_1 \\ - & v_2 & - & v_1 \end{vmatrix} - \begin{vmatrix} \lambda (s_0) \\ \lambda (s_1) \\ - & v_2 & - \\ - & v_2 & - & v_1 \\ - & v_2 & - & v_1 \\ - & v_2 & - & v_2 \\ - & v_2 & - & v_2 \end{vmatrix}$$

Автомат Мили

Автомат Мура



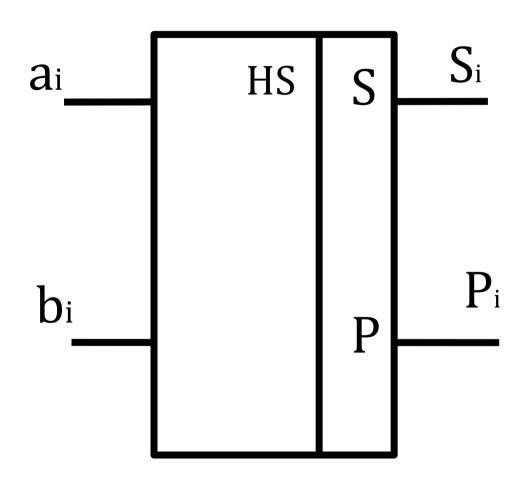
# **Некоторые типы триггеров в интегральном исполнении**



### Тема: №3 «Типовые цифровые узлы»

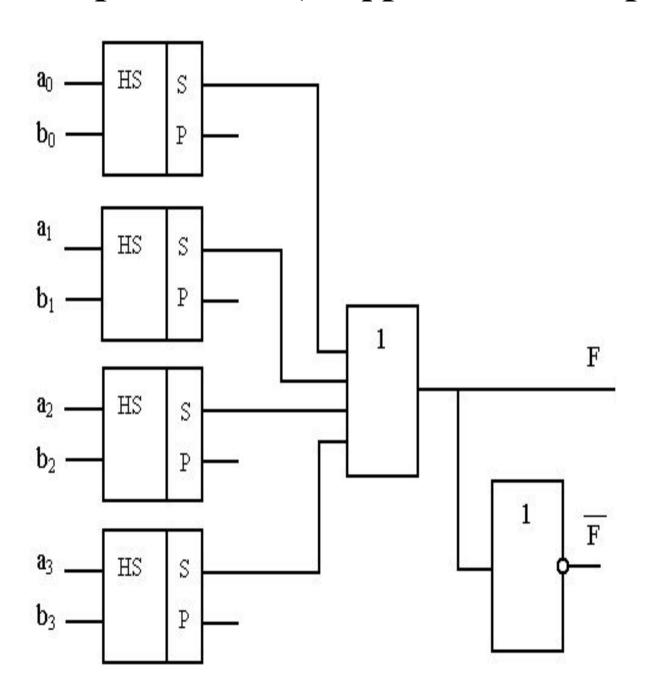
- 1. Условно-графическое изображение полусумматора
- 2. <u>Схема сравнения (цифровой компаратор)</u>
- 3. <u>Условное обозначение и схема мультиплексора «4 -> 1»</u>
- 4. Условное обозначение и схема демультиплексора «1 -> 4»
- 5. <u>Обозначение цепей шин</u>
- 6. Обозначение управляемой шины на структурных и функциональных схемах
- 7. Двоично распределительный код
- 8. Условное обозначение дешифратора
- 9. Схема линейного дешифратора на два входа
- 0. Условное обозначение шифратора
- 11. Шифратор К155ИВ1
- 2. Преобразователь двоично-десятичного кода в код семисегментного индикатора
- 3. <u>Схема регистра параллельного действия</u>
- 4. Схема парафазной передачи информации
- 5. <u>Схема делителя частоты с дешифрированием состояния и принудительным обнулением счетчика</u>
- 6. Схема делителя частоты с переменным модулем счета

#### Условно-графическое изображение полусумматора



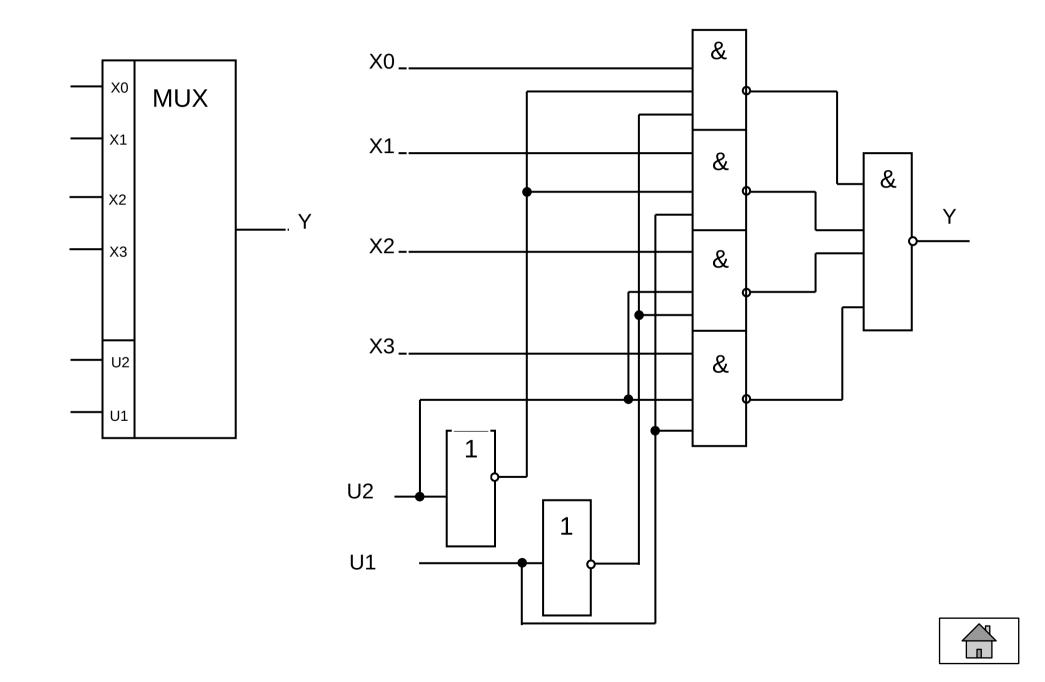


#### Схема сравнения (цифровой компаратор)

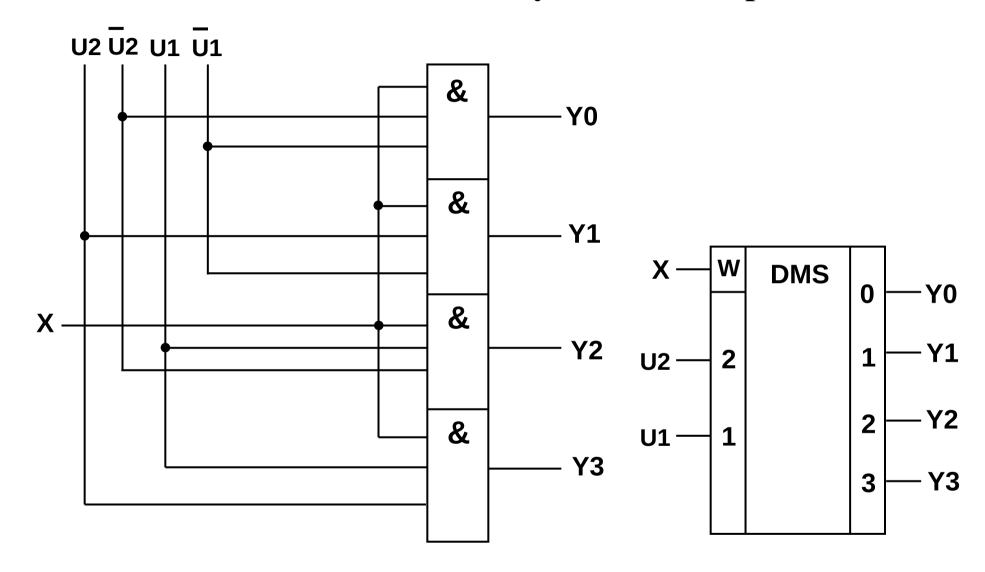




#### Условное обозначение и схема мультиплексора «4 -> 1»

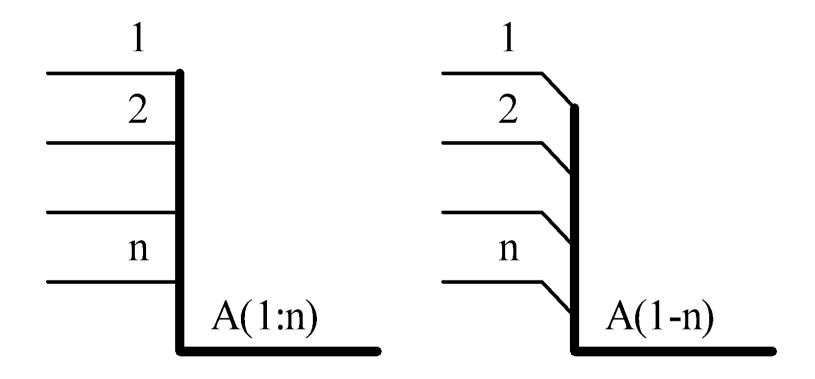


#### Условное обозначение и схема демультиплексора «1 -> 4»



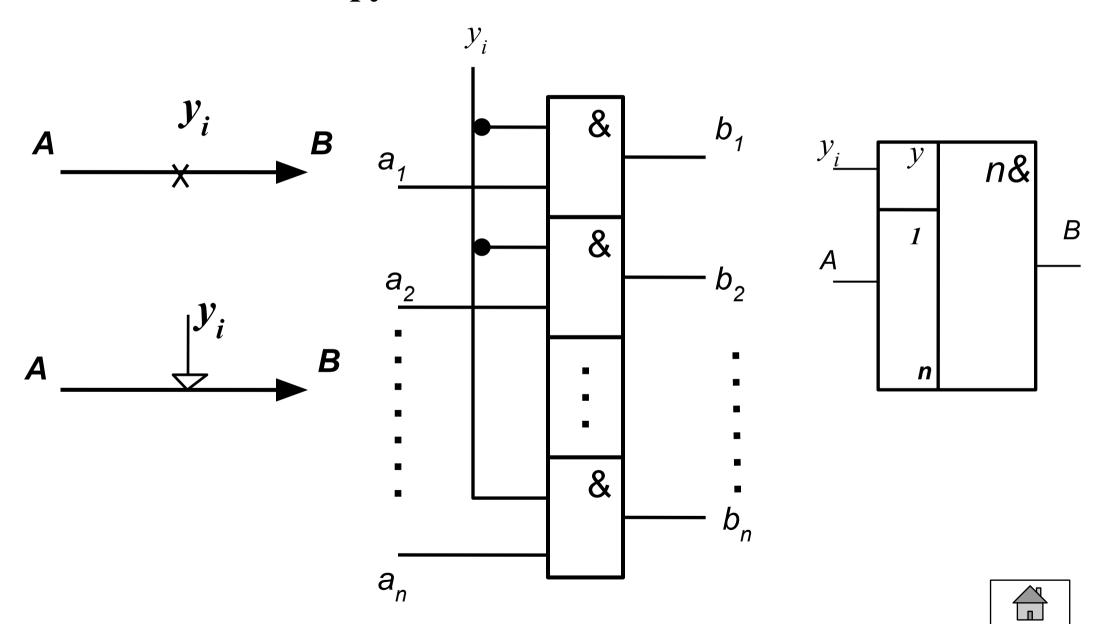


### Обозначение цепей шин





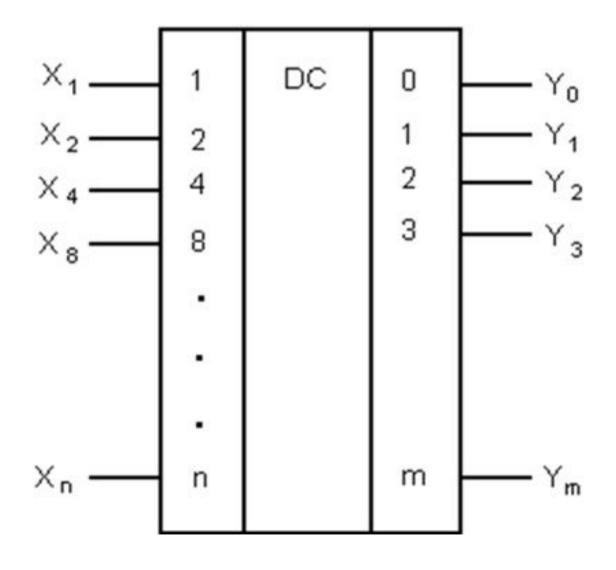
# Обозначение управляемой шины на структурных и функциональных схемах



Число	Двоично распределительный код								
	0	1	2	3	4	5	6	7	8
0	1	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0
2	0	0	1	0	0	0	0	0	0
3	0	0	0	1	0	0	0	0	0
4	0	0	0	0	1	0	0	0	0
5	0	0	0	0	0	1	0	0	0
6	0	0	0	0	0	0	1	0	0
7	0	0	0	0	0	0	0	1	0
8	0	0	0	0	0	0	0	0	1

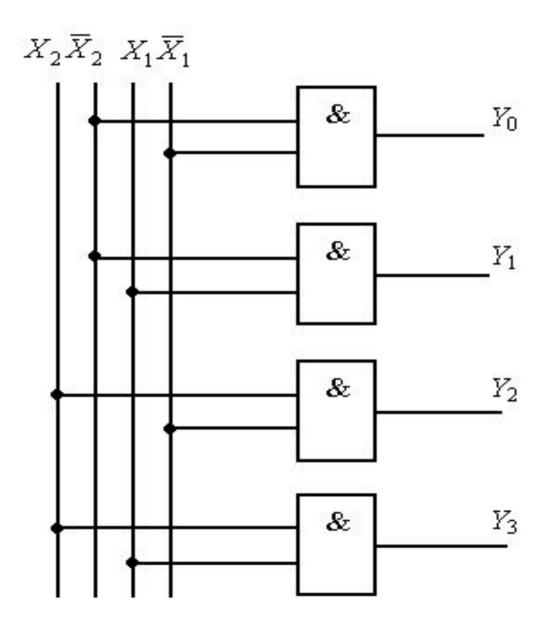


#### Условное обозначение дешифратора



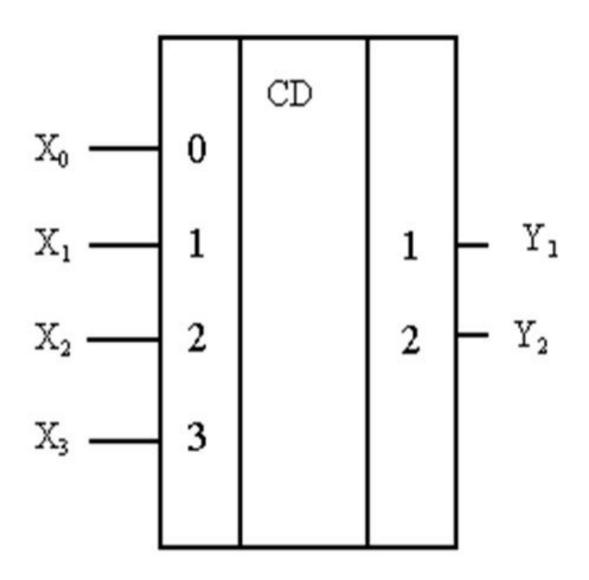


### Схема линейного дешифратора на два входа



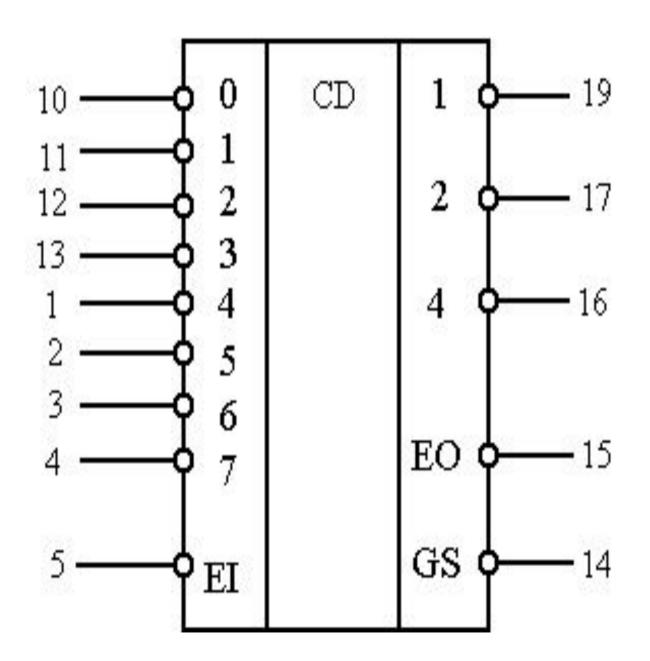


#### Условное обозначение шифратора



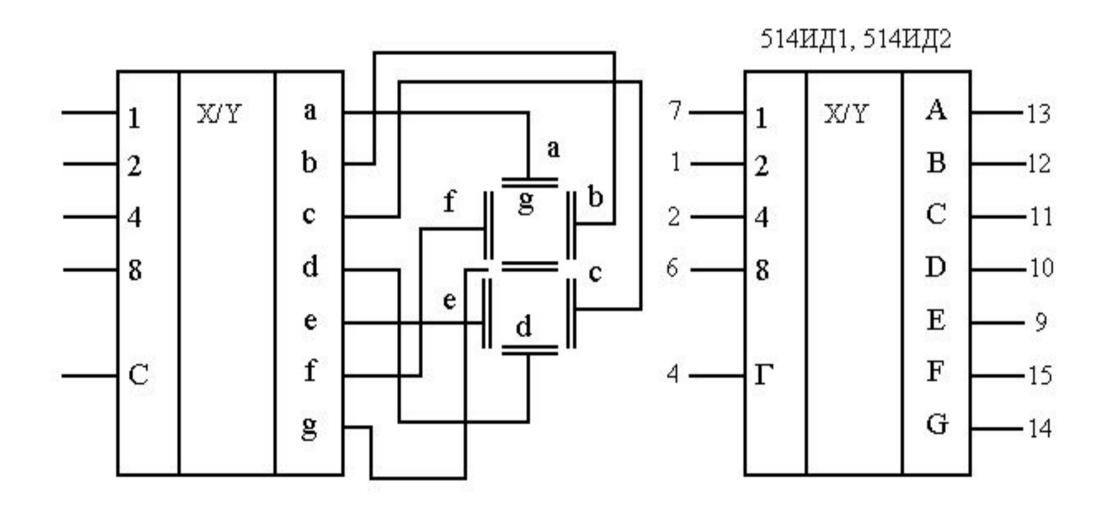


#### Шифратор К155ИВ1



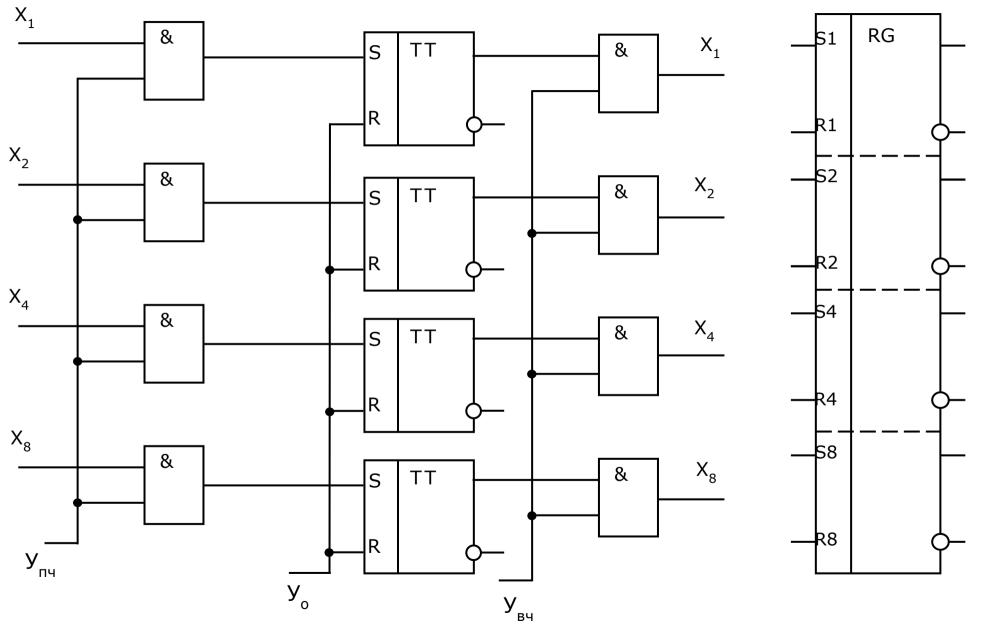


# Преобразователь двоично-десятичного кода в код семисегментного индикатора



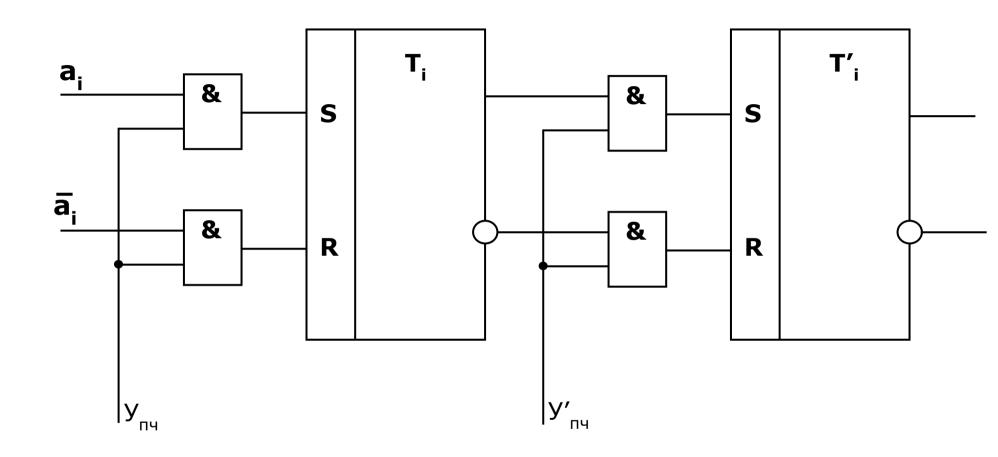


#### Схема регистра параллельного действия



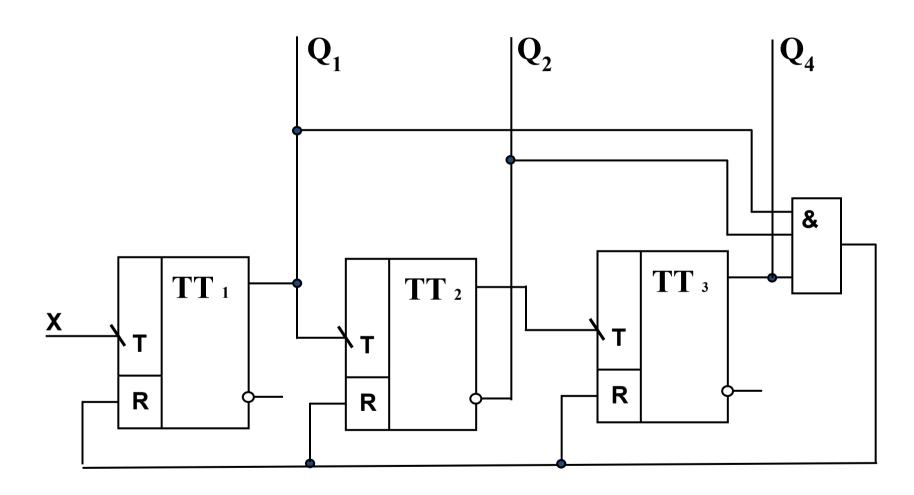


#### Схема парафазной передачи информации



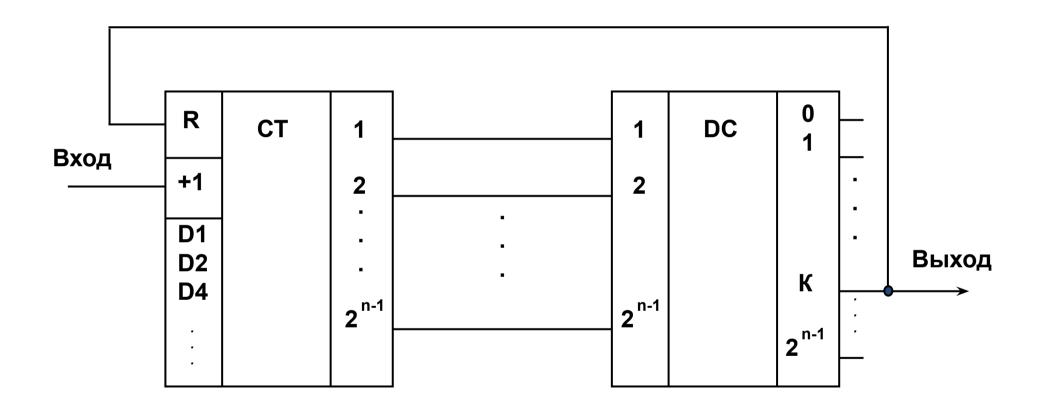


# Схема делителя частоты с дешифрированием состояния и принудительным обнулением счетчика





#### Схема делителя частоты с переменным модулем счета

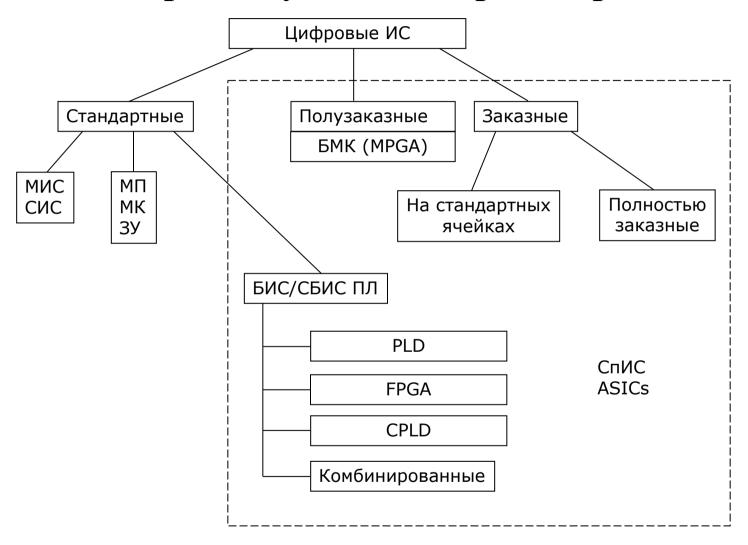




#### **Тема: №4 «ЭВМ и вычислительные системы»**

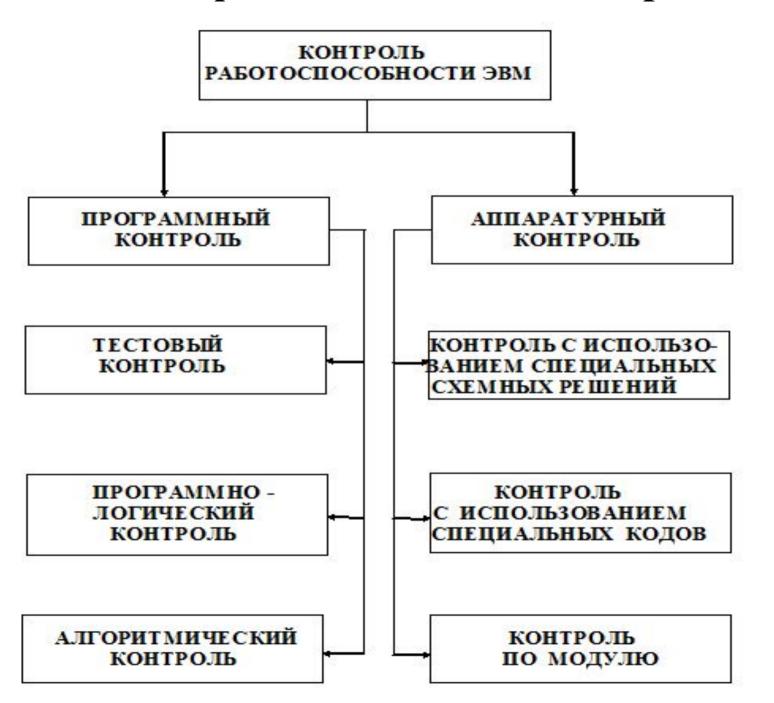
- 1. Классификация цифровых ИС по признаку методов проектирования
- 2. Классификация методов контроля
- 3. Цикл работы ЭВМ
- 4. Структурная схема АЛУ на основе накапливающего сумматора
- 5. Структурная схема АЛУ одноадресной ЭВМ
- 6. Варианты векторных вычислений
- 7. Схема контроля с дублированием узлов
- 8. Схема контроля по совпадению
- 9. Схема контроля передачи информации
- 10. Схема числового контроля операции сложение
- 11. <u>Производительность SIMD-систем как функция их типа и количества</u> процессоров
- 12. Обобщенная модель матричной SIMD-системы
- 13. Архитектура многомашинной вычислительной системы
- 14. Многомашинный вычислительный комплекс иерархической структуры

# Классификация цифровых ИС по признаку методов проектирования

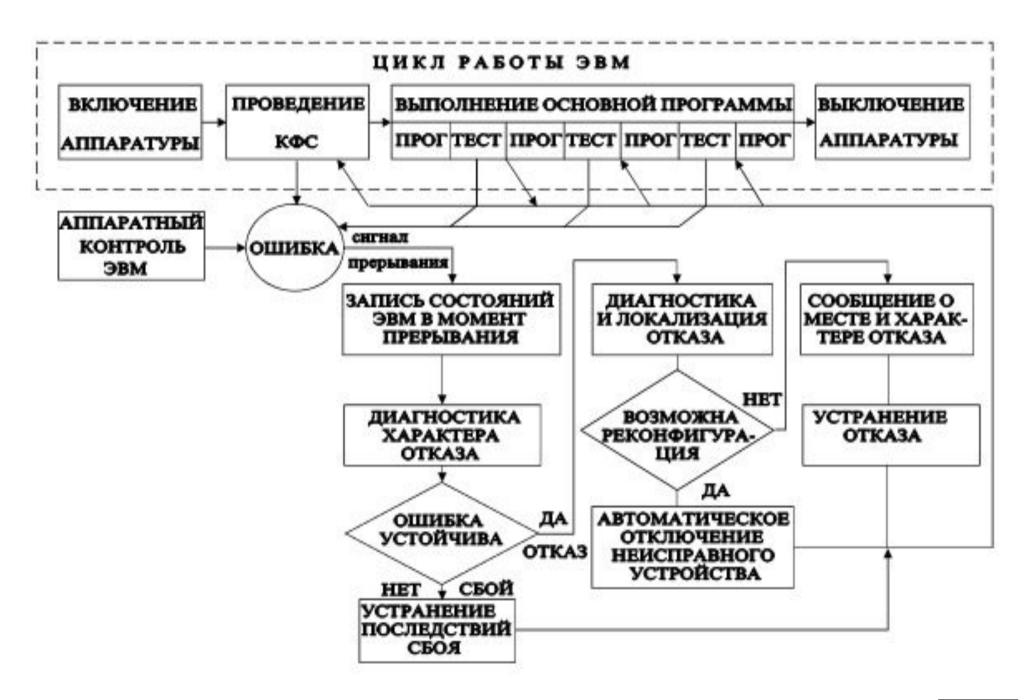




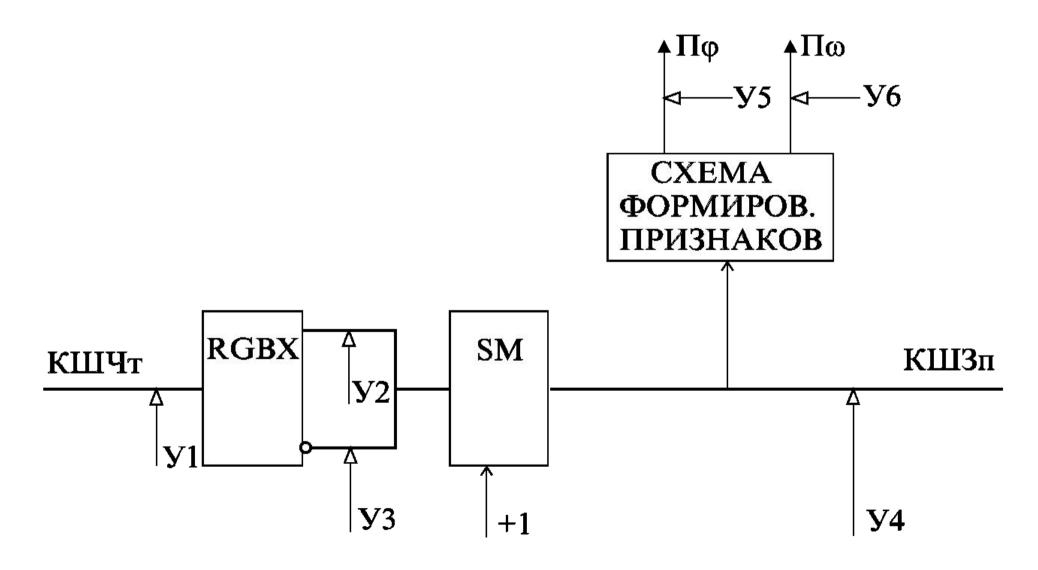
#### Классификация методов контроля





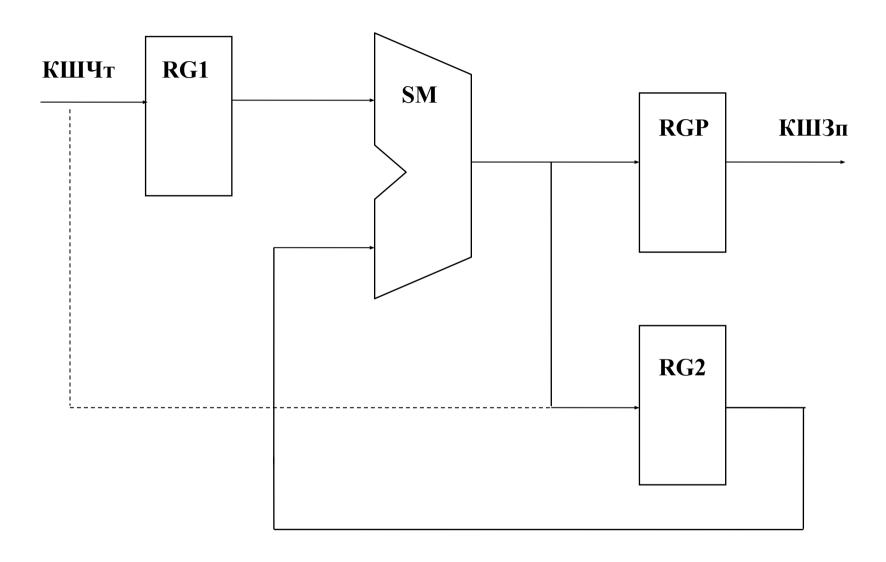


# Структурная схема АЛУ на основе накапливающего сумматора



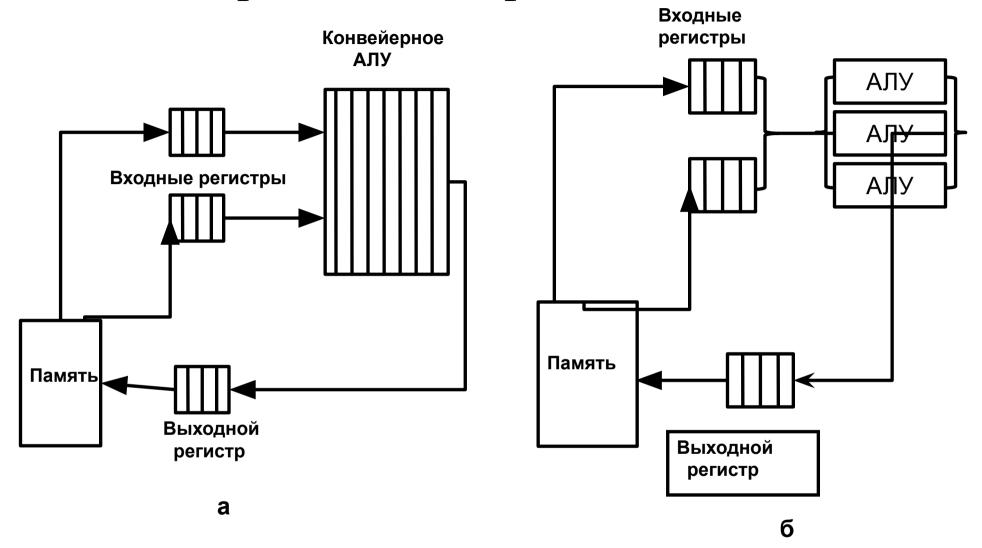


# Структурная схема АЛУ одноадресной ЭВМ





#### Варианты векторных вычислений:

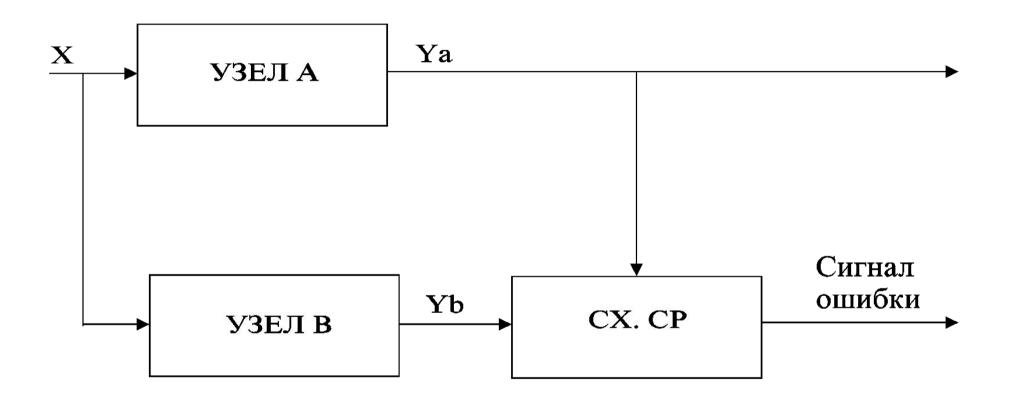


а – с конвейерным АЛУ;

б – с несколькими АЛУ.

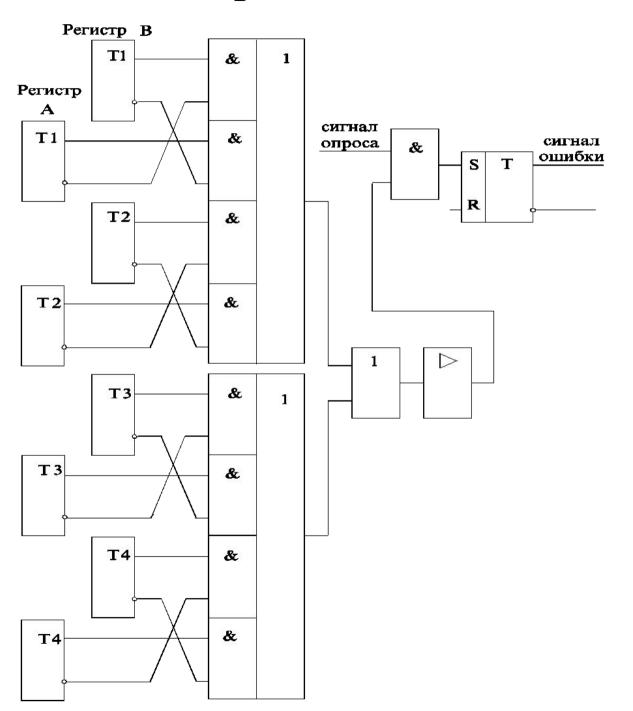


# Схема контроля с дублированием узлов



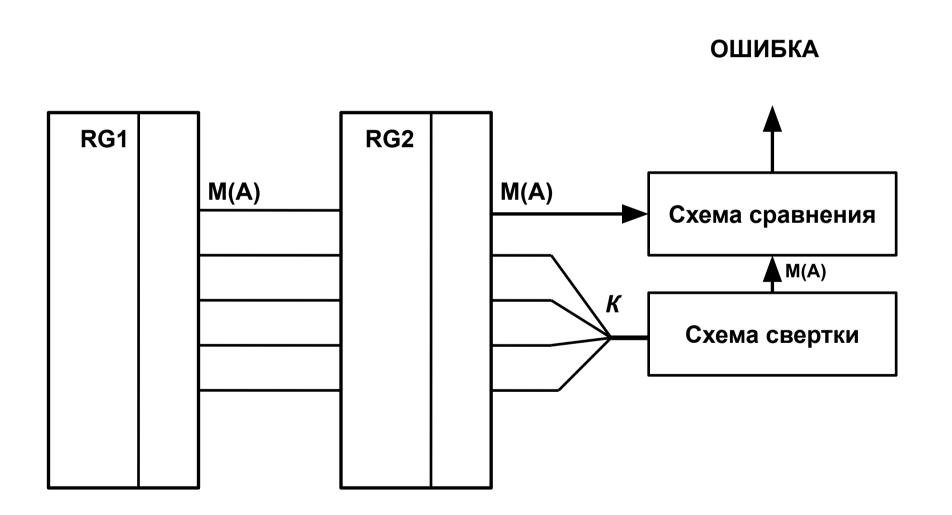


### Схема контроля по совпадению



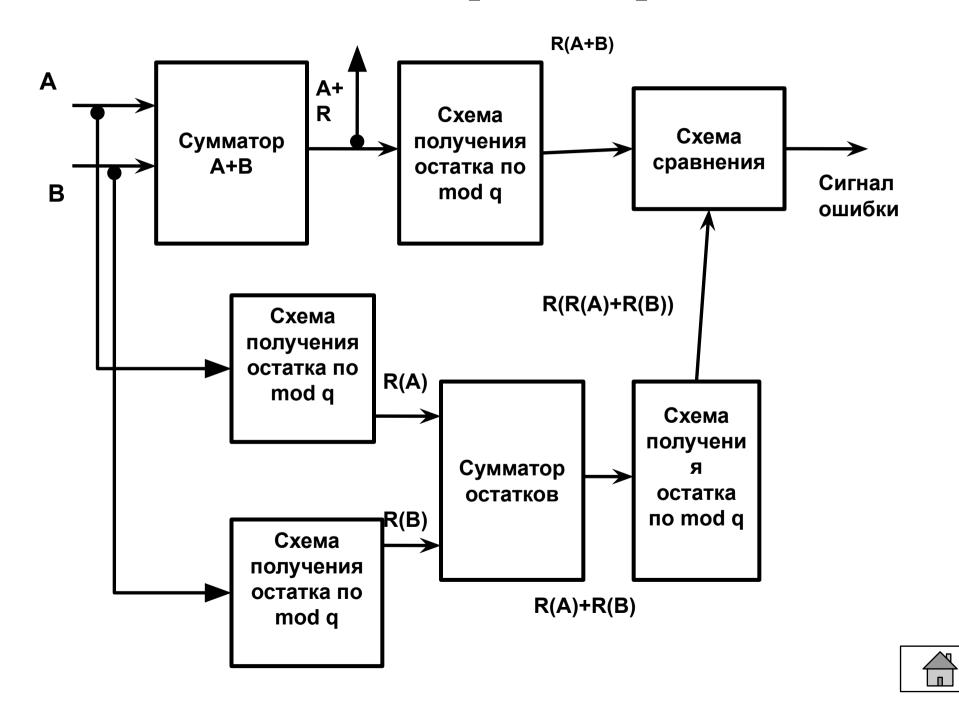


#### Схема контроля передачи информации

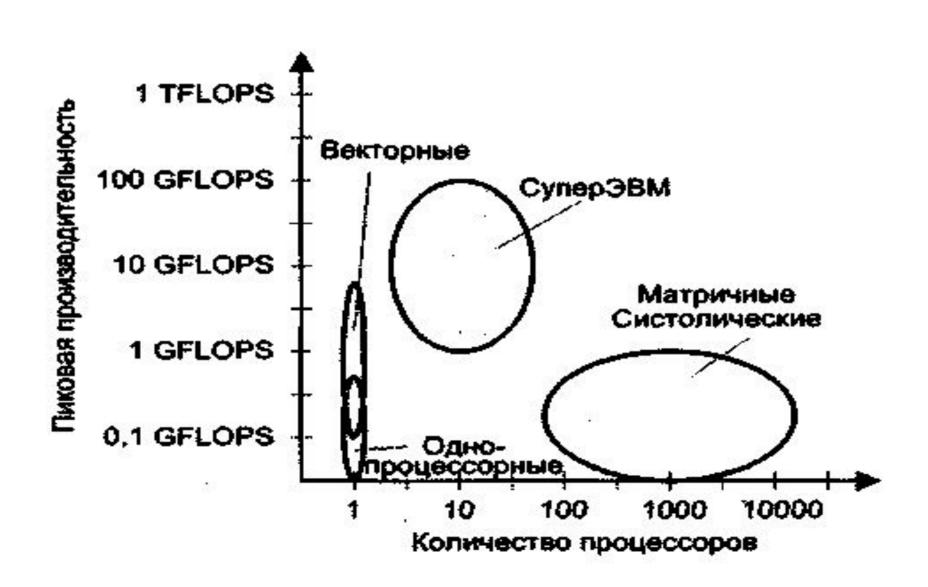




#### Схема числового контроля операции сложение

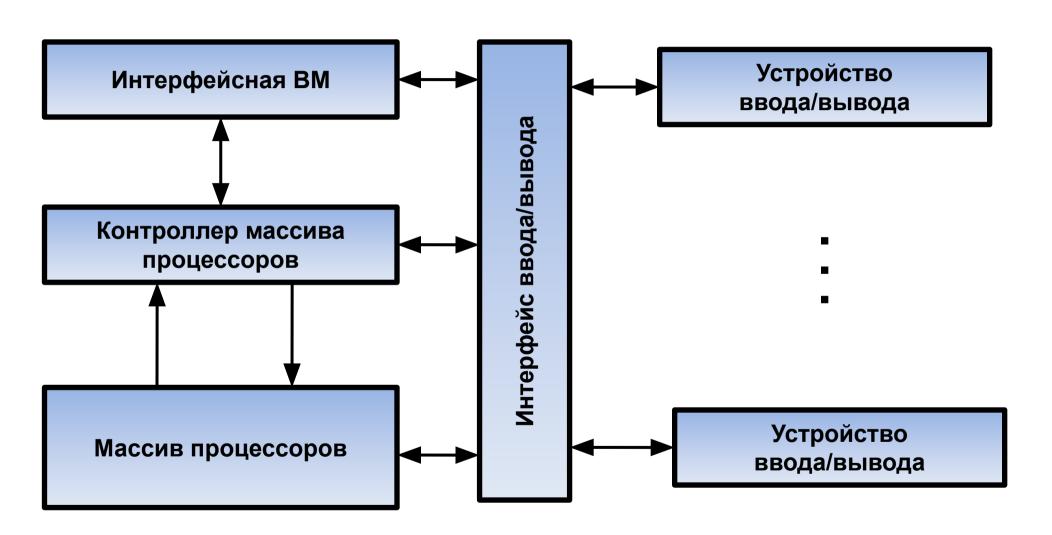


# Производительность SIMD-систем как функция их типа и количества процессоров



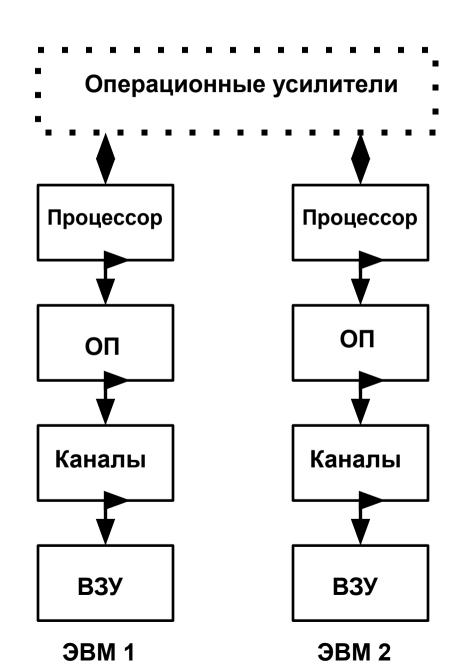


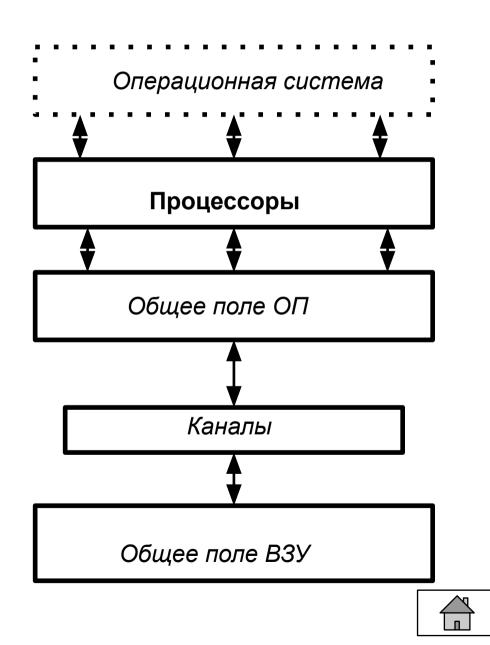
# Обобщенная модель матричной SIMDсистемы



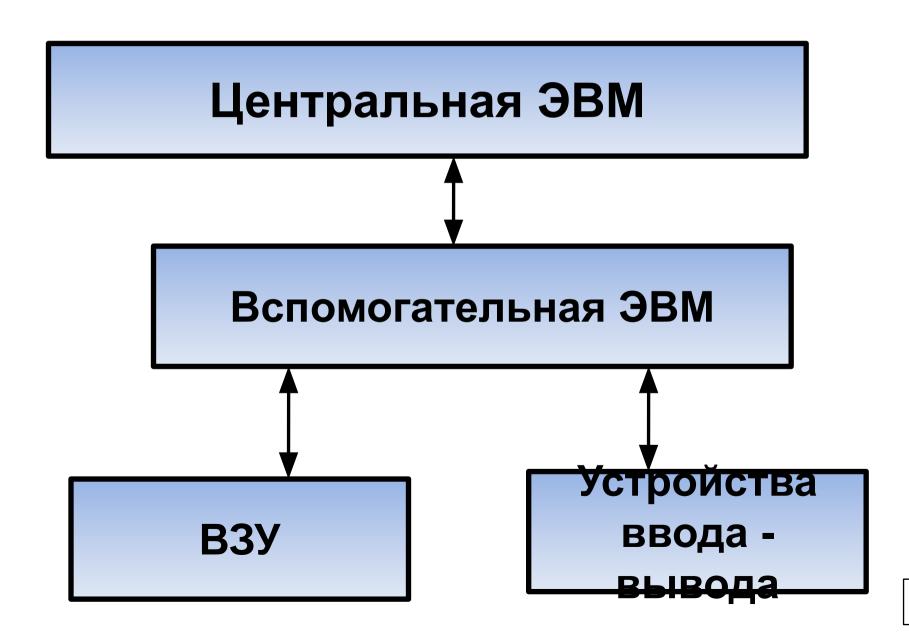


# Архитектура многомашинной вычислительной системы.





# Многомашинный вычислительный комплекс иерархической структуры





## Тема: №5 «Микропроцессорные системы»

- 1. Набор регистров микропроцессора ВМ80
- 2. Характеристики микропроцессоров фирмы Intel
- 3. Структура микропроцессорной системы
- 4. Микро-ЭВМ с трех шинной магистралью
- 5. Микро-ЭВМ с двух шинной магистралью
- 6. Структурная схема БИС КР580ВМ80
- 7. Основные команды микропроцессора К580ВМ80
- 8. Коды команд микропроцессора К580ВМ80А
- 9. Структура одноплатного микроконтроллера
- 10. Характеристики отечественных микроконтроллеров
- 11. Структура микроконтроллера КР1816ВЕ48
- 12. Форматы команд микроконтроллера МК48
- 13. Группа команд пересылки данных
- 14. Группа команд арифметических операций
- 15. Группа команд логических операций
- 16. Группа команд передачи управления
- 17. Группа команд управления режимами работы МК48

## Набор регистров микропроцессора ВМ80

15	8	7							0		
А		M	Z	0	AC	0	Р	1	C	Ϋ́	PSW
В		С							В		
D		E							D		
Н		L							Н		
								SP			
											PC

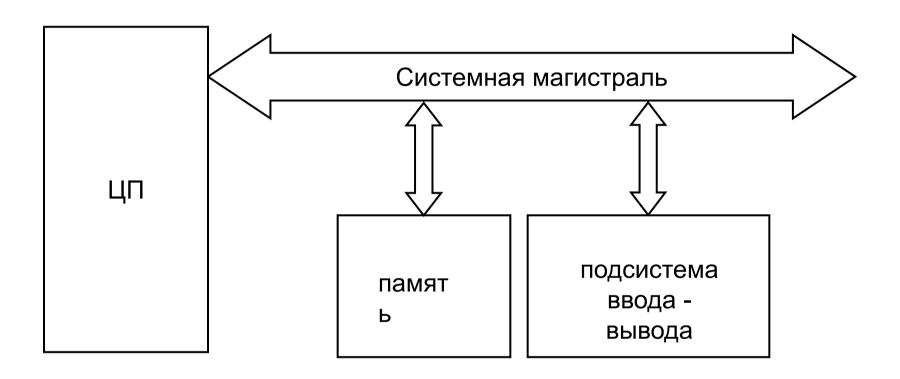


# Характеристики микропроцессоров фирмы Intel

Модель МП (российский аналог)	Разрядность, бит		Тактовая частота, МГц	Адресное простран- ство, байт	Число команд	Число элемен- тов	Год вы- пуска
	данных	адреса		,			
I-4004	4	4	0,1	4 K	45	2 300	1971
I-8008	8	4	0,75	16 K		2 900	1972
I-8080 (KP580BM80A)	8	16	2 (5)	64 K	78	4 900	1974
I-8085 (K1821BM85A)	8	16	3	64 K	78	6 200	1976
I-8086 (K1810BM86)	16	20	5 (10)	1 M	135	29 000	1978
I-8088 (K1810BM88)	8 (16)	20	5 (10)	1 M	135	29 000	1979
I-80186	16	20	8 (10)	1 M	145	1,2•10 <sup>5</sup>	1982
I-80286	16	24	1033	16 M	156	1,34•10 <sup>5</sup>	1982
I-80386	32	32	2550	4Γ	240	2,75•10 <sup>5</sup>	1985
I-80486	32	32	33100	4Γ	240	1,2•10 <sup>6</sup>	1989
Pentium	64	32	50200	4Γ	240	3,1•10 <sup>6</sup>	1993
Pentium Pro	64	32	66200	4Γ	240	5,5•10 <sup>6</sup>	1995
Pentium MMX	64	32	233	4Γ	297	4,5•10 <sup>6</sup>	1997
Pentium II	64	32	233400	4Γ		7,5•10 <sup>6</sup>	1997
Celeron	64	32	266600	4Γ			1998
Pentium III	64	32	До 800	4Γ		28•10 <sup>6</sup>	1999
Pentium IV	64	32	1,84,2 ГГц				2000

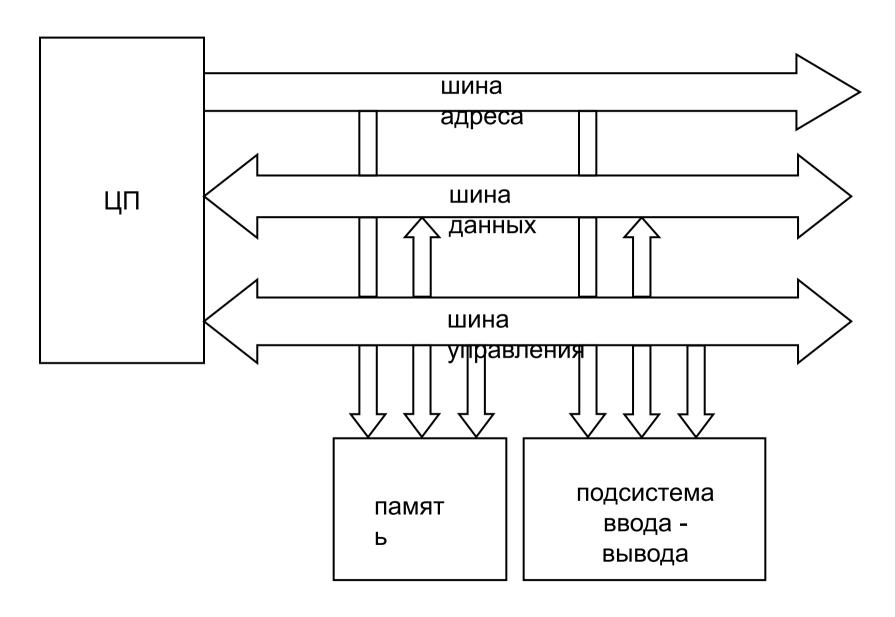


#### Структура микропроцессорной системы



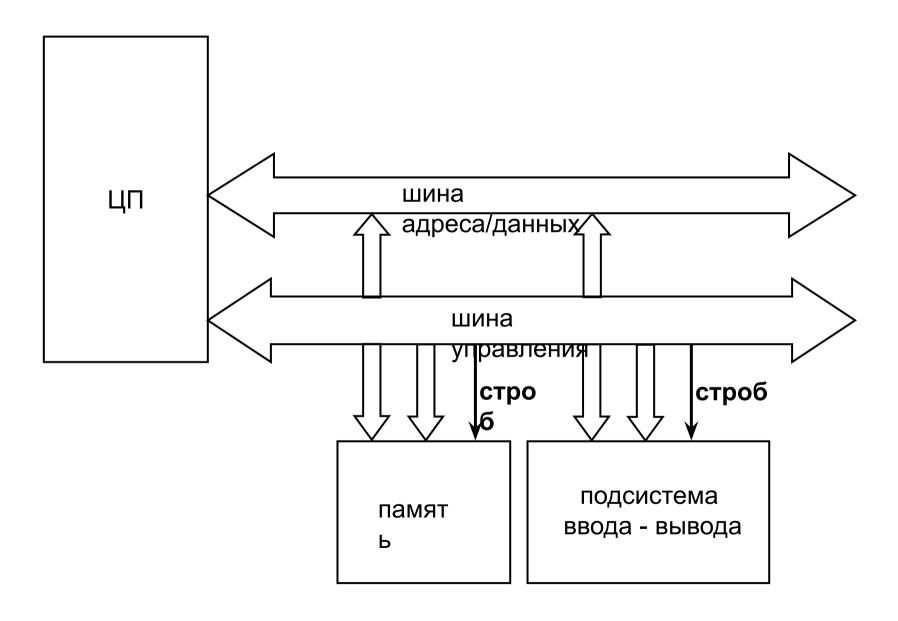


#### Микро-ЭВМ с трех шинной магистралью





#### Микро-ЭВМ с двух шинной магистралью





#### Структурная схема **D**7 -] [10-7,3-Внешняя шина **БИС КР580ВМ80** Do данных Буфер данны Внутренняя шина данных Мультипле-(8)(8) (5) (8)ксор Буф. Регистр 1 Регистр признаков Аккумулятор Регистр команд Z (8) W (8) выборки регистров В (8) C (8) (8) Дешифратор (8 POH Буф. Регистр 1 (8) E (8) команд ΑЛ H (8) L (8) SP Указатель стека Схема десятичной РС Счетчик команд коррекции регистр Устройство управляющее адреса инхронизация Іодтверждение Трием с шины Разрешение Буфер адреса прерывания прерывания отовность захвата данных захвата Запрос Ожидание Запрос A0...A1 Запись Sepoc Шина адреса 2

### Основные команды микропроцессора К580ВМ80

	1	
Группа команд	Формат команды	Реализуемая операция
Загрузки	MVIR байт 2	Непосредственная загрузка указанного регистра
, ,	LXIH байт 2, байт 3	Непосредственная загрузка пары регистров HL
	LDA байт 2, байт 3	Пересылка в аккумулятор из памяти по указанному адресу
Пересылки	STA байт 2, байт 3	Пересылка в память по указанному адресу содержимое
	MOV RI, R2	аккумулятора
	MOV M, R	Пересылка из регистра R2 в регистр R1
		Пересылка из регистра R в память
Сложения и	ADD R	Сложить с содержимым регистра R
вычитания	SUB M	Вычесть содержимое памяти
Сравнения	CMP R	Сравнить с содержимым регистра R
·	СРІ байт 2	Сравнить непосредственно с аккумулятором
Сдвига	RLC	Сдвиг содержимого аккумулятора влево
	RRC	Сдвиг содержимого аккумулятора вправо
	ЈМР байт 2, байт 3	Безусловные переход по указанному адресу
Перехода	ЈМ байт 2, байт 3	Условный переход по указанному адресу при S=1
' ''	JZ байт 2, байт 3	Условный переход по указанному адресу при Z=1
	JNZ байт 2, байт 3	Условный переход по указанному адресу при Z=0
	JNC байт 2, байт 3	Условный переход по указанному адресу при С=0
Ввода – вывода	IN байт 2	Ввод из порта с указанным адресом
	OUT байт 2	Вывод из порта с указанным адресом
	INR R	К содержимому указанного регистра прибавить 1
Увеличение и	DCR R	От содержимого указанного регистра вычесть 1
уменьшение на 1	INX M	Содержимое пары регистров HL увеличить на 1
,	DCX M	Содержимое пары регистров HL уменьшить на 1
Прочие	CMA	Инвертировать число
	HLT	Остановить

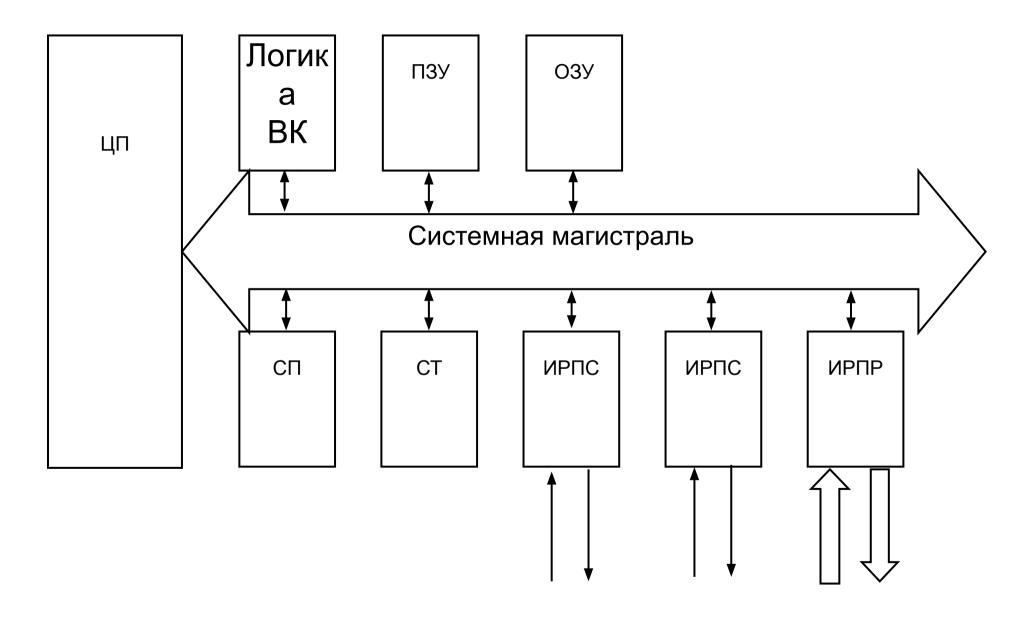


#### Коды команд микропроцессора К580ВМ80А

	0	1	2	3	4	5	6	7	8	9	Α	В	С	D	E	F	
0		LXI B,&			INR B	DCR B	MVI B#	RLC					INR C	DCR C	MVI C#	RRC	0
1																	1
2		LXI H,&		INX H	INR H	DCR H	MVI H#					DCX #	INR L	DCR L	MVI L,#	СМА	2
3			STA #								LDA #		INR A	DCR A	MVI A,#		3
4	MOV B,B	MOV B,C			MOV B,H	MOV B,L	MOV B,M	MOV B,A	MOV C,B	MOV C,C			MOV C,H	MOV C,L	MOV C,M	MOV C,A	4
5																	5
6	MOV H,B	MOV H,C			MOV H,H	MOV H,L	MOV H,M	MOV H,A	MOV L,B	MOV L,C			MOV L,H	MOV L,L	MOV L,M	MOV L,A	6
7	MOV M,B	MOV M,C			MOV M,H	MOV M,L	HLT	MOV M,A	MOV A,B	MOV A,C			MOV A,H	MOV A,L	MOV A,M	MOV A,A	7
8	ADD B	ADD C			ADD H	ADD L	ADD M	ADD A									8
9	SUB B	SUB C			SUB H	SUB L	SUB M	SUB A									9
Α																	Α
В									CMP B	CMP C			CMP H	CMP L	CMP M	CMP A	В
С			JNZ метк а	JMP *							JZ *						С
D			JNC метк а	OUT N								IN N					D
E																	Е
F			JP *							JM *					CPI #		F
									<u> </u>			ь			·		1



#### Структура одноплатного микроконтроллера

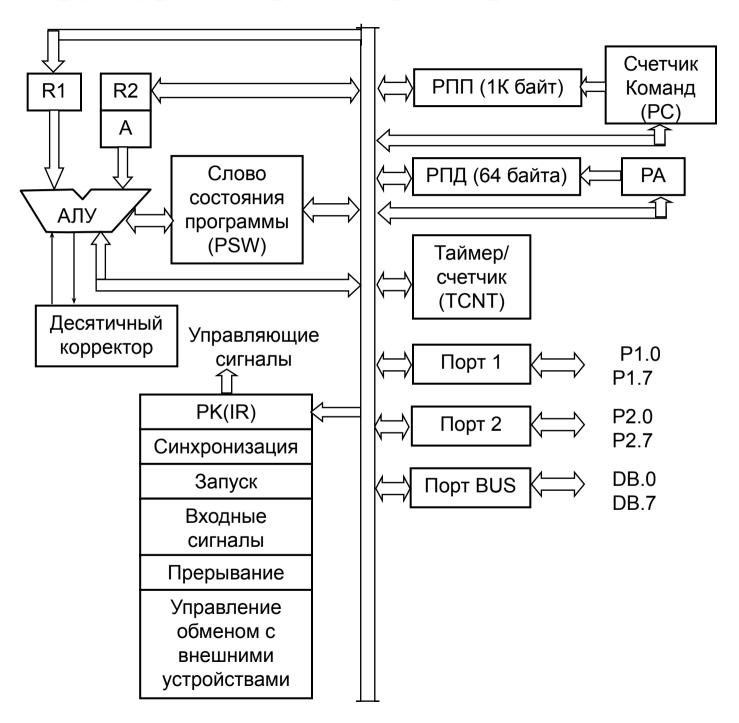




#### Характеристики отечественных микроконтроллеров

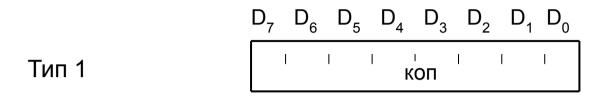
Тип микросхемы	Аналог Микросхем ы фирмы Intel, США	Тип и емкость РПП, байт	Емкость РПД, байт	Тактовая частота, МГц	Ток потреблени я, мА
KP18I6BE35	8035	_	64	6	135
KPI816BE48	8748	ППЗУ, 1К	64	6	135
KP1816BE39	8039	_	128	11	110
KP1816BE49	8049	ПЗУ, 2К	128	11	110
KP1830BE35	80C35	_	64	6	8
KP1830BE48	80C48	ПЗУ, 1К	64	6	8
KP1816BE31	8031 AH	_	128	12	150
KP1816BE51	8051 AH	ПЗУ, 4К	128	12	150
KP18I6BE751	8751H	ППЗУ, 4К	128	12	220
KP1830BE31	80C31BH	_	128	12	18
KP1830BE51	80C51BH	ПЗУ, 4К	128	12	18

#### Структура микроконтроллера КР1816ВЕ48





#### Форматы команд микроконтроллера МК48



## Группа команд пересылки данных

Мнемокод	коп	Операция
MOV A, Rn	11111rrr	(A) ← (Rn)
MOV A, @Ri	1111000i	(A) ← ((Ri))
MOV A, # d	00100011	(A) ← # d
MOV Rn, A	10101rrr	(Rn) ← (A)
MOV Rn, # d	10111rrr	(Rn) ← # d
MOV @Ri, A	1010000i	((Ri)) ← (A)
MOV @Ri, # d	1011000i	((Ri)) ← # d
MOV A, PSW	11000111	(A) ← (PSW)
MOV PSW, A	11010111	(PSW) ← (A)
MOV A, T	01000010	(A) ← (T)
MOV T, A	01100010	<b>(T)</b> ← <b>(A)</b>
MOV A, @Ri	1000000i	(A) ← ((Ri))
MOV @Ri, A	1001000i	((Ri)) ← (A)
MOV A, @A	10100011	(PS <sub>0-7</sub> ) ← (A) (A) ← ((PC))
MOV A, @A	11100011	(PC <sub>0-7</sub> ) ← (A) (PC <sub>8-11</sub> ) ← 0011 (A) ← ((PC))
XCH A, Rn	00101rrr	(A) ↔ (Rn)
XCH A, @Ri	0010000i	(A) ↔ ((Ri))
XCHD A, @Ri	0011000i	(A <sub>0-3</sub> ) ↔ ((Ri) <sub>0-3</sub> )
IN A, Pp	000010pp	(A) ← (Pp)
INS A, BUS	00001000	(A) ← (BUS)
OUTL Pp, A	001110pp	(Pp) ← (A)
OUTL BUS, A	00000010	(BUS) ← (A)
MOVD A, Pp	000011pp	(A <sub>0-3</sub> ) ← (Pp) (A <sub>4-7</sub> ) ← 0000
		(7.4-7)
	Мнемокод  MOV A, Rn  MOV A, @Ri  MOV A, # d  MOV Rn, A  MOV Rn, # d  MOV @Ri, A  MOV @Ri, # d  MOV A, PSW  MOV A, PSW  MOV A, T  MOV T, A  MOV A, @Ri  MOV A, @Ri  MOV A, @Ri  MOV A, @Ri  XCH A, @Ri  XCH A, @Ri  IN A, Pp  INS A, BUS  OUTL Pp, A  OUTL BUS, A	Мнемокод         КОП           MOV A, Rn         11111rrr           MOV A, @Ri         1111000i           MOV A, # d         00100011           MOV Rn, A         10101rrr           MOV @Ri, A         1010000i           MOV @Ri, # d         1011000i           MOV A, PSW         11000111           MOV PSW, A         11010111           MOV A, T         01000010           MOV A, @Ri         1000000i           MOV A, @Ri         1001000i           MOV @Ri, A         10100011           MOV A, @A         11100011           XCH A, Rn         00101rrr           XCH A, @Ri         0010000i           XCH A, @Ri         0010000i           IN A, Pp         0000100p           INS A, BUS         00001000           OUTL Pp, A         001110pp           OUTL BUS, A         00000010



# Группа команд арифметических операций

Название команды	Мнемок од	КОП	Операция
Сложение регистра с аккумулятором	ADD A, Rn	01101rrr	$(A) \leftarrow (A) + (Rn)$
Сложение байта из РПД с аккумулятором	ADD A, @Rn	0110000i	$(A) \leftarrow (A) + ((Ri))$
Сложение константы с аккумулятором	ADD A, # d	00000011	(A) ← (A) + # d
Сложение регистра с аккумулятором и переносом	ADD A, Rn	01111rrr	$(A) \leftarrow (A) + (Rn) + (C)$
Сложение байта из РПД с аккумулятором и переносом	ADD A, @Ri	0111000i	$(A) \leftarrow (A) + ((Ri)) + (C)$
Сложение константы с аккумулятором и переносом	ADD A, @d	00010011	$(A) \leftarrow (A) + \# d + (C)$
Десятичная коррекция аккумулятора	DAA	01010111	Если $((A_{0-3}) > 9)$ V $((AC) = 1)$ , То $(A_{0-3}) \leftarrow (A_{0-3}) + 6$ , затем, Если $((A_{4-7}) > 9)$ V $((C) = 1)$ , То $(A_{4-7}) \leftarrow (A_{4-7}) + 6$
Обмен тетрад в аккумуляторе	SWAPA	01000111	$(A_{0-3}) \leftrightarrow (A_{4-7})$
Циклический сдвиг влево аккумулятора	RLA	11100111	$(A_{n+1}) \leftarrow (A_n), n = 0 \div 6$ $(A_0) \leftarrow (A_7)$
Сдвиг влево аккумулятора через перенос	RLC A	11110111	$(A_{n+1}) \leftarrow (A_n), n = 0 \div 6$ $(A_0) \leftarrow (C); (C) \leftarrow (A_7)$
Циклический сдвиг вправо аккумулятора	RR A	01110111	$(A_n) \leftarrow (A_{n+1}), n = 0 \div 6$ $(A_7) \leftarrow (A_0)$
Сдвиг вправо аккумулятора через перенос	RRC A	01100111	$(A_n) \leftarrow (A_{n+1}), n = 0 \div 6$ $(A_7) \leftarrow (C); (C) \leftarrow (A_0)$
Инкремент аккумулятора	INC A	00010111	(A) ← (A) + 1
Инкремент регистра	INC Rn	00011rrr	(Rn) ← (Rn) + 1
Инкремент байта в РПД	INC @Ri	0001000i	((Ri)) ← ((Ri)) + 1
Декремент аккумулятора	DEC A	00000111	$(A) \leftarrow (A) - 1$
Декремент регистра	DEC Rn	11001rrr	(Rn) ← (Rn) - 1



## Группа команд логических операций

Название команды	Мнемокод	КОП	Операция
Логическое И регистра и аккумулятора	ANL A, Rn	01011rrr	(A) ← (A) (Rn)
Логическое И байта из РПД и аккумулятора	ANL A, @Ri	0101000i	$(A) \leftarrow (A) ((Ri))$
Логическое И константы и аккумулятора	ANL A, # d	01010011	(A) ← (A) = d
Логическое ИЛИ регистра и аккумулятора	ORLA, Rn	01001rrr	(A) ← (A) (Rn)
Логическое ИЛИ байта из РПД и аккумулятора	ORLA, @Ri	0100000i	(A) ← (A) ((Ri))
Логическое ИЛИ константы и аккумулятора	ORLA,#d	01000011	(A) ← (A) # d
Исключающее ИЛИ регистра и аккумулятора	XRL A, Rn	11011rrr	(A) ← (A) (Rn)
Исключающее ИЛИ байта из РПД и аккумулятора	XRLA, @Ri	1101100i	$(A) \leftarrow (A) ((Ri))$
Исключающее ИЛИ константы и аккумулятора	XRL A, # d	11010011	(A) ← (A) # d
Инверсия аккумулятора	CPL A	00110111	(A) ← (A)
Логическое И константы и порта Рр (р = 1,2)	ANL Pp, # d	100110pp	
Логическое И константы и порта BUS	ANL BUS, # d	10011000	
Логическое И аккумулятора и порта Pp (p = 4 ÷ 7)	ANLD Pp, A	100111pp	
Логическое ИЛИ константы и порта Рр (р = 1,2)	ORL Pp, # d	100010pp	
Логическое ИЛИ константы и порта BUS	ORL BUS, # d	10001000	
Логическое ИЛИ аккумулятора и порта Pp (p = 4 ÷ 7)	ORLD Pp, A	100011pp	
Инверсия переноса	CPL C	10100111	
Инверсия флага F0	CPL F0	10010101	An
Инверсия флага F1	CPL F1	10110101	

## Группа команд передачи управления

Наименование команды	Мнемокод	КОП	Операция	
Безусловный переход	JMP ad11	a10a9a800100	(PC <sub>0-10</sub> ) ←ad11, (PC <sub>01</sub> ) ←DBF	
Косвенный переход в текущей странице ПП	JMPP @A	10110011	$(PC_{0-7}) \leftarrow ((A))$	
Декремент регистра и переход, если не нуль	·		$(R_n)$ $\leftarrow$ $(R_n)$ -1; если $(R_n) \neq 0$ , то $(PC_{0-7})$ $\leftarrow$ ad, иначе $(PC)$ $\leftarrow$ $(PC)$ +2	
Переход, если перенос	JC ad	11110110	Если (C)=1, то (PC <sub>0-7</sub> ) ←ad, иначе (PC) ←(PC)+2	
Переход, если нет переноса	JNC ad	11100110	Если (C)=0, то (PC <sub>0-7</sub> ) ←ad, иначе (PC) ←(PC)+2	
Переход, если аккумулятор содержит нуль	JZ ad	11000110	Если (A)=0, то (PC <sub>0-7</sub> ) ←ad, иначе (PC) ←(PC)+2	
Переход, если аккумулятор содержит не нуль	JNZ ad	10010110	Если (A)≠0, то (PC <sub>0-7</sub> ) ←ad, иначе (PC) ←(PC)+2	
Переход, если на входе Т0 высокий уровень	JT0 ad	00110110	Если T0=1, то (PC <sub>0-7</sub> ) ←ad, иначе (PC) ←(PC)+2	
Переход, если на входе Т0 низкий уровень	JNT0 sd	00100110	Если T0=0, то (PC <sub>0-7</sub> ) ←ad, иначе (PC) ←(PC)+2	



Наименование команды	Мнемокод	коп	Операция
Переход, если на входе Т1 высокий уровень	JT1 ad	01010110	Если Т1=1, то (РС <sub>0-7</sub> ) ←ad, иначе (РС) ←(РС)+2
Переход, если на входе Т1 низкий уровень	JNT1 ad	01000110	Если T1=0, то (PC <sub>0-7</sub> ) ←ad, иначе (PC) ←(PC)+2
Переход, если флаг F0 установлен	JF0 ad	10110110	Если (F0)=1, то (PC <sub>0-7</sub> ) ←ad, иначе (PC) ←(PC)+2
Переход, если флаг F1 установлен	JF1 ad	01110110	Если (F1)=1, то (PC <sub>0-7</sub> ) ←ad, иначе (PC) ←(PC)+2
Переход, если флаг переполнения таймера установлен	JTF ad	00010110	Если TF=1, то TF ←0,(PC <sub>0-7</sub> ) ←ad, иначе (PC) ←(PC)+2
Переход, если на входе ЗПР низкий уровень	JNI ad	10000110	Если 3ПР=0, то (РС <sub>0-7</sub> ) ←ad, иначе (РС) ←(РС)+2
Переход, если бит аккумулятора равен единице (b = 0 до 7)	JBb ad	bbb10010	Если (Bb)=1, то (PC <sub>0-7</sub> ) ←ad, иначе (PC) ←(PC)+2
Вызов подпрограммы	CALL ad11	a10a9a810100	$((SP)) \leftarrow (PC), (PSW_{4-7}),$ $(SP) \leftarrow (SP)+1, (PC_{11}) \leftarrow DBF,$ $(PC_{0-10}) \leftarrow ad$
Возврат из подпрограммы	RET	10000011	(SP)←(SP)-1, (PC) ←((SP)) -1
Возврат из подпрограммы и восстановление ССП	RETR	10010011	$(SP)\leftarrow(SP)-1, (PC) \leftarrow((SP)),$ $(PSW_{4-7}) \leftarrow((SP))$



Группа команд упра	вления р	ежимами ј	работы МК48
Наименование команды	Мнемокоды	КОП	Операция
Сброс переноса	CLR C	10010111	(C)←0
Сброс флага F0	CLR F0	10000101	(F0)←0
Сброс флага F1	CLR F1	10100101	(F1)←0
Запуск таймера	STRT T	01010101	
Запуск счетчика	STRT CNT	01000101	
Остановка таймера/счетчика	STOP TCNT	01100101	
Разрешение прерывания от таймера/счетчика	EN TCNTI	00100101	
Запрещения прерывания от таймера/счетчика	DIS TCNTI	00110101	
Разрешение внешнего прерывания	EN I	00000101	
Запрещение внешнего прерывания	DIS I	00010101	

**SEL RB0** 

**SEL RB1** 

**SEL MB0** 

**SEL MB1** 

**NOP** 

**ENTO CLC** 

Выбор нулевого банка регистров

Выбор первого банка регистров

Разрешение выдачи синхросигнала на

Выбор нулевого банка ПП

Выбор первого банка ПП

выход Т0

Холостая команда

11000101

11010101

11100101

11110101

01110101

0000000

(BS)←0

(BS)←1

(DBF)←0

(DBF)←1

МГц)

Т0 – синхросигнал

(PC)←(PC)+1

(2