ОРГАНИЗАЦИЯ ПОДСИСТЕМЫ ВВОДА-ВЫВОДА

Работа процессора

- В счетчик команд заносится адрес ячейки памяти, содержащий первую команду программы.

Работа процессора

- Адрес команды через регистр адреса поступает на шину адреса памяти. По сигналу управления процессор считывает команду, находящуюся по этому адресу на шину данных и записывает в регистр данных процессора.

Работа процессора

- Из регистра данных текущая команда поступает в регистр команды. Там команда дешифруется и анализируется устройством управления.
- В зависимости от кода операции Устройство управления вырабатывает управляющие сигналы (микрокоманды) для управления внутренними элементами процессора.

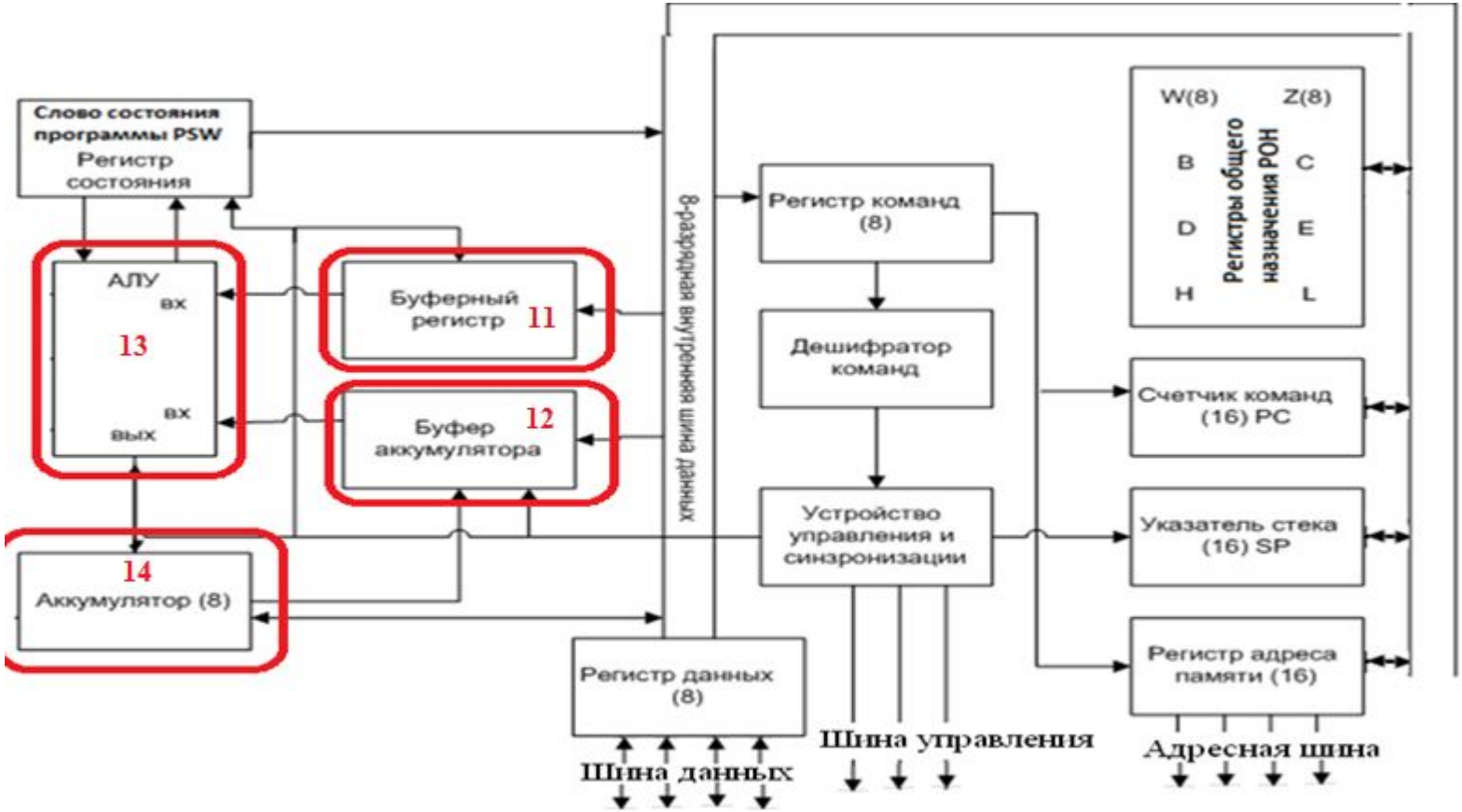
Работа процессора

- Если машинная команда использует данные из памяти, процессор определяет их адреса и считывает данные во внутренние регистры.

Работа процессора

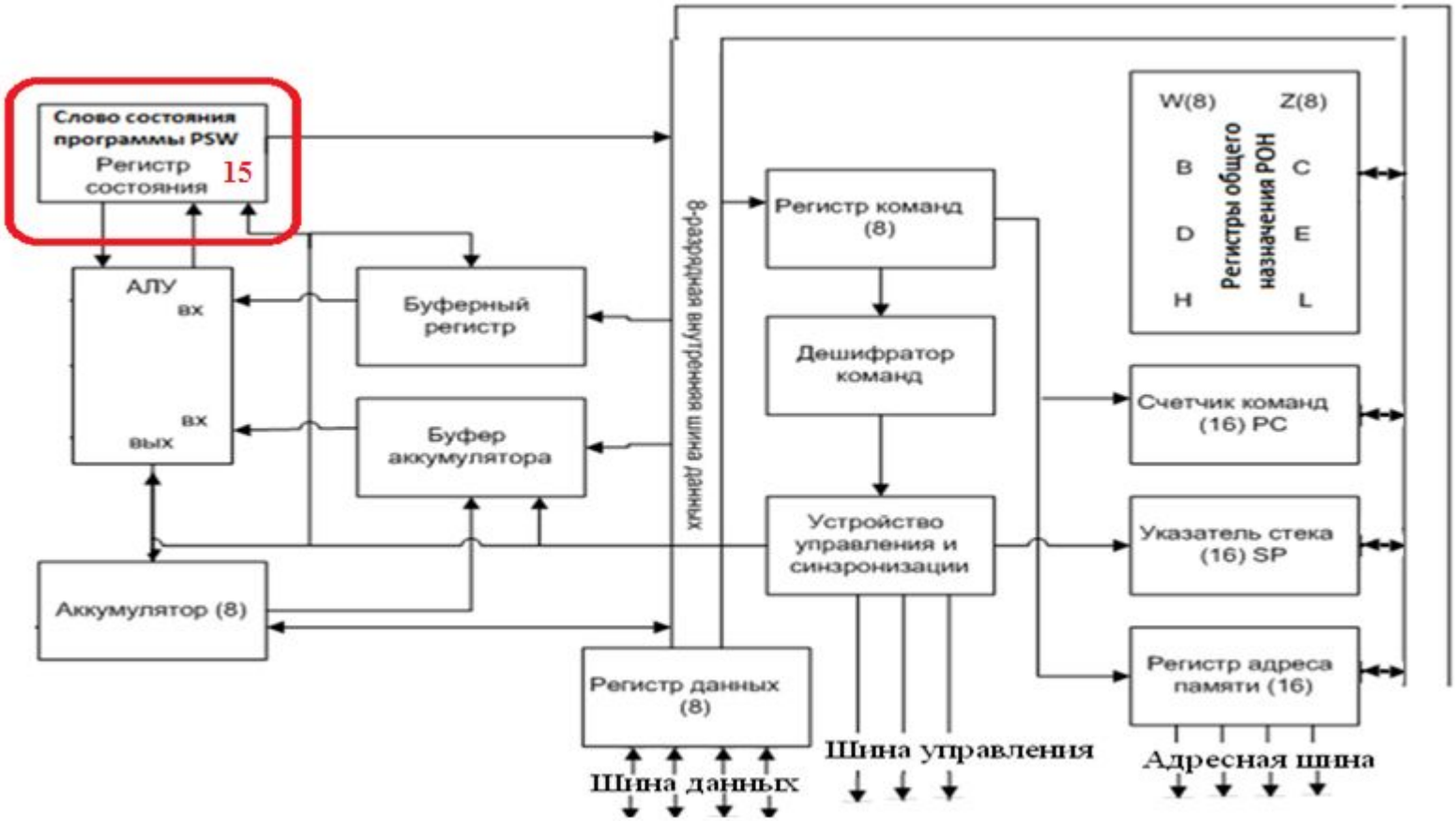
- Содержимое счетчика команд увеличивается на длину команды и в нем уже содержится адрес следующей команды.

Работа процессора



- АЛУ выполняет операцию над данными, находящимися в регистрах сохраняет результат в аккумулятое.

Работа процессора

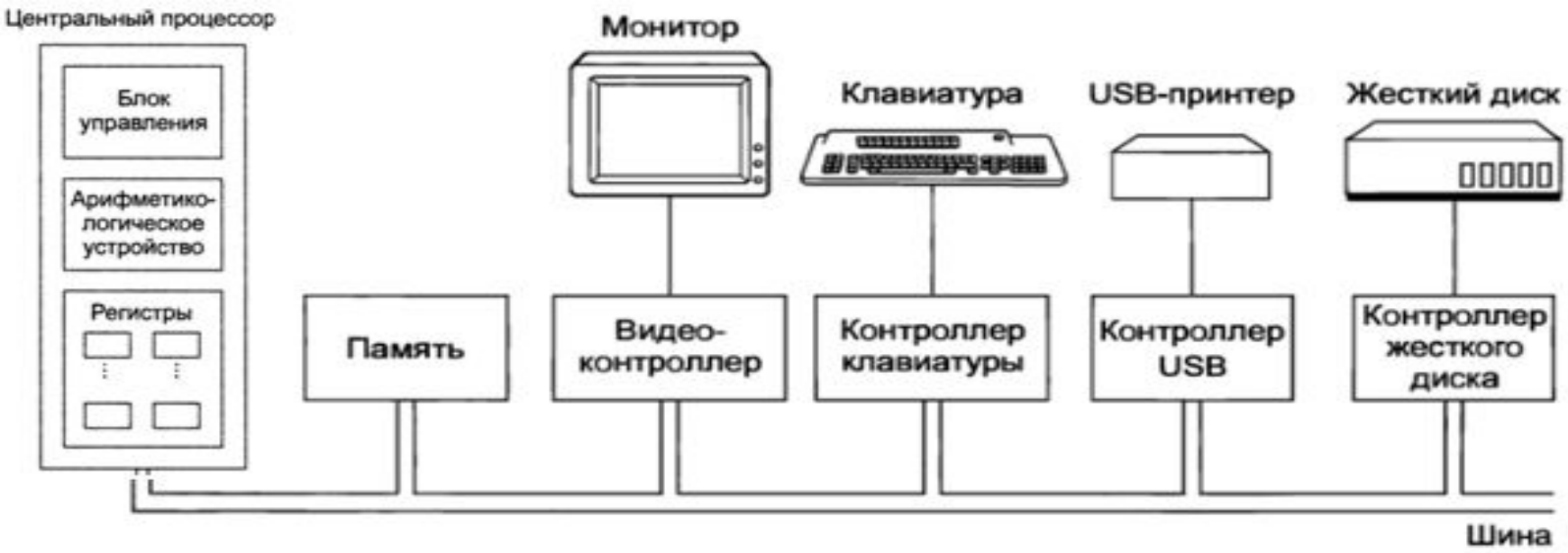


- В регистре слова состояния программы устанавливаются признаки выполнения команды

Работа процессора

- Считывается следующая команда и цикл повторяется.

Архитектура компьютера (Фон-Неймана)



- Процессор
- Память
- Устройства ввода – вывода (периферийные устройства)
- Контроллеры интерфейсов устройств ввода вывода (контроллеры ввода-вывода)
- Шина ввода-вывода

- Периферийное устройство преобразует информацию, понятную человеку в информацию, понятную компьютеру

Шина или аппаратный интерфейс

- **Набор аппаратных средства и правила обмена (протоколов), обеспечивающих взаимосвязь устройств между собой**

- Линия интерфейса – это электрический проводник (провод, линия печатного монтажа), по которому распространяется электрический сигнал.

- Одна шина может состоять из нескольких подшин, каждая из которых соответствует своему функциональному назначению (шина адреса, шина данных, шина управления и.т.д.)

Классификация интерфейсов

По способу передачи данных.

Параллельные

- Одновременная передача всех разрядов (байта, слова и др.)
- Имеет столько линий сколько одновременно передается разрядов.

Последовательные

- Последовательная передача бит данных.
- Данные передаются пакетами
- Для передачи данных требуется минимум две физические линии.

Последовательно - параллельные

- Параллельная передача пакетов по нескольким последовательным шинам.

Классификация интерфейсов

По направлению обмена:

- Симплексные – только передача или прием в одну сторону.
- Полудуплексные – передача или прием в обе стороны, но в разные моменты времени, по одной и той же линии.
- Дуплексные – передача и прием в обе стороны одновременно. Требуются две отдельные линии для передачи и приема в каждую сторону.

По способу обмена данными:

- Синхронные (данные передаются со специальными синхронизирующими сигналами)
- Асинхронные (данные передаются без синхросигналов)

Классификация интерфейсов

По способу реализации:

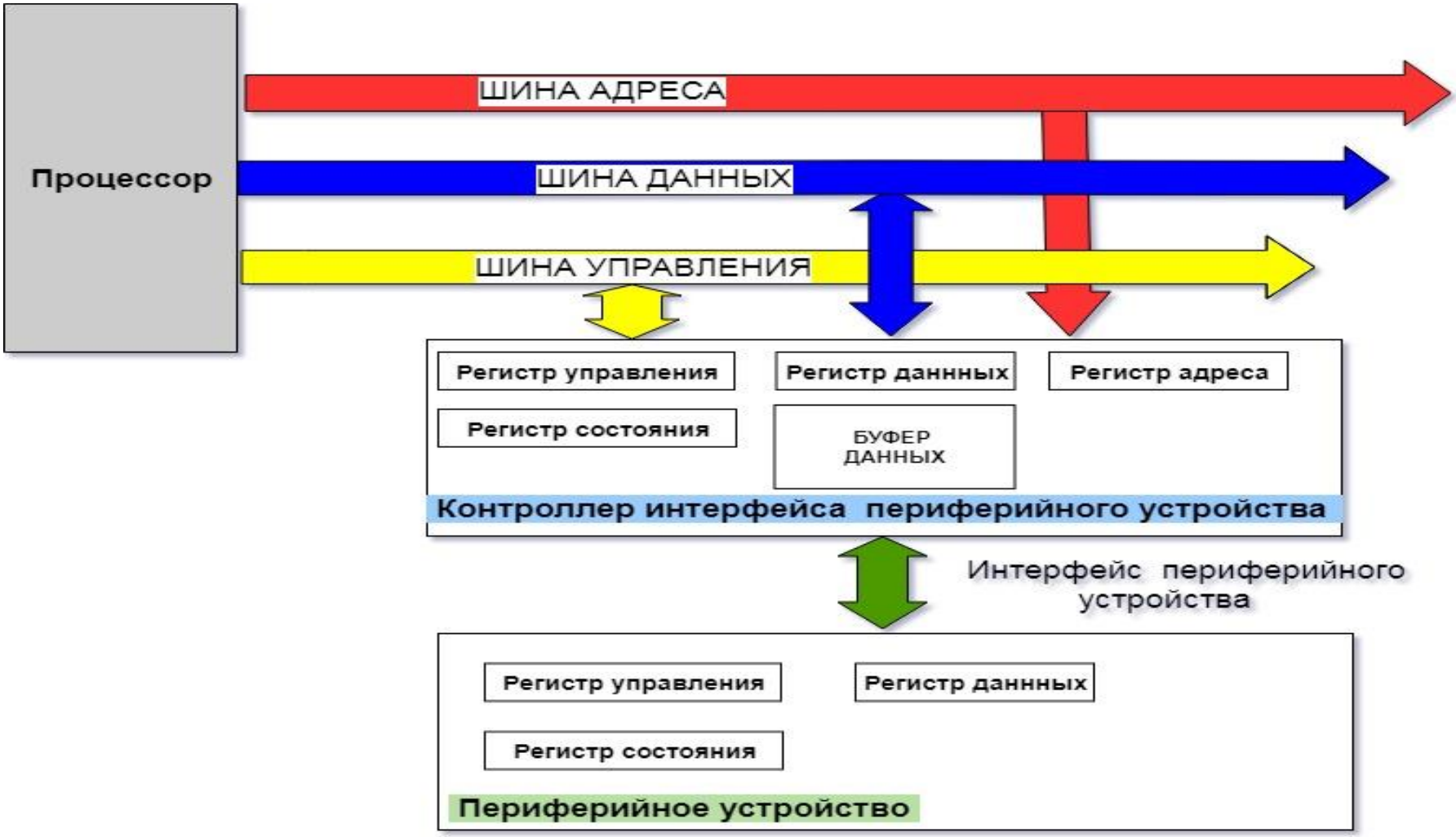
Внутренние - для связи электронных модулей внутри материнской платы:

- Системная шина - для связи процессора и памяти
- Шина ввода –вывода - для связи процессора с контроллерами интерфейсов устройств ввода вывода (ISA, PCI, PCI-Express).

Внешние – для подключения внешних устройств к контроллерам интерфейсов устройств ввода вывода

Контроллер интерфейса ввода вывода

- Промежуточное устройство, которое служит для связи интерфейса периферийного устройства с шиной ввода-вывода процессора

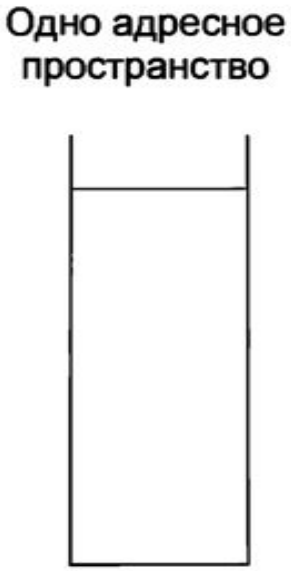


Контроллер ввода-вывода

- Содержит, как правило, группу регистров, называемых портами ввода-вывода:
  - Регистр состояния – хранит текущее состояние контроллера В/В (готов/не готов);
  - Регистр команд –хранит команды управления контроллером В/В
  - Регистр данных – для передачи или приема данных;
  - Регистр адреса – хранит базовый адрес заданный контроллеру
    - Каждый регистр имеет уникальный адрес на шине ввода вывода процессора, по которому процессор может к нему обращаться.
    - Адрес регистра состоит из суммы базового адреса назначенного контроллеру ввода вывода + смещение, которое определяет номер регистра в контроллере (30h, 31h, 32h);
- Буфер памяти
  - Временно хранит данные, принимаемые(передаваемые) периферийному устройству.
  - Служит для выравнивания скоростей работы процессора и ПУ

Адресация портов контроллеров на шине ввода - вывода

Адреса портов отображаются на адресное пространство памяти *MMIO – Memory Mapped IO*



- Каждому порту выделен уникальный адрес в общем поле памяти, который физически располагается в контроллере ввода-вывода.

Общие инструкции для обращения по адресам порта и памяти

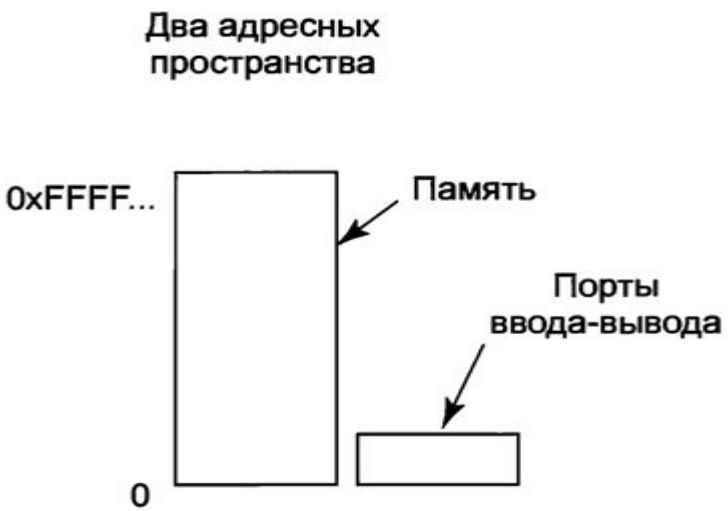
(используются команды пересылки ассемблера (MOV, LODSB,..).

Адресация портов контроллеров на шине ввода - вывода

Для адресации портов используется отдельное адресное пространство.

Для x86 составляет 64 Кбайта (16 бит)

PMIO – Port Mapped IO



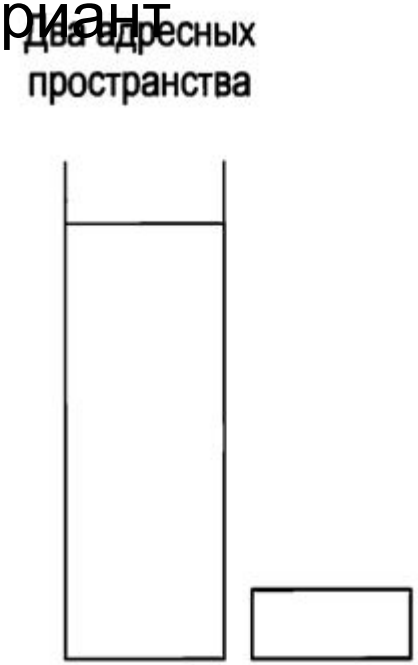
- Инструкции записи и чтения для портов и ячеек памяти разные.
- Специальные инструкции для обращения к портам :

in ACCUM, PORT;
out PORT, ACCUM;

- Менее безопасный метод

Адресация портов контроллеров на шине ввода - вывода

Гибридный вариант



- Используется в x86;
- Внутренняя память (буфер) контроллера (если имеется) , находится в адресном пространстве памяти, а адресам портов ввода вывода отводится отдельное адресное пространство.

Memory Mapped IO

Монитор ресурсов

Файл Монитор Справка

Обзор | ЦП | Память | Диск | Сеть

Процессы — Использование физической памяти: 62%

Образ	ИД п...	Ошибо...	Завер...	Рабоч...	Общи...	Частн...
firefox.exe	2704	0	329 076	426 020	138 364	287 656
firefox.exe	2768	0	187 500	242 464	89 768	152 696
svchost.exe (LocalSystemNet...	364	0	153 884	158 624	11 012	147 612
firefox.exe	4312	0	153 328	214 164	92 736	121 428
FoxitReader.exe	4356	0	114 044	134 112	28 956	105 156
firefox.exe	6004	0	135 676	187 340	83 364	103 976
firefox.exe	5664	0	130 220	181 956	83 904	98 052
POWERPNT.EXE	3836	0	90 264	131 076	54 772	76 304
WINWORD.EXE	376	0	54 396	107 980	63 808	44 172

Физическая память — Используется: 3468 МБ — Доступно: 2087 МБ

Зарезервированное оборудование 557 мегабайт

Используется 3468 мегабайт

Изменено 32 мегабайт

Ожидание 2024 мегабайт

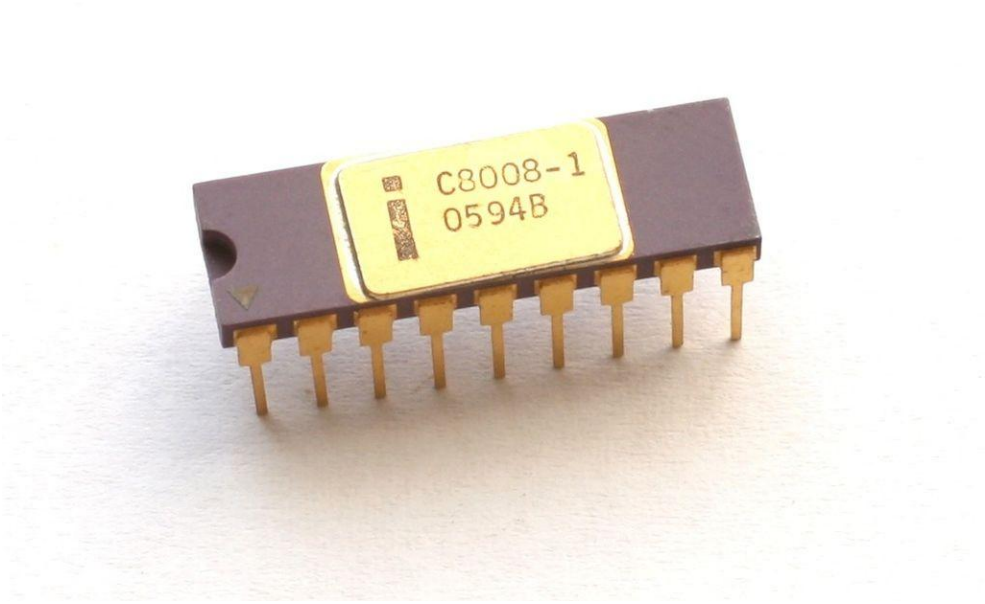
Свободно 63 мегабайт

Доступно	2087 мегабайт
Кэшировано	2056 мегабайт
Всего	5587 мегабайт
Установлено	6144 мегабайт

ОРГАНИЗАЦИЯ ВВОДА - ВЫВОДА В АРХИТЕКТУРЕ X8086

Intel 8008

- **Intel 8008** (***апрель 1972***)
  - первый 8-битный процессор, для продвинутых калькуляторов, терминалов ввода-вывода;
  - Тактовая частота процессора – 500 – 800 Кгц

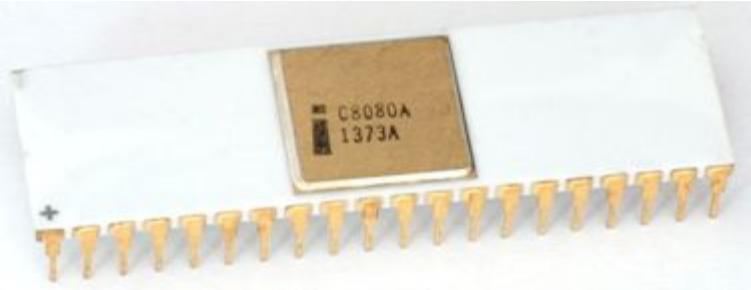


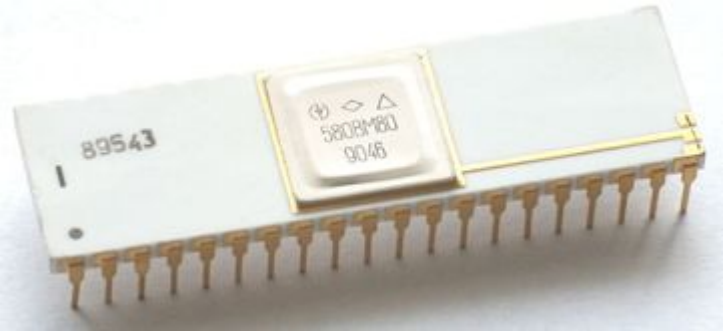
Intel 8080

- **Intel 8080 (*апрель 1974 года*)** — 8-битный микропроцессор
  - Количество регистров: 7
  - Разрядность регистров: 8 бит
  - Разрядность шины данных: 8 бит
  - Разрядность шины адреса: 16 бит
  - Объём адресуемой памяти: 64 Кбайт
  - Количество инструкций: 80
  - Количество транзисторов 4758
  - Тактовая частота 2 – 4Мгц

  - Altair-8800.

- Отечественный аналог – микропроцессорный комплект серии 580ВМ80





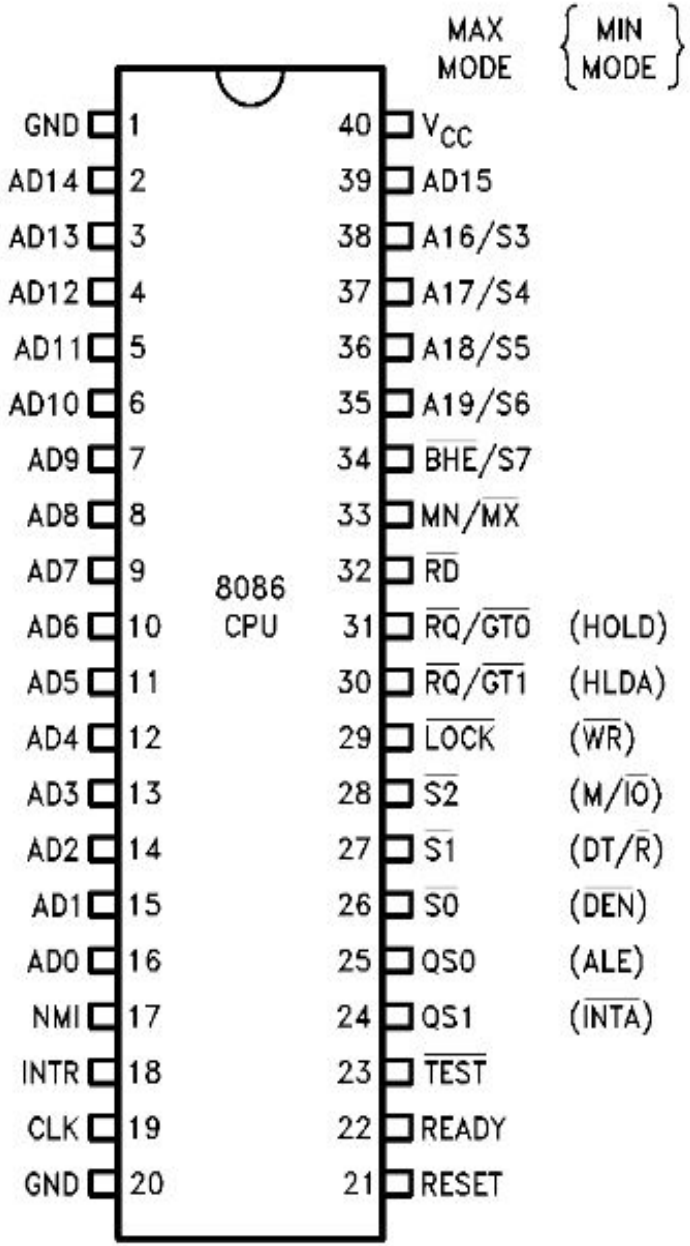
Микропроцессорный комплект

- К процессору i8080 компанией Intel был выпущен микропроцессорный комплект поддержки в составе:
  - 8259 — контроллер прерываний;
  - 8257 — контроллер прямого доступа в память;
  - 8253 — 3-канальный таймер/счётчик;
  - 8251 — микросхема последовательного интерфейса;
  - 8255 — микросхема трёхканального параллельного интерфейса;
  - 8271 — контроллер накопителя на гибких магнитных дисках;
  - 8275 — контроллер монитора;
  - 8355 — микросхема интерфейса с периферией (с 16 Кбайт ПЗУ).
  - 8216/8226 — шинные формирователи с большой нагрузочной способностью;
  - 8224 — тактовый генератор;
  - 8232 — процессор чисел с плавающей запятой (*позднее был заменен на сопроцессор Intel 8087*);

Intel 8086

- **Intel 8086 (*июнь 1978*)**
  - Количество регистров: 14
  - Разрядность регистров: 16 бит
  - Разрядность шины данных: 16 бит
  - Разрядность шины адреса: 20 бит
  - Объём адресуемой памяти: 1 Мбайт
  - Адресное пространство I/O: 64 Кбайт
  - Количество инструкций: 98
  - Кэш-буфер команд: 6 байт
  - Количество транзисторов: 29 000

8

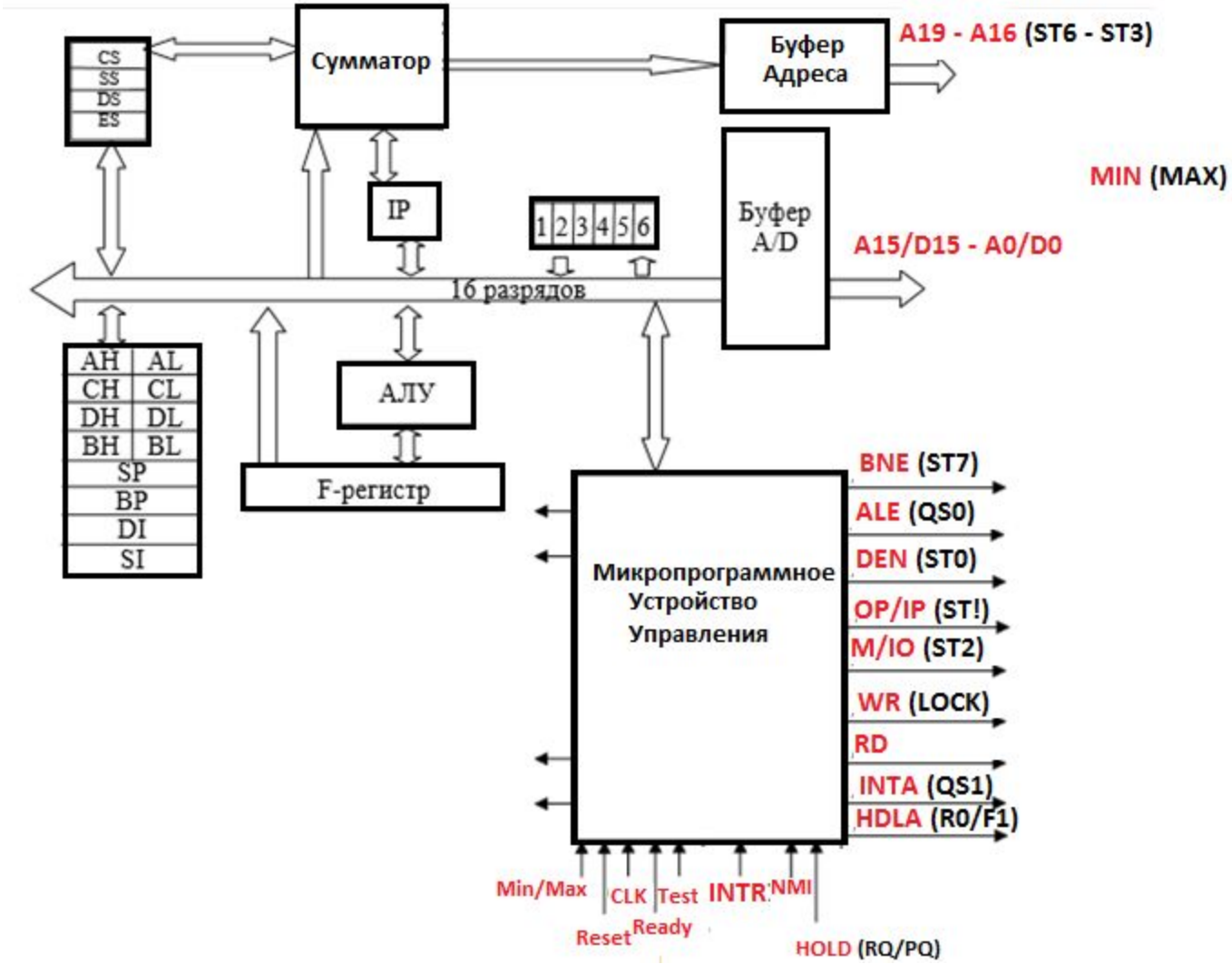

MAX MODE
MIN MODE
8086 CPU
GND 1
AD14 2
AD13 3
AD12 4
AD11 5
AD10 6
AD9 7
AD8 8
AD7 9
AD6 10
AD5 11
AD4 12
AD3 13
AD2 14
AD1 15
AD0 16
NMI 17
INTR 18
CLK 19
GND 20
40 VCC
39 AD15
38 A16/S3
37 A17/S4
36 A18/S5
35 A19/S6
34 BHE/S7
33 MN/MX
32 RD
31 RQ/GT0 (HOLD)
30 RQ/GT1 (HLDA)
29 LOCK (WR)
28 S2 (M/IO)
27 S1 (DT/R)
26 S0 (DEN)
25 QS0 (ALE)
24 QS1 (INTA)
23 TEST
22 READY
21 RESET

iD8086-2
iL5510481
©INTEL '78 '84

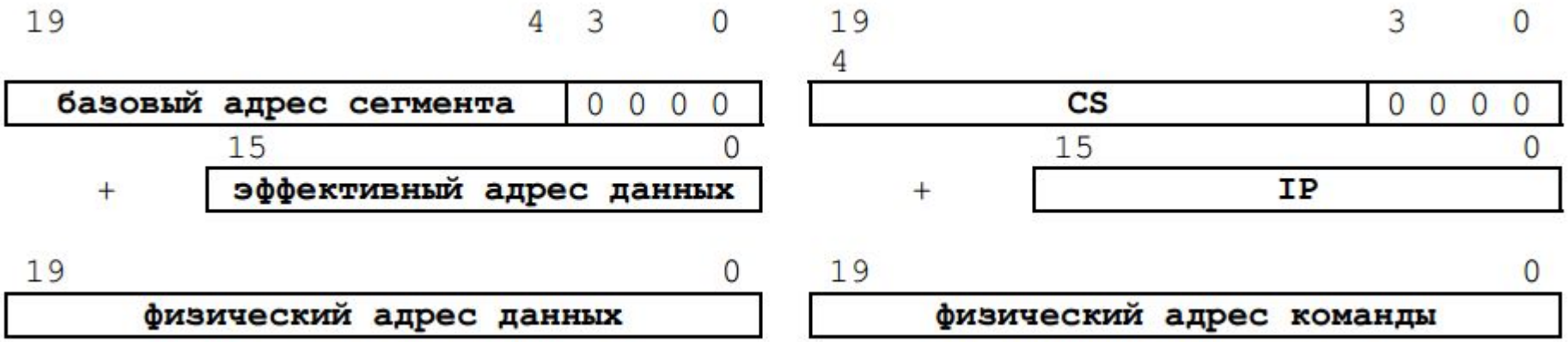
Intel 8088

- **Intel 8088** (**июль 1979**)
  - Количество регистров: 14
  - Разрядность регистров: 16 бит
  - Разрядность шины данных: **8** бит
  - Разрядность шины адреса: 20 бит
  - Объём адресуемой памяти: 1 Мбайт
  - Адресное пространство I/O: 64 Кбайт
  - Количество инструкций: 98
  - Тактовая частота 5 -10 Мгц.

Структурная схема i8086



Формирование физического адреса команд и данных (реальный режим)

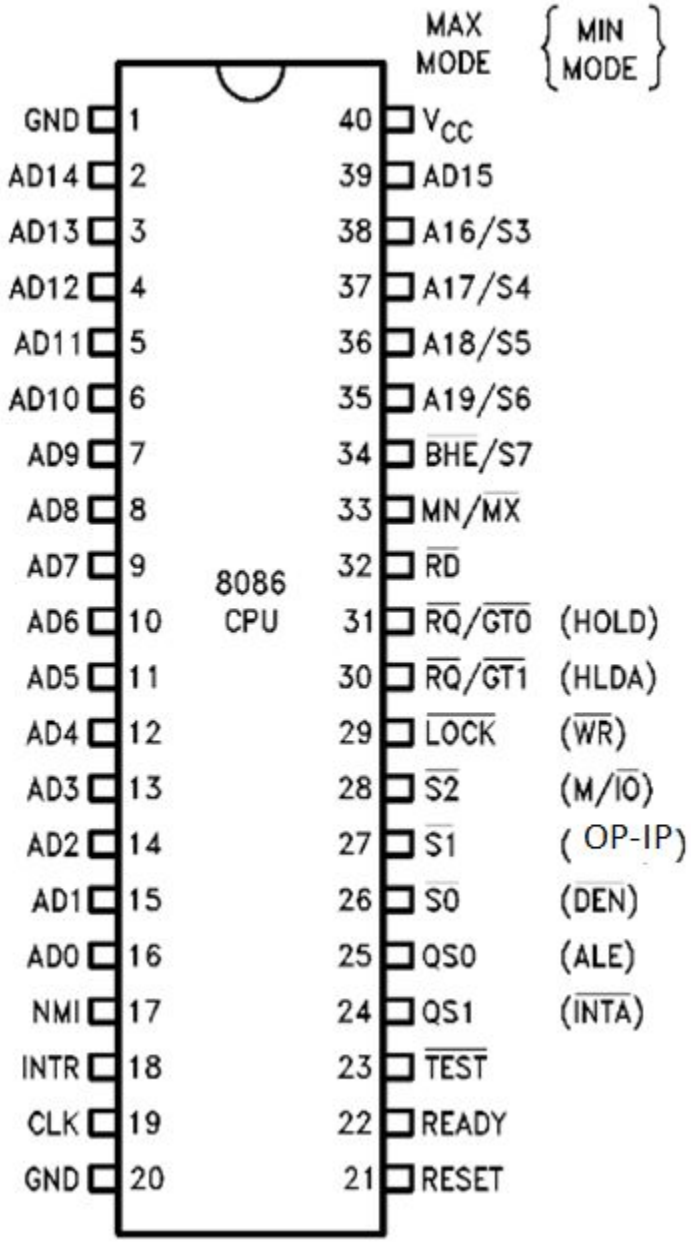


- Физический адрес = сдвинутое на 4 разряда значение сегментного регистра + смещение;
- Внутренняя шина и регистры - 16 бит
- Внешняя шина адреса памяти - 20 бит

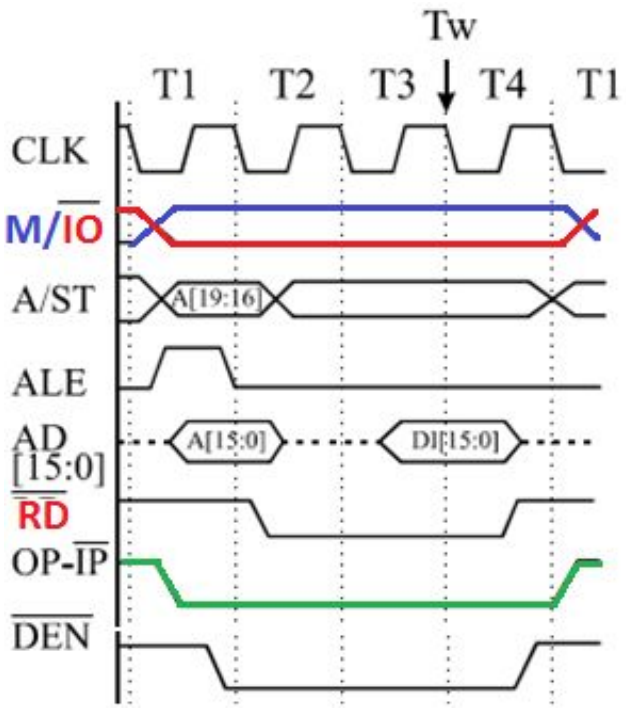
Назначение выводов x8086

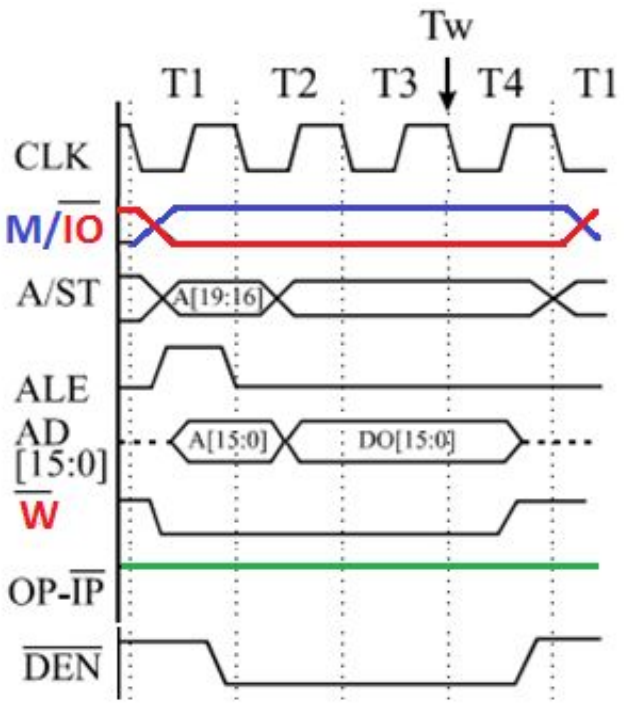
Назначение сигналов на выводах микропроцессора

Обозначение вывода	Вход/выход	Назначение вывода
AD15–AD0	Вх/вых	Мультиплексированная ША/Д
A16/S_3–A19/S_6	Вых	Линии адреса или состояния
BHE#/S_7	Вых	Разрешение старшего байта шины
RD#	Вых	Управление чтением
WR#	Вых	Управление записью
M/IO#	Вых	Выбор памяти или ВУ
ALE	Вых	Разрешение фиксации адреса
OP-IP#	Вых	**Направление передачи данных**
DEN#	Вых	Разрешение пересылки данных
MN/MX#	Вх	Установка режима
TEST#	Вх	Сигнал окончания режима ожидания
HOLD	Вх	Запрос захвата шины
HLDA	Вых	Подтверждение захвата
INTR	Вх	Запрос прерывания
NMI	Вх	Запрос немаскируемого прерывания
INTA#	Вых	Подтверждение прерывания
READY	Вх	Готовность памяти или ВУ
RESET	Вх	Сброс (начальная установка)
CLK	Вх	Такты ГТИ
GND, +5В	Вх	Общий (земля), питание

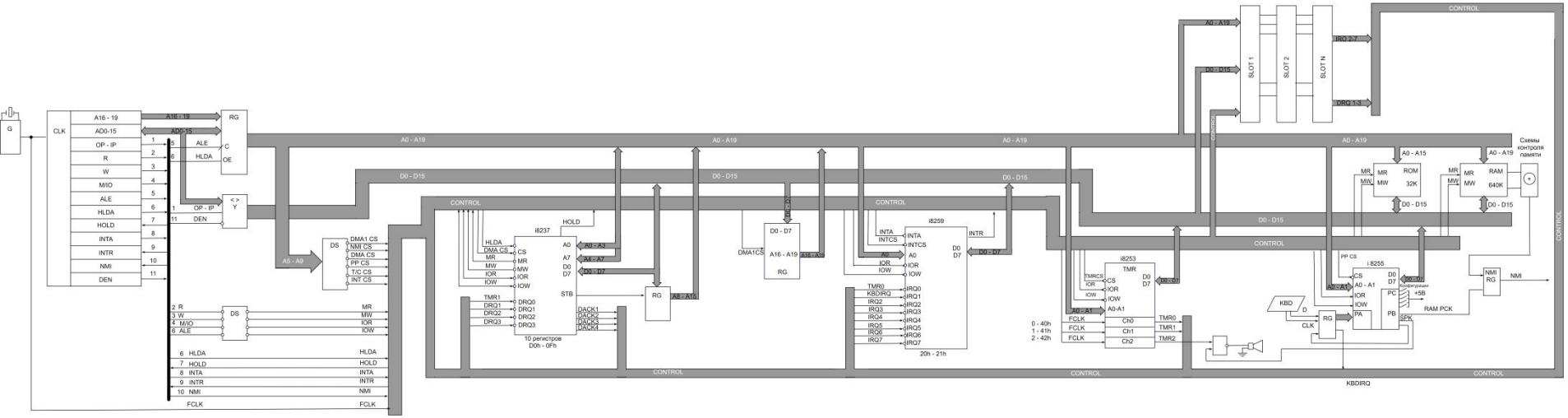


Машинный цикл процессора (чтение/запись)

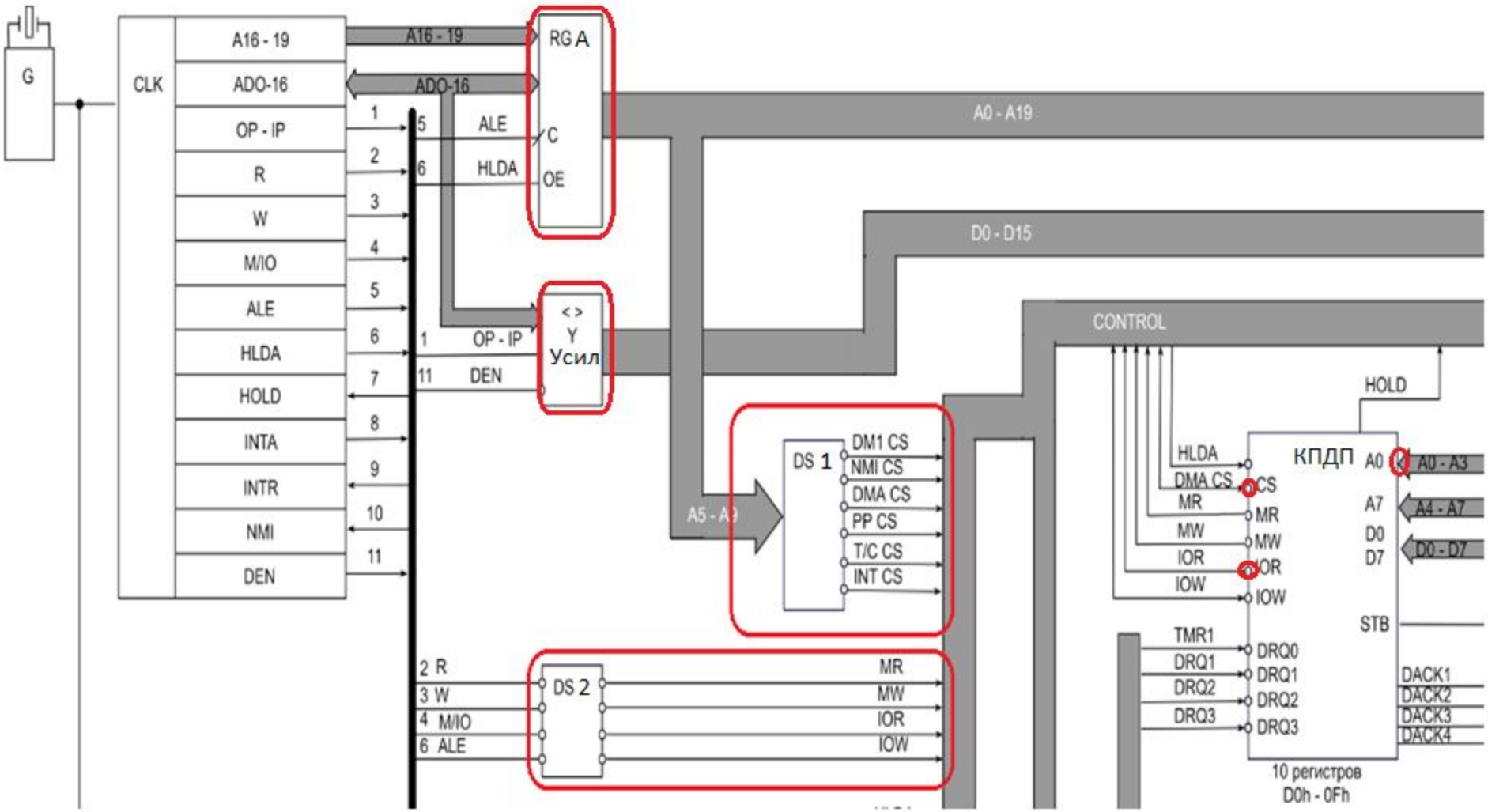




- Машинный цикл чтения / записи занимает четыре такта генератора
- Частота тактового генератора 2-6 МГЦ


G
CLK
A16 - 19
AD0-15
OP - IP
R
W
M/IO
ALE
HLDA
HOLD
INTA
INTR
NMI
DEN
RG
C
OE
ALE
HLDA
OP - IP
DEN
A0 - A19
D0 - D15
CONTROL
A5 - A9
DS
DMA1 CS
NMI CS
DMA CS
PP CS
T/C CS
INT CS
MR
MW
IOR
IOW
FCLK
i8237
HOLD
A0
A7
D0
D7
STB
CS
DRQ0
DRQ1
DRQ2
DRQ3
DACK1
DACK2
DACK3
DACK4
10 регистров
D0h - 0Fh
A0 - A3
A4 - A7
D0 - D7
A16 - A19
DMA1CS
D0 - D7
A16 - A19
RG
i8259
INTA
INTCS
A0
IOR
IOW
D0
D7
INTR
TMR0
KBDIRQ
IRQ2
IRQ3
IRQ4
IRQ5
IRQ6
IRQ7
20h - 21h
i8253
TMR
TMRCS
CS
Ch0
Ch1
Ch2
TMR0
TMR1
TMR2
0 - 40h
1 - 41h
2 - 42h
SLOT 1
SLOT 2
SLOT N
IRQ 2-7
DRQ 1-3
ROM
32K
RAM
640K
Схемы контроля памяти
i 8255
PP CS
PA
PB
PC
SPK
RAM PCK
KBD
CLK
NMI
NMI RG
KBDIRQ

Структурная схема IBM PC XT

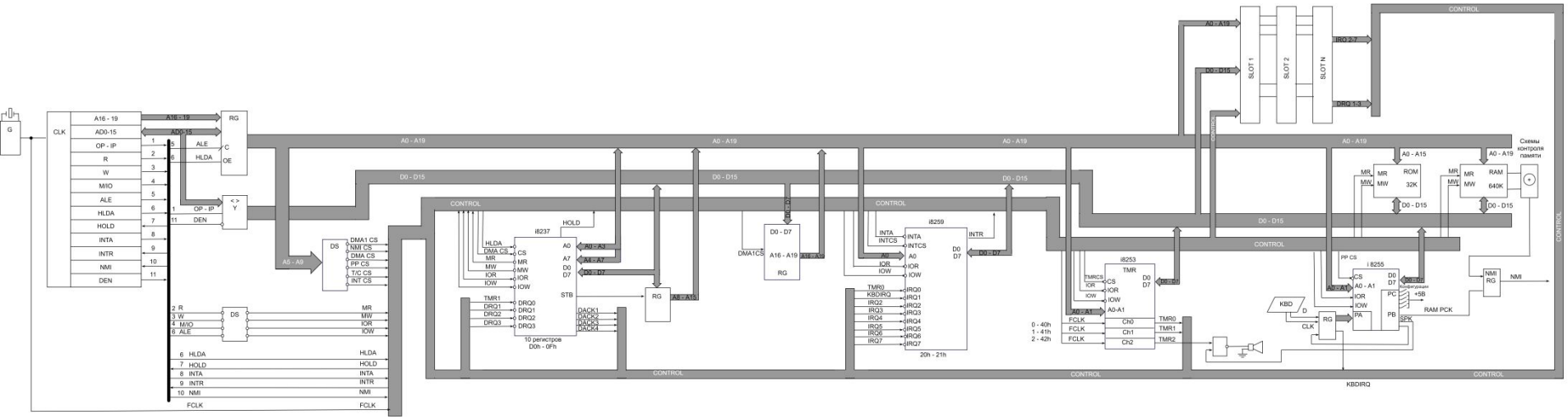


Сигнал CS =0 переводит выходы соответствующего контроллера из третьего

Схема включения процессора

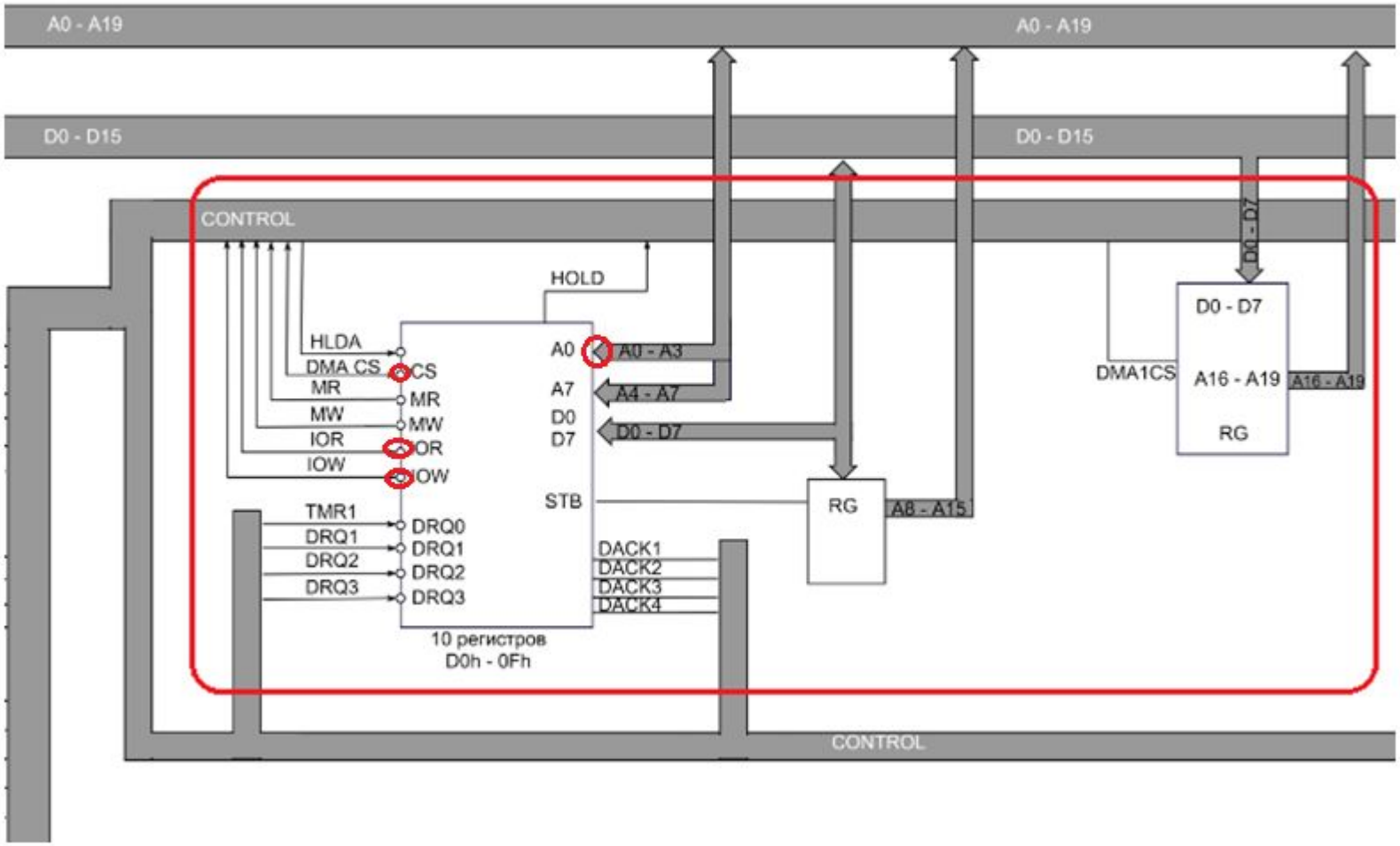
- **RGA – регистр адреса**
  - Служит для хранения адреса памяти или порта В/В на ША в течение времени обращения процессора по данному адресу.
- **Усилитель**
  - служит для выбора направления передачи данных от процессора или к процессору и усиления сигналов данных на **ШД**
- **DS1**
  - дешифрирует разряды **A5-A9** адреса для выбора контроллера В/В (базовый адрес). Выходы дешифратора в виде сигналов CS (Chip Select) подаются на аналогичные входы контроллеров ввода-вывода.
  - Смещение относительно базового адреса задается разрядами **A0-A4** адреса, поступающими на адресные входы выбранных контроллеров.
- **DS2**
  - дешифрирует сигналы **R, W, M/IO** процессора в сигналы на **ШУ MR, MW, RIO, WIO** для записи/чтения ячейки памяти или выбранного сигналом CS регистра контроллера ввода-вывода

Обобщенная схема

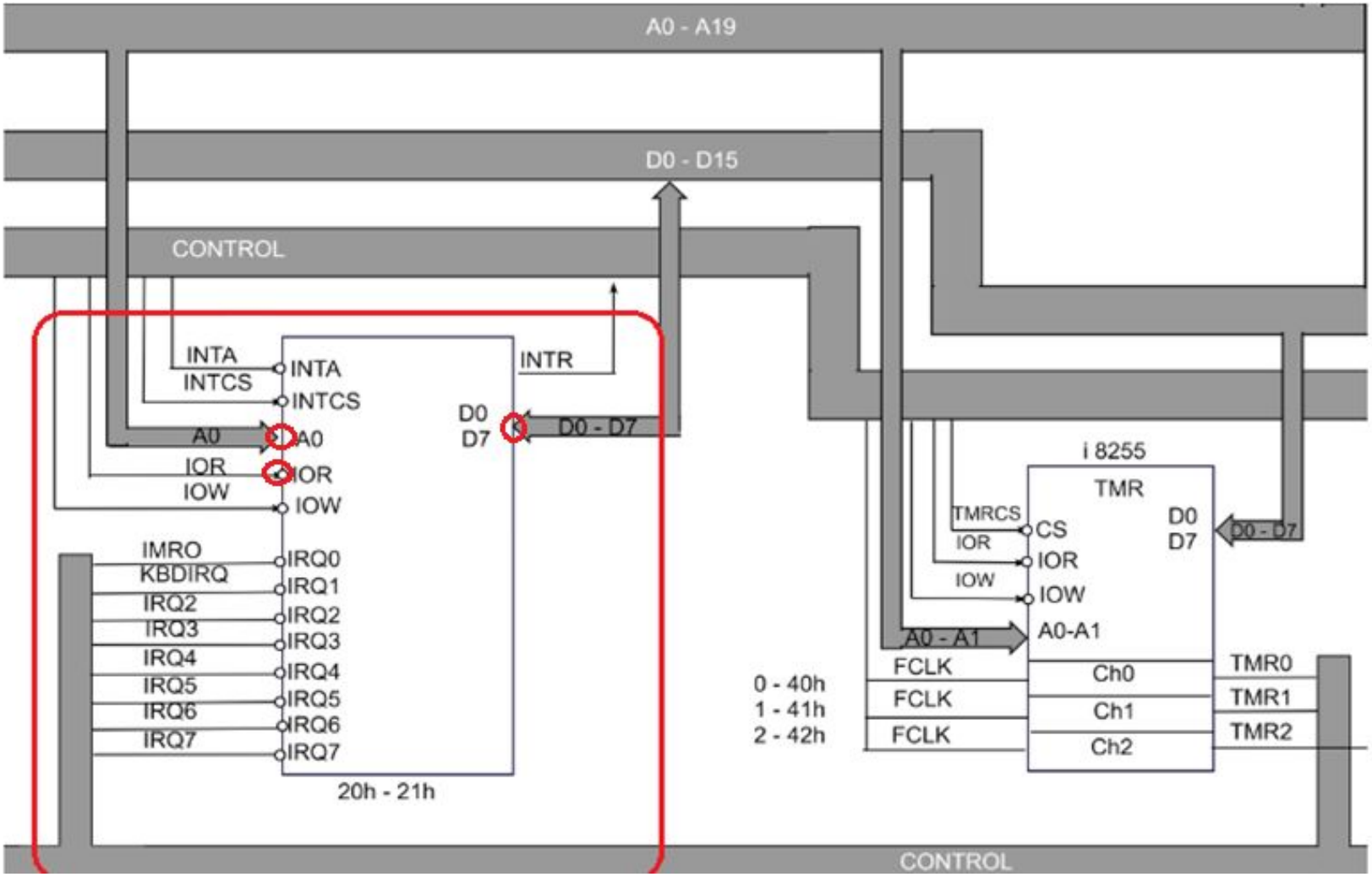


Контроллер прямого доступа к памяти КПДП

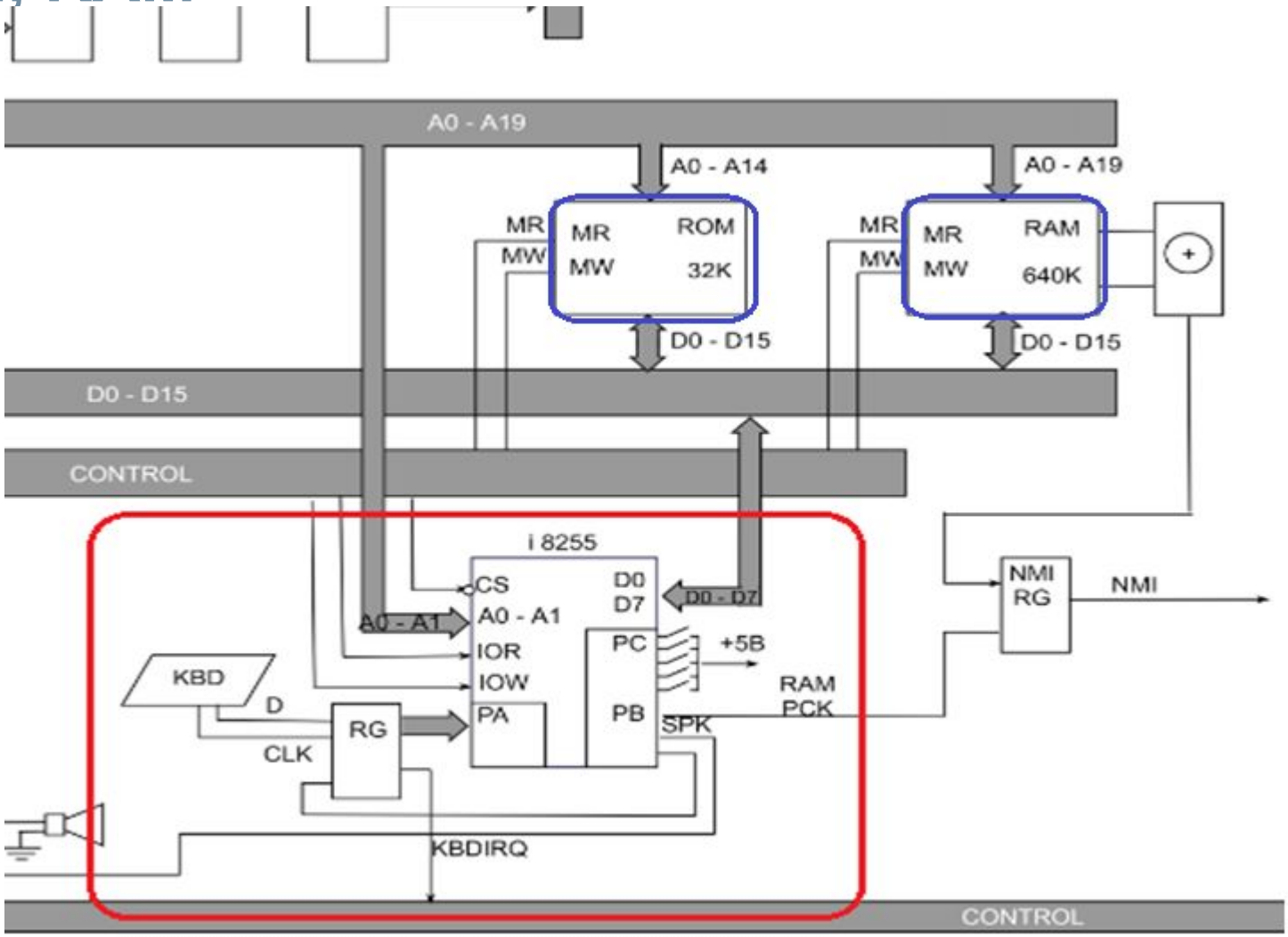
запись в регистры



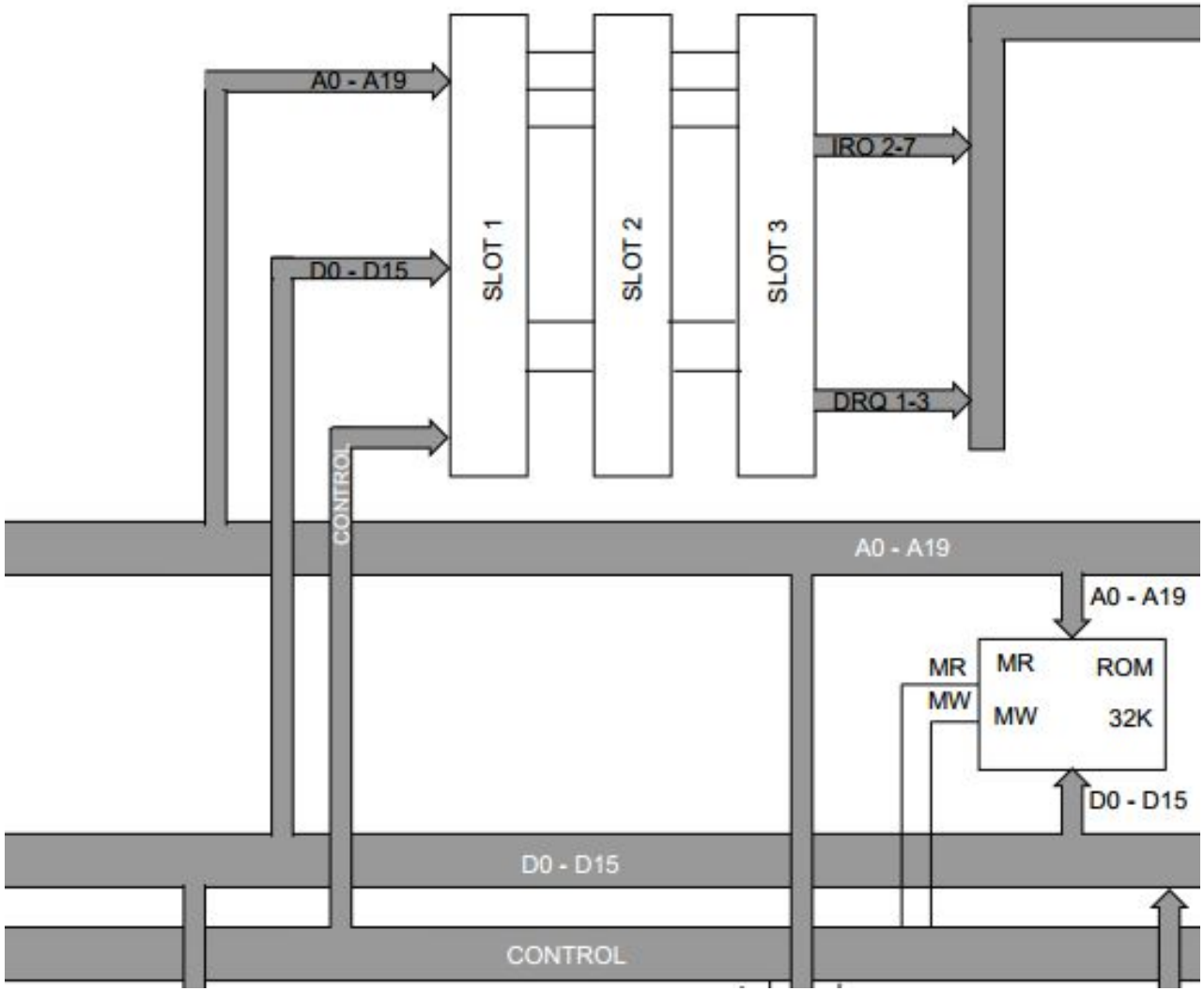
Контроллер прерываний и трехканальный таймер



Программируемы параллельный интерфейс ROM, RAM



Слоты расширения



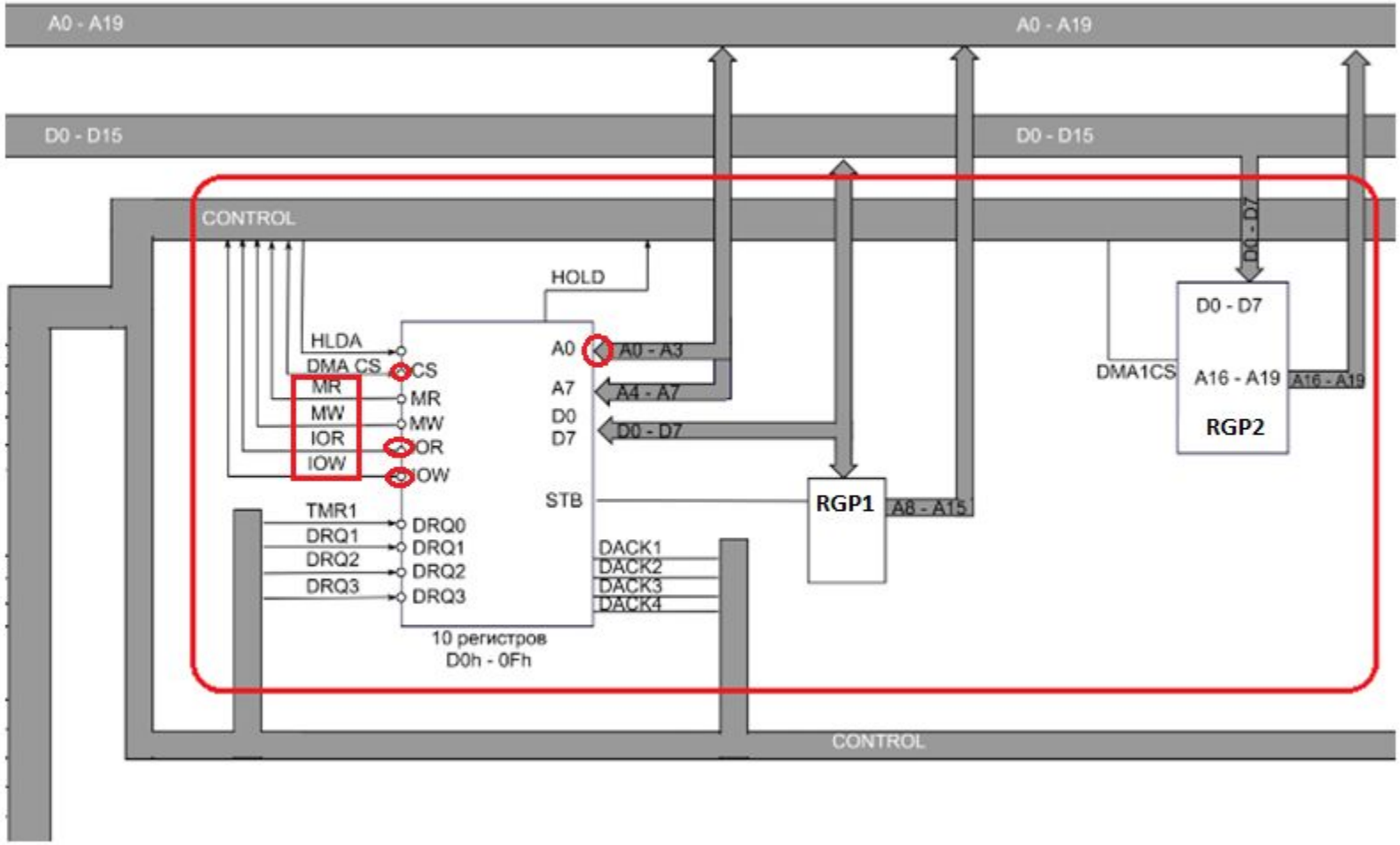
Контроллер прямого доступа

- Контроллер прямого доступа к памяти (DMA - Direct Memory Access) обеспечивает высокоскоростной обмен данными между контроллером ввода-вывода и ОЗУ без участия центрального процессора.

- Позволяет освободить процессор для выполнения вычислений параллельно с обменом.

- Функции контроллера ПДП выполняла микросхема i8237A

Контроллер ПДП

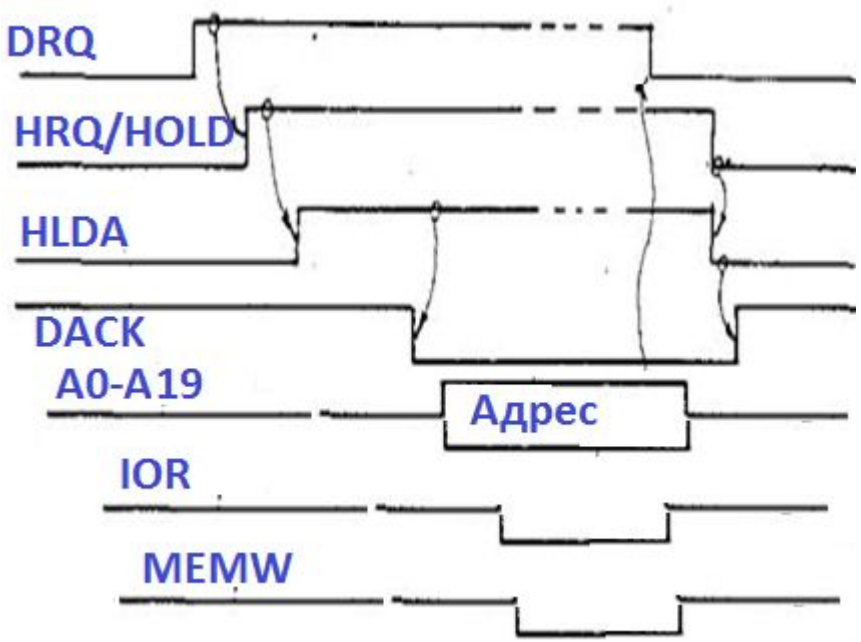


- Регистры RGP1 и RGP2 служат для расширения адреса до 20 бит.

Основные сигналы

- DRQ – запрос от устройства к КПДП на ПДП
- HOLD – запрос от КПДП к процессору на захват шины
- HLDA – ответ процессора КПДП и отключение от шины
- DACK – захват шины КПДП и разрешение устройству ПДП
- A0-A7, A9-A15 - адрес выставляемый КПДП
- IOR,IOW,MR,MW – запись чтение устройства и памяти.
- D0-D7 – данные
- DMA CS – сигнал CS от выбор

Диаграмма работы



Контроллер может работать в режиме передачи блока данных
и в режиме одиночной передачи.

**Контроллер ПДП может быть выполнен в виде отдельного устройства (системный КПДП) или в виде внутреннего устройства соответствуюещего контроллера ввода вывода (*контроллера HDD, USB и*

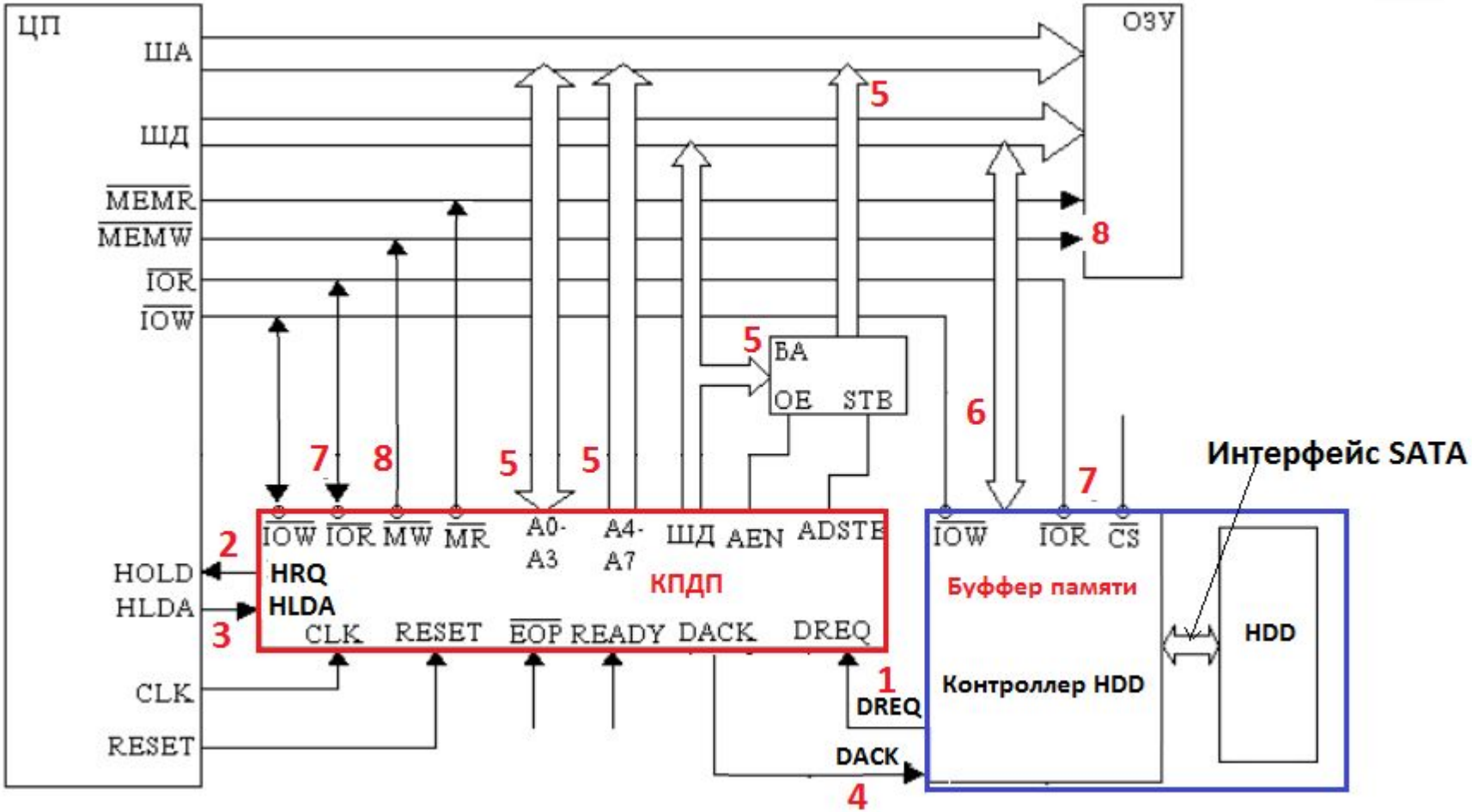
Внутренние регистры

- Адреса регистров в диапазоне 00h – 0Fh

Режимы W-запись R-чтение	Число бит	Адреса DMA1 (h)	Назначение регистров (портов)
W	8	08	Регистр управления (команд)
R	8	08	Регистр состояния
W	8	0B	Регистр режима
W	4	0A	Регистр одиночны масок
W	4	0F	Регистр масок
W	4	09	Регистр запросов
W	*	0E	Сброс регистра маски
W	*	0C	Сброс триггера первый/последний (Тп/п)
*	*	*	
R	8	0D	Регистр данных
R/W	16	00	Регистр текущего адреса канала0/канала4

Последовательность передачи при ПДП

на примере контроллера HDD



Инициализация контроллера DMA

Процессор «знает» с какой областью памяти работает внешнее устройство (начальный адрес области памяти и количество передаваемых байт)

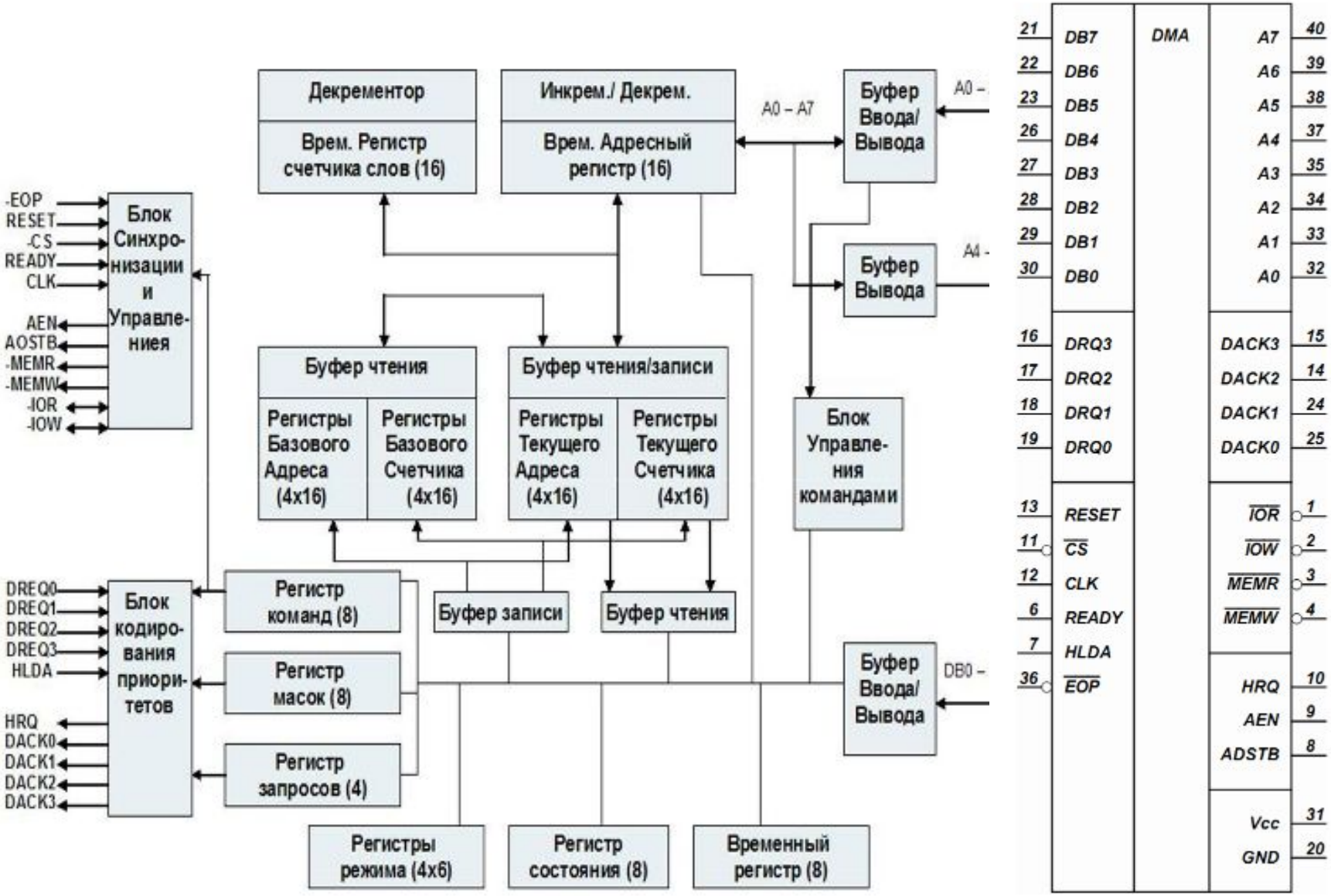
При инициализации КПДП задается :

- начальный адрес оперативной памяти для обмена;
- число передаваемых байт;
- направление обмена, а также устанавливаются требуемые режимы работы *(одиночная или блочная передача и т. д.)*.

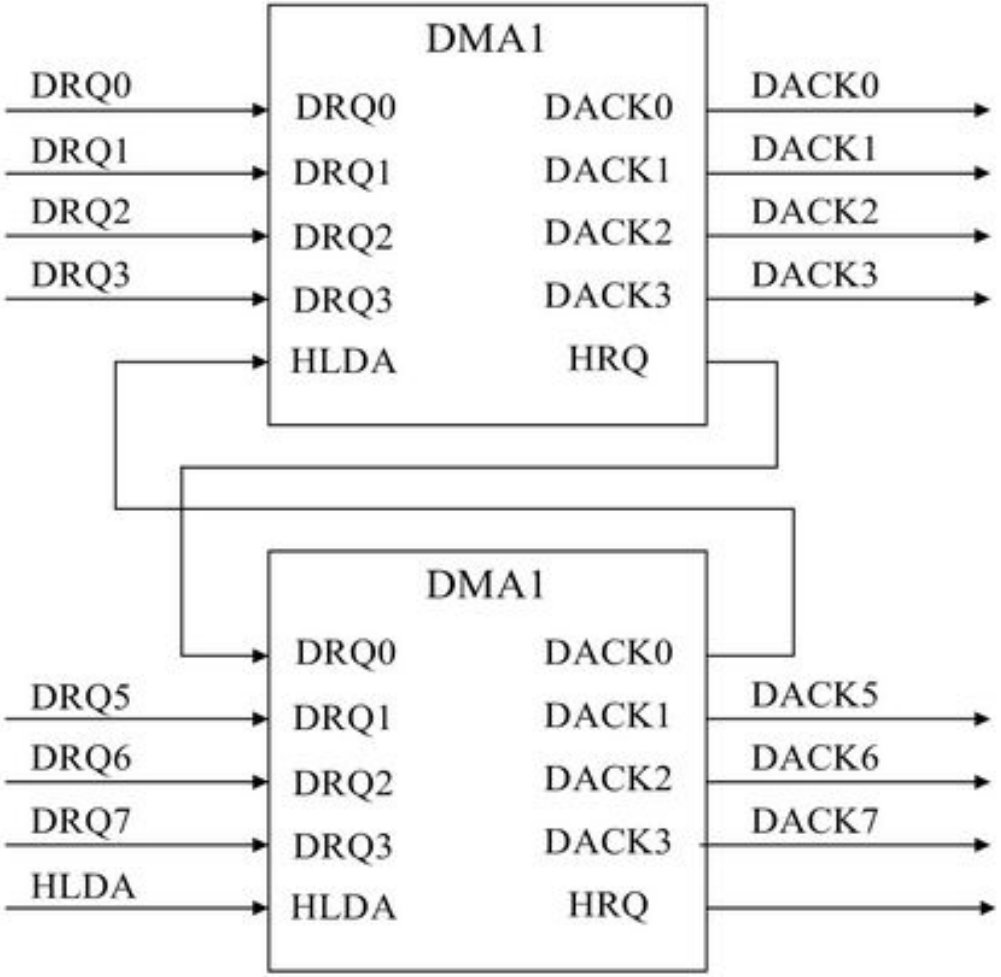
Последовательность операций при ПДП

- 1. Инициализация контроллера
- 2. Принять Запрос (DREQ) на ПДП от контроллера HDD к контроллеру ПДП
- 3. Выставить запрос (HRQ) от контроллера ПДП к процессору на захват шины
- 4. Ответ процессора (HLDA) контроллеру ПДП (процессор переводит свои выводы в третье состояние и отключается от ША, ШД, ШУ)
- 5. Контроллер ПДП берет на себя управление шинами и выставляет адрес памяти на шину адреса и передает сигнал ответа DACK N в контроллер HDD
- 6. Контроллер ПДП последовательно вырабатывает сигналы IOR и MEMW при записи в память и IOW и MEMR при чтении памяти. Байт данных переписывается напрямую из буфера КВВ HDD в ОП.
- 7. Пункты 5-6 повторяются пока не будут переданы все данные, количество которых задано в КПДП.
- 8. Контролер ПДП вырабатывает запрос на прерывание по окончании передачи

Внутренняя структура



Каскадирование контроллеров ПДП

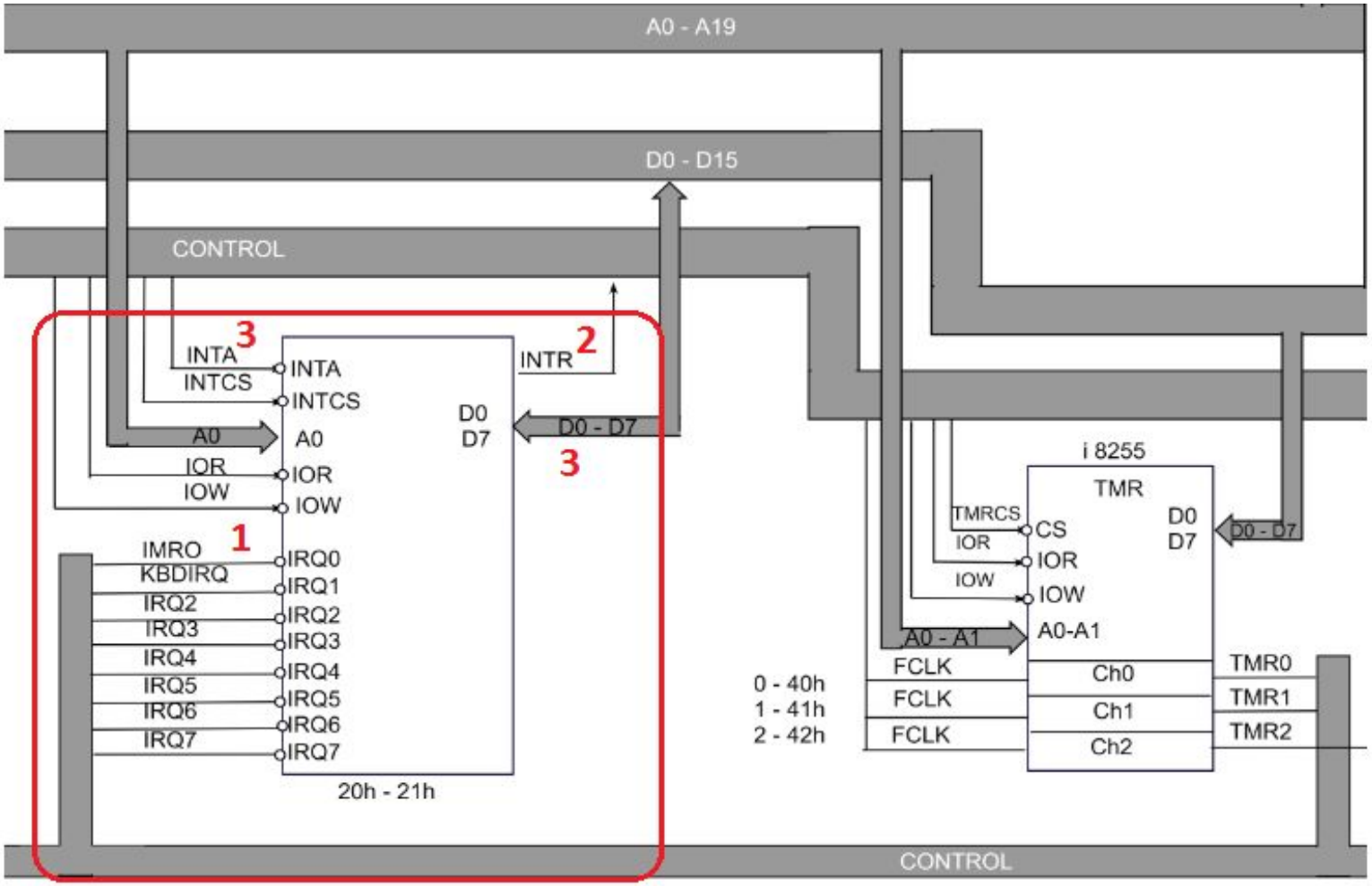


Каналы ПДП для PC XT

Каналы	Назначение
K0	для PC/XT регенерация памяти
K1	Резерв
K2	Работа с контроллером НГМД
K3	Резерв или для некоторых типов ПК работа с жестким диском

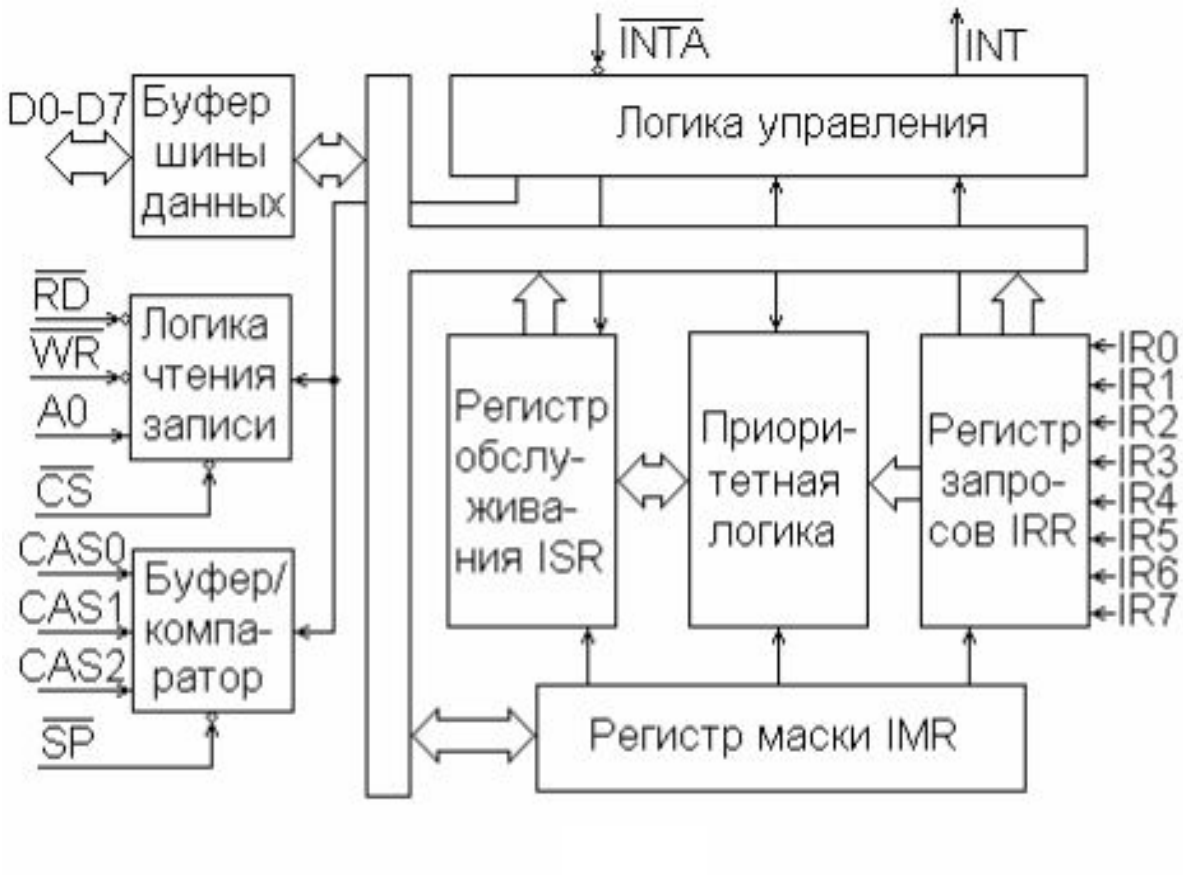
В PC XT на нулевой канал КПДП каждые 15 мкс подается сигнал от первого канала таймера, по которому КПДП совершает «перебор» ячеек ОП для регенерации их содержимого.

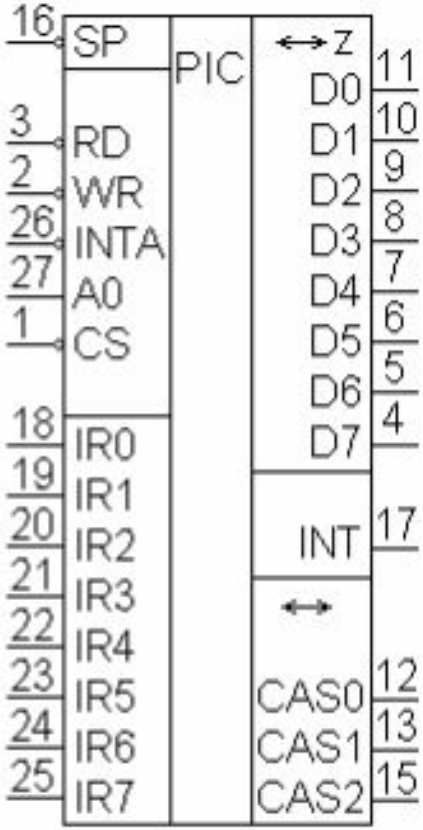
Контроллер прерываний i8259



IRQ0-IRQ7 входы запросов на прерывание
INTCS – выбор чипа контроллера прерываний от дешифратора базового адреса
INT – запрос на прерывание к процессору
INTA – ответ процессора
A0 – выбор внутренних регистров, RD/WR – запись/чтение
D0-D7 шина данных,

Контроллер прерываний i8259





Внутренние регистры

- **Регистр запросов IRR (Interrupt request register)** – запоминает все запросы на входе IRQ.
- **Регистр состояния ISR (Interrupt Status Register)** – задает приоритет обработки прерываний

- **Регистр маскирования IMR (Interrupt Mask Register)** – запрещает отдельные прерывания
- Адреса регистров
- ISR: 20H
  IMR:21H
- Обращение к IRR с помощью специальных управляющих слов

Временная диаграмма

Порядок операций при прерывании

- 1. Инициализация контроллера
- 2. Контроллер устройства В/В вырабатывает сигнал запроса на прерывание, который поступает на входы IRQ0-IRQ7 КПР
- 3. КПР вырабатывает сигнал запроса на прерывание INTR процессору, который поступает на соответствующий вход процессора
- 4. Процессор в ответ вырабатывает два раз сигнал подтверждения прерывания INT A контроллеру В/В.
  - Первый раз биты запроса на прерывание фиксируется в регистре запросов IRR.
  - Второй раз номер прерывания (вектора) по шине данных считывается в процессор, разрешая запись новых запросов прерываний IRR.
- 5. В процессоре номер вектора умножается на 4 (сдвигается влево на два бита) и получается адрес в таблице векторов прерываний, по которому хранится адрес начала обработчика прерываний.

Приоритеты прерываний

- **IRQ# Номер вектора Устройство**

0	**08h**	**Системный таймер**
1	**09h**	**Клавиатура**
2	**0Ah**	**Зарезервировано(2-ой 8259)**
3	**0Bh**	**Последовательный порт(COM1)**
4	**0Ch**	**Последовательный порт(COM2)**
5	**0Dh**	**Жесткий диск**
6	**0Eh**	**Дисковод**
7	**0Fh**	**Принтер(LPT1)**

- В реальном режиме для обработки прерываний IRQ0-IRQ7 используются номера прерываний от 08h до 0Fh.

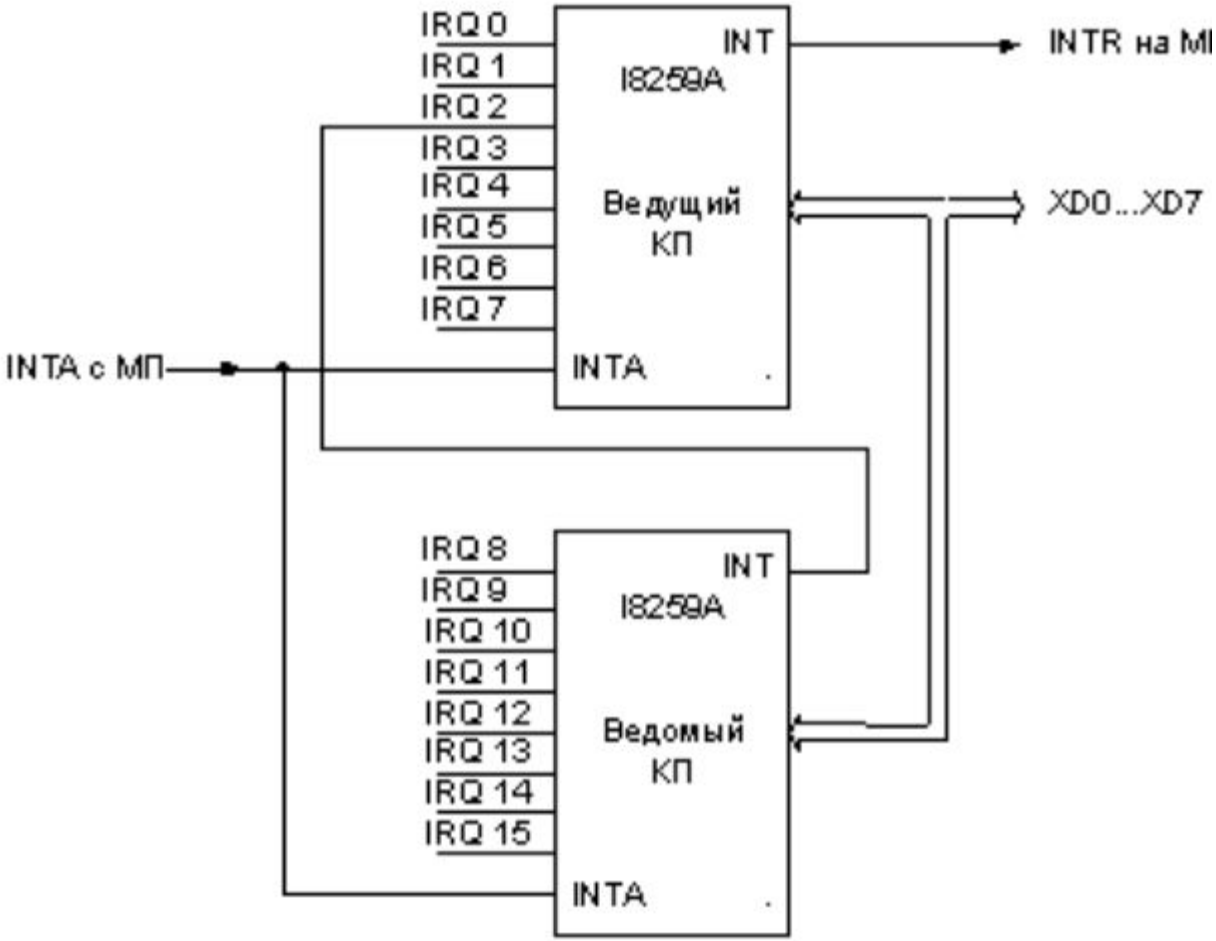
- Немаскируемые прерывания (HMI)
- 1) От сопроцессора
- 2) Ошибки паритета памяти
- 3) От контролеров внешних устройств, размещенных в слотах расширения

Инициализация контроллера

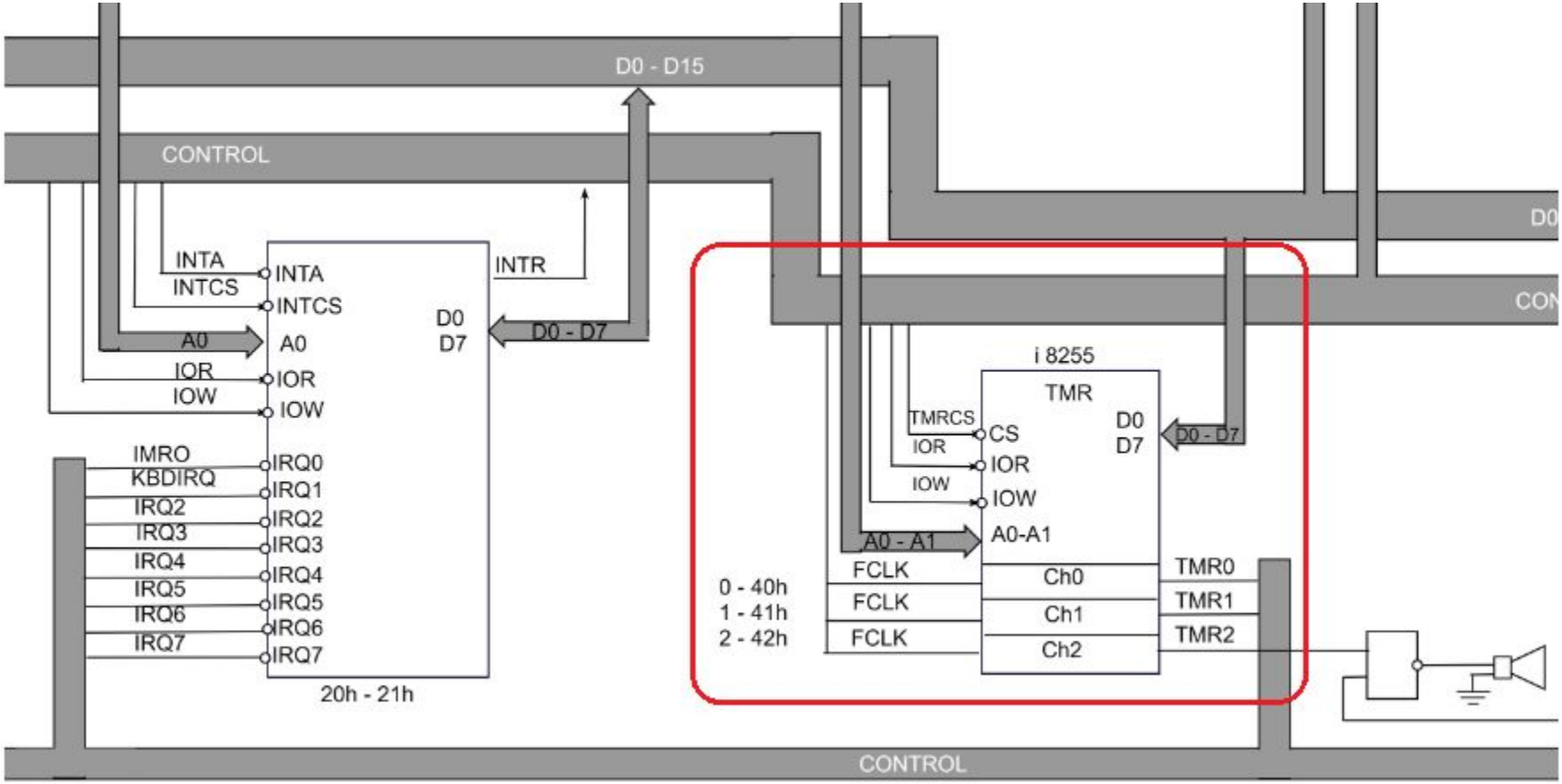
- Программирование i8259 осуществляется двумя типами управляющих слов:
- Командные слова инициализации ICW (Initialization Command Word) ICW1-ICW3 загружаются перед началом работы и устанавливают режим работы контроллера:
  - Количество каскадно-соединенных контроллеров
  - Тип процессора
  - Начальный вектор блока векторов прерываний (для диапазона 08h – 0Fh загружается 08h)
  - И др.

- Командные слова операций OCW (Operation Command Word). Для оперативного управления работой контроллера.
  - Управление приоритетом прерываний
  - Управление логикой контроллера (например, чтение и сброс битов регистра IRR)

Каскадирование контроллеров



Трехканальный таймер



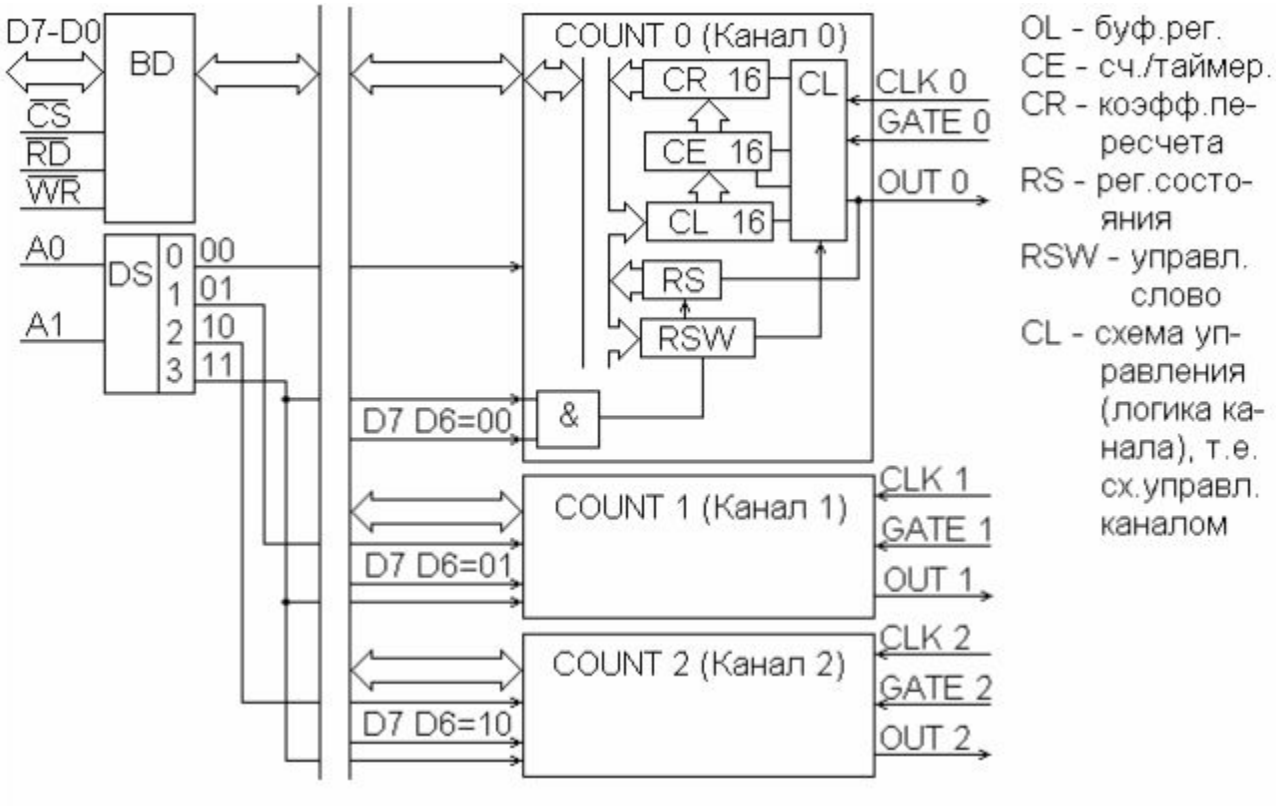
040h - нулевой канал

041h – первый канал

042h - второй канал

043h – для задания режимов работы каналов таймера.

Таймер i8253



Каждый канал представляет собой независимый счетчик с программно-управляемым коэффициентом пересчета, который может работать в шести режимах

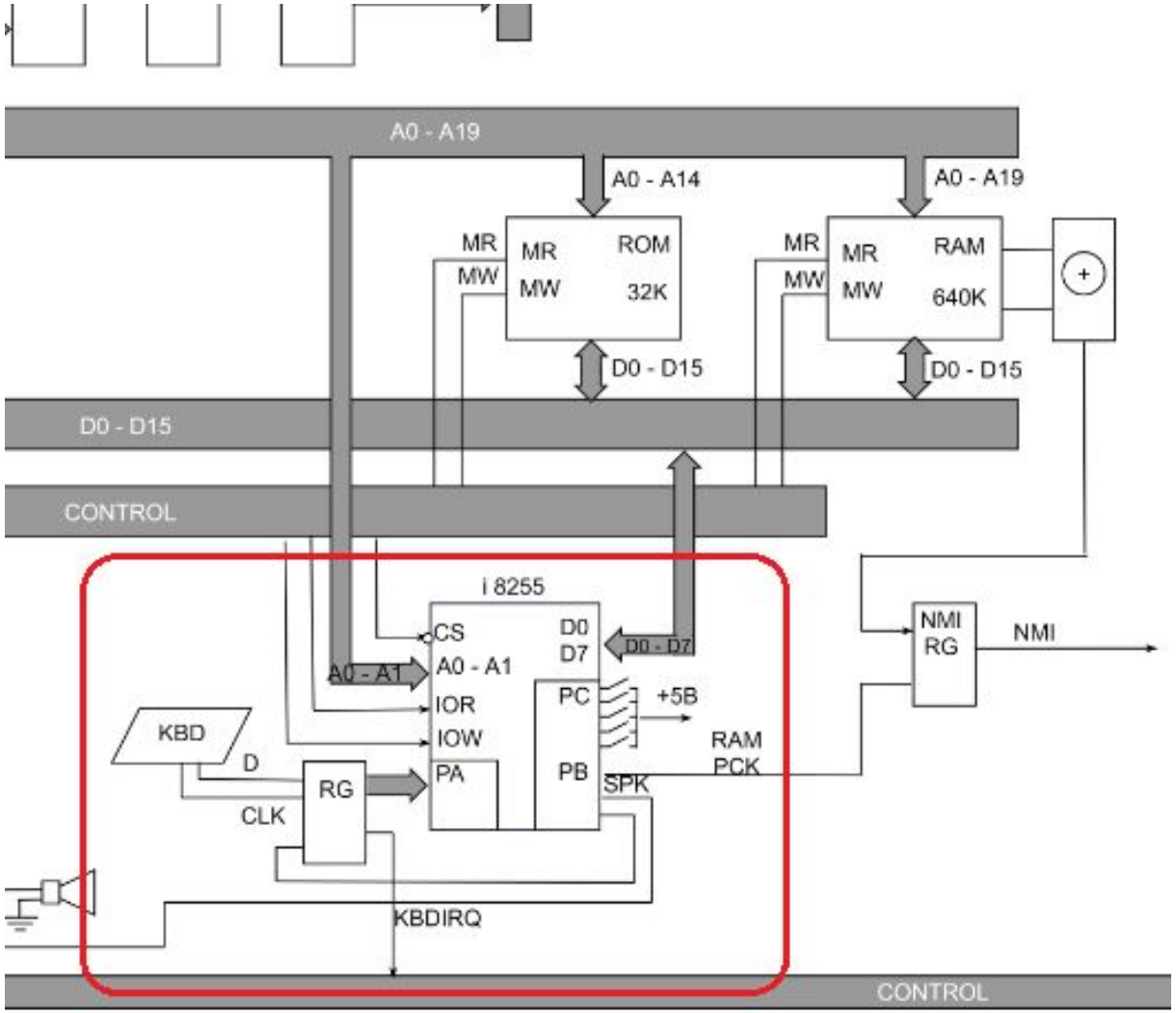
Трехканальный таймер i8253 для PC XT

- Нулевой канал
  - Используется для ведения системного времени, вызывая каждую 1/18 секунды прерывание процессора и запуская программу, увеличивающую содержимое четырех байт памяти (начиная с адреса **046Ch**) на 1.

- Первый канал
  - Каждые 15мкс обращается к каналу контроллера ПДП и запускает процедуру регенерации ОЗУ.

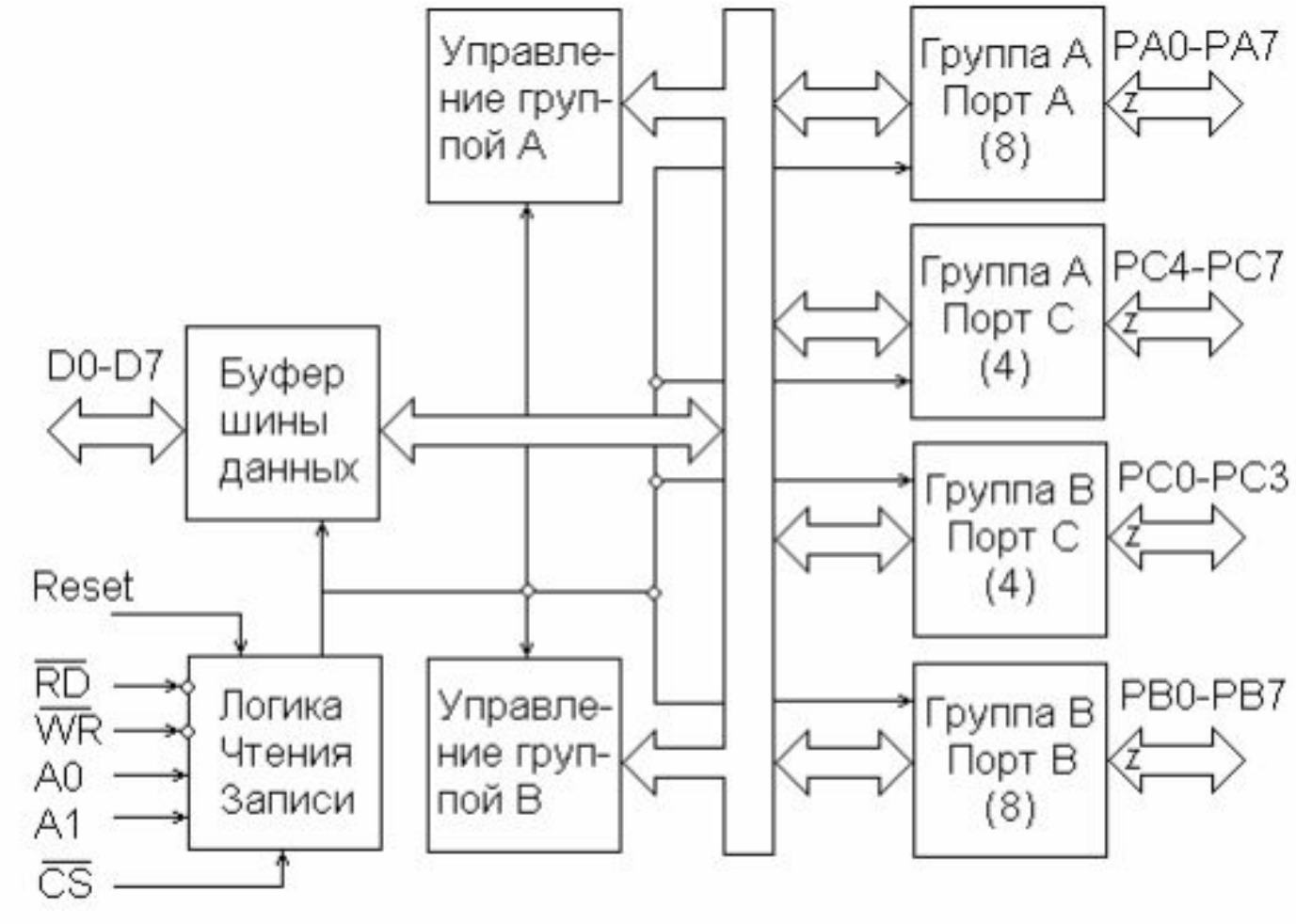
- Второй канал
- Генерирует частоту, выдаваемую на звуковую головку для генерации звуковых сигналов. (например, при ошибках памяти)

PPI (Programmable Parallel Interface) i8255A.



Код нажатой клавиши запоминается в специальном регистре и по нему вырабатывается
запрос на прерывание, который поступает на вход IRQ1 контроллера прерываний

Структурная схема i8255



Программируемый параллельный интерфейс

- ***PPI (Programmable Parallel Interface) i8255A***.
- Включает три двунаправленных байтовых порта (A, B и C).
- Порт A (адрес 60h)
  - Для чтения поступающего с клавиатуры сканкода нажатой клавиши (после нажатия клавиши, возникает прерывание ***IRQ1*** по которому обработчик считывает с порта A код нажатой клавиши)
- Порт B (адрес 61h)
  - Для вывода управляющих сигналов различного назначения (например для разрешения или запрещения звуковых сигналов).
- Порт C (адрес 62h)
  - используется BIOS и ОС для чтения свитчей конфигурации оборудования системы. Позже эта функция перенесена в CMOS – память BIOS

Позже микросхема i8255 использовалась в качестве параллельного порта (LPT интерфейса) для подключения различных устройств (*например, принтера*)

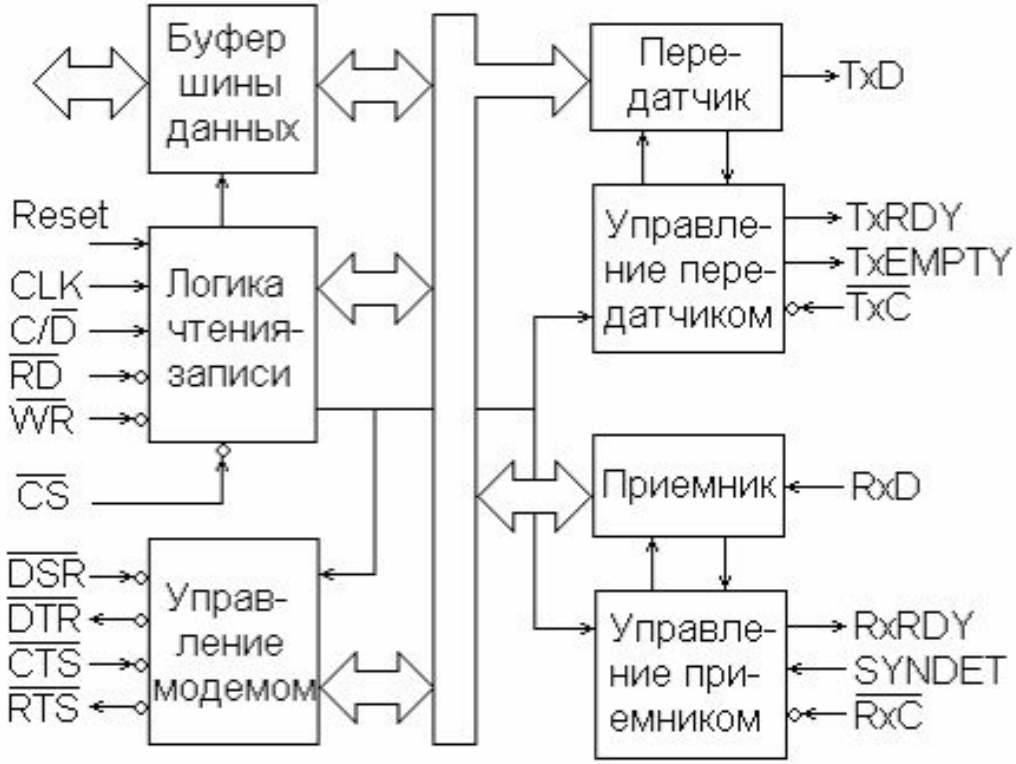
Универсальный последовательный синхронно-асинхронный приемо-передатчик i8251 (COM порт)

USART – Universal Synchronous/Asynchronous Resiver/Transmitter

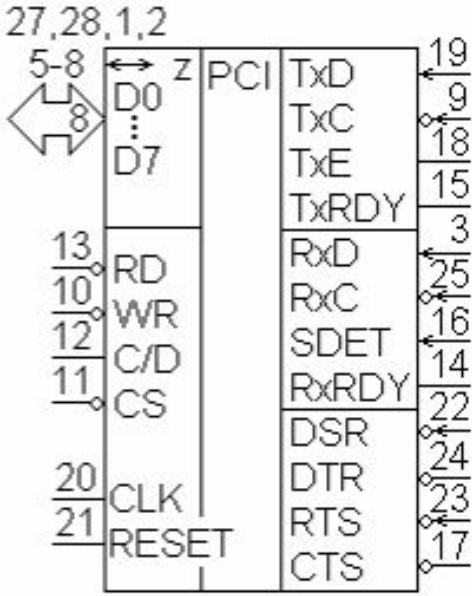
- Реализует синхронно-асинхронными канал последовательной связи для подключения различных устройств (например, модемов).

- В некоторых моделях использовался для подключения мышки и других портов.
- В настоящее время в архитектуре ПК заменен USB.
- Широко используется во встроенных системах в силу своей простоты.

Структурная схема



б)

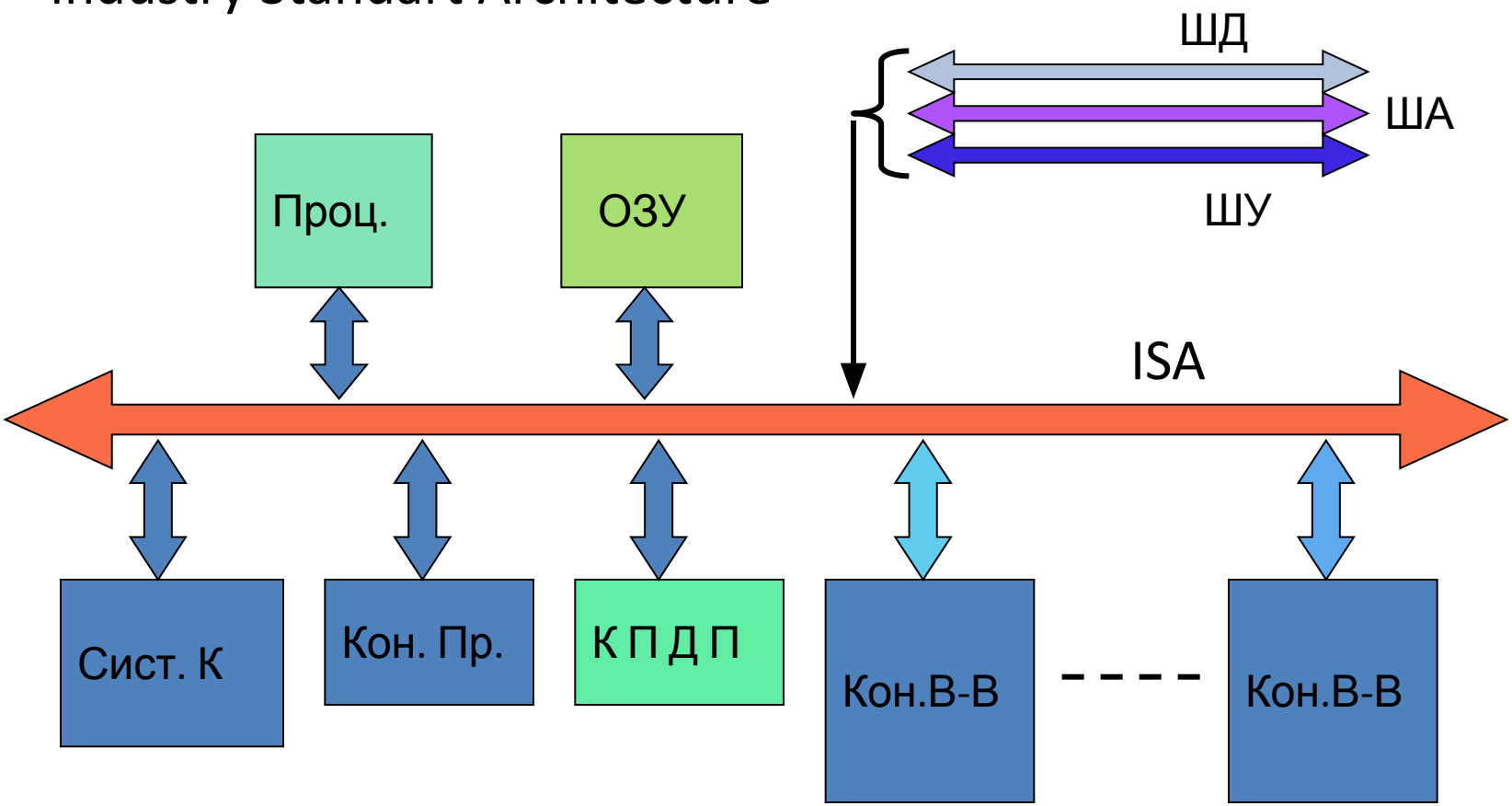


а)

В состав входят передатчик, приемник, буфер шины данных и схемы управления передатчиком, приемником

Структура шина ISA

Industry Standart Architecture



Организация взаимодействия с ПУ

- Программный ввод – вывод
- По прерываниям
- Прямой доступ к памяти