



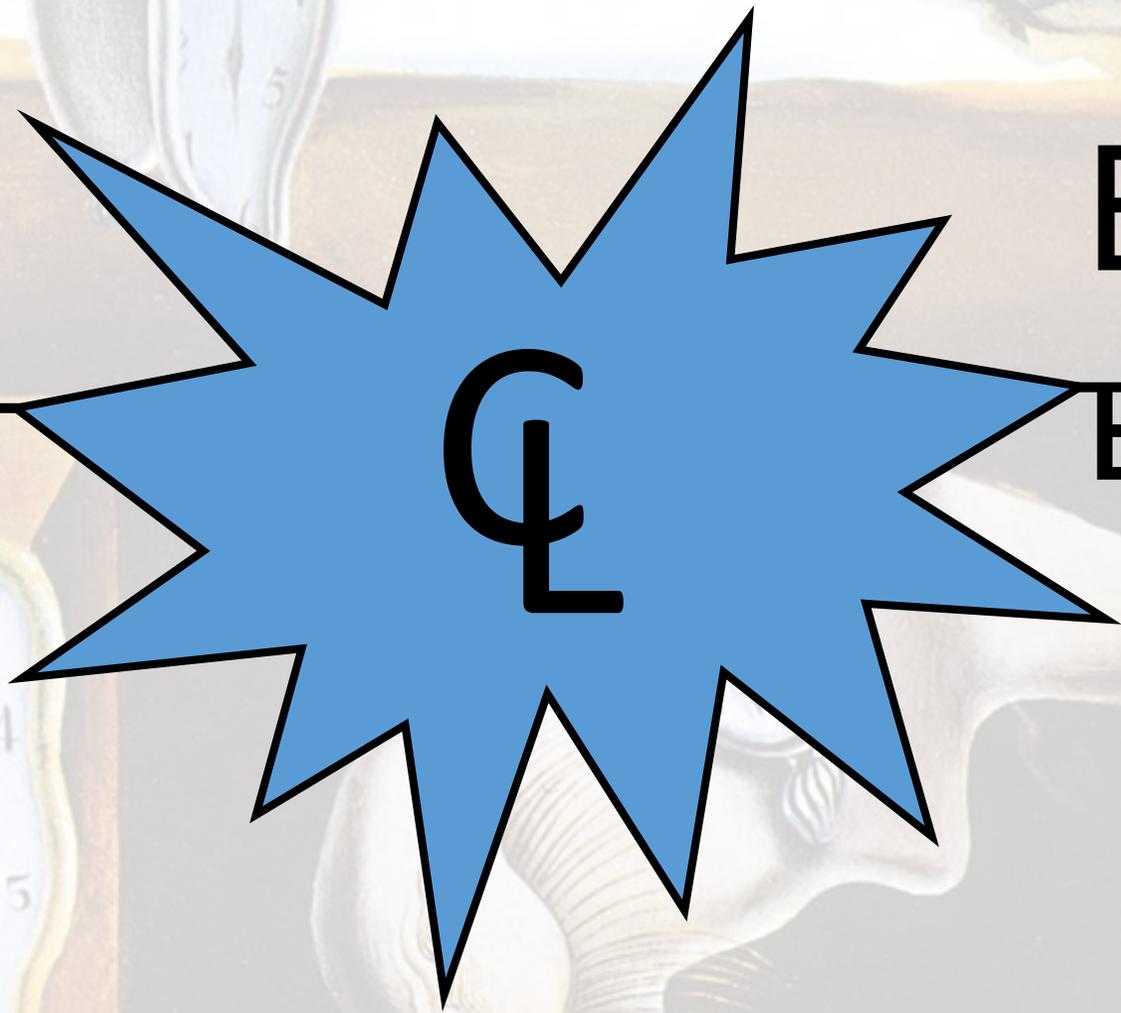
# Временные ограничения цифровых схем

Григорий Кузьмин

2016

# Комбинационная логика

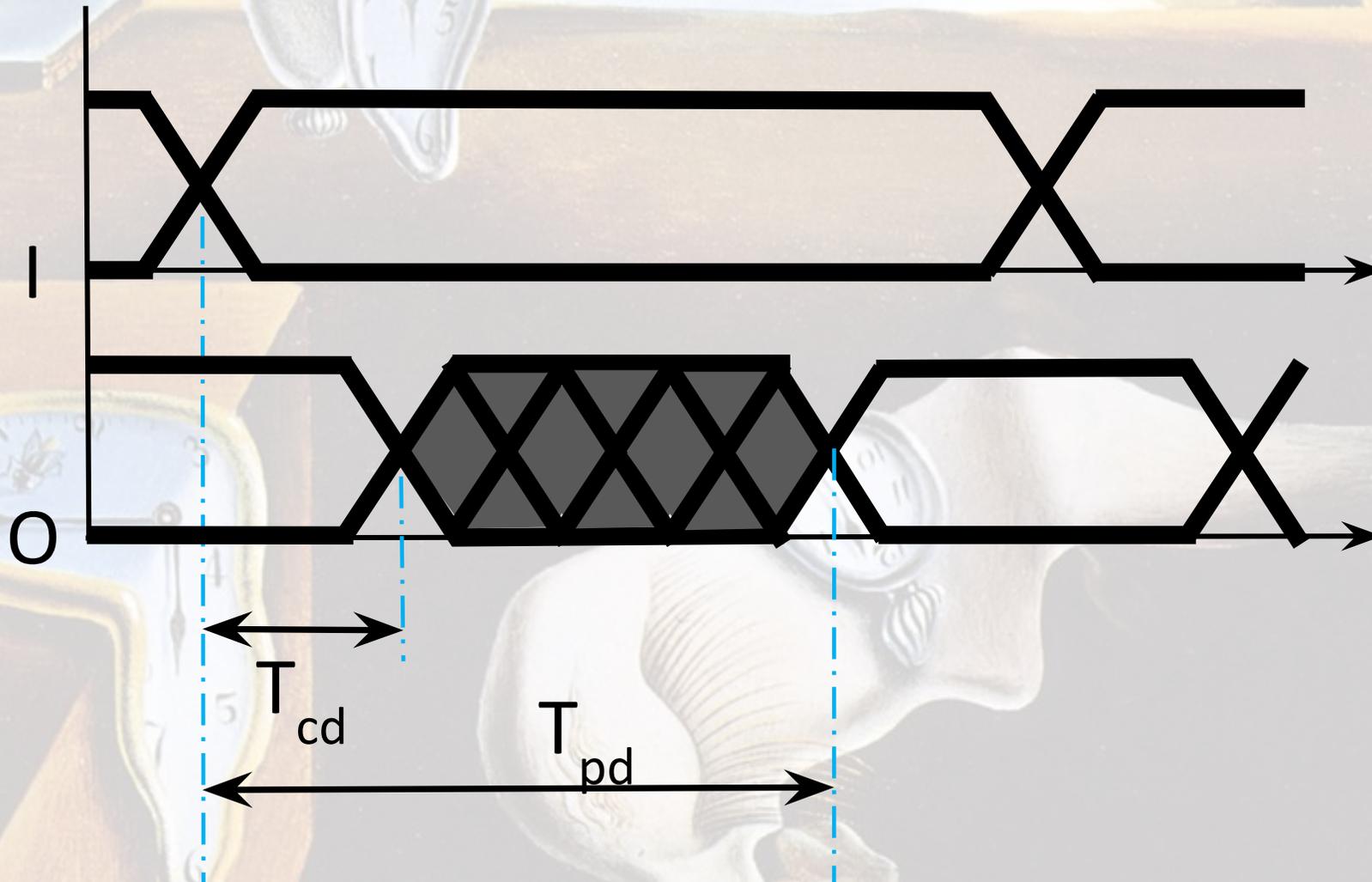
Вход  
ы



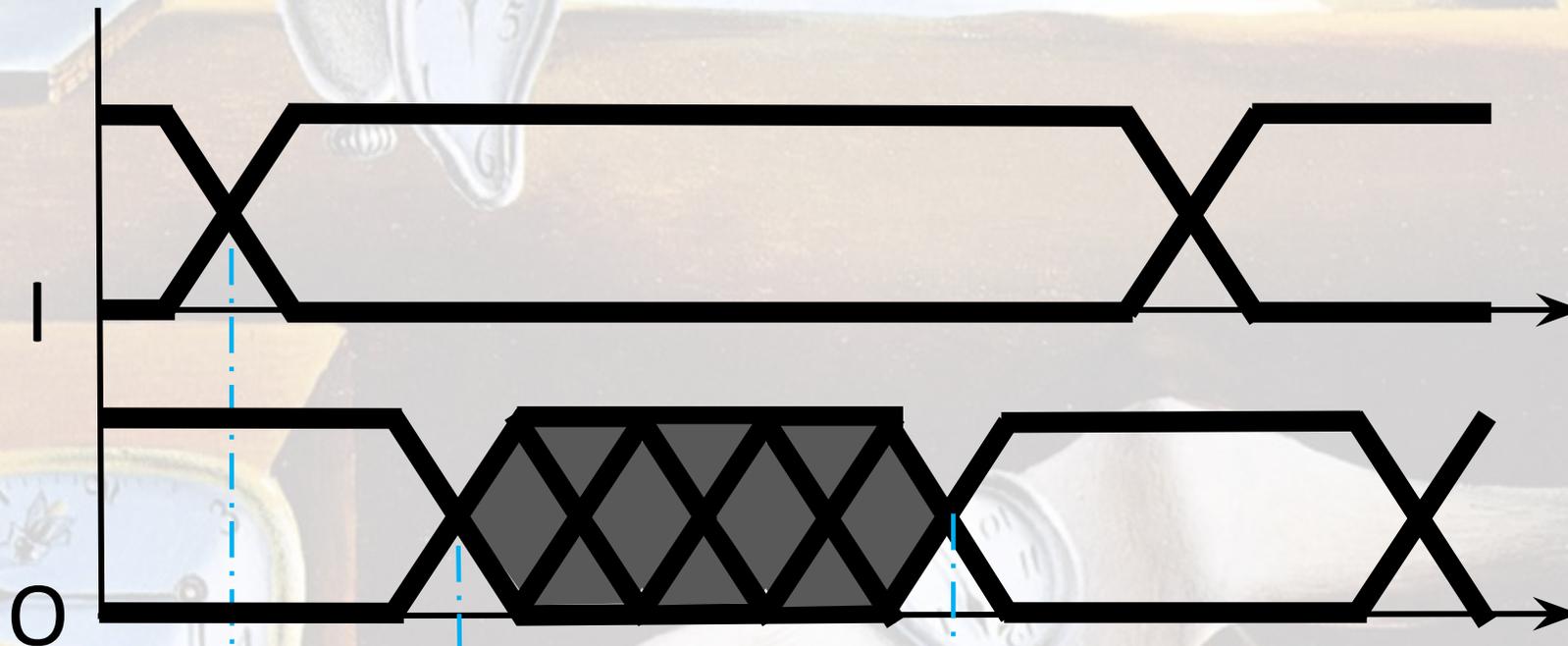
Выход  
ы



# Комбинационная логика



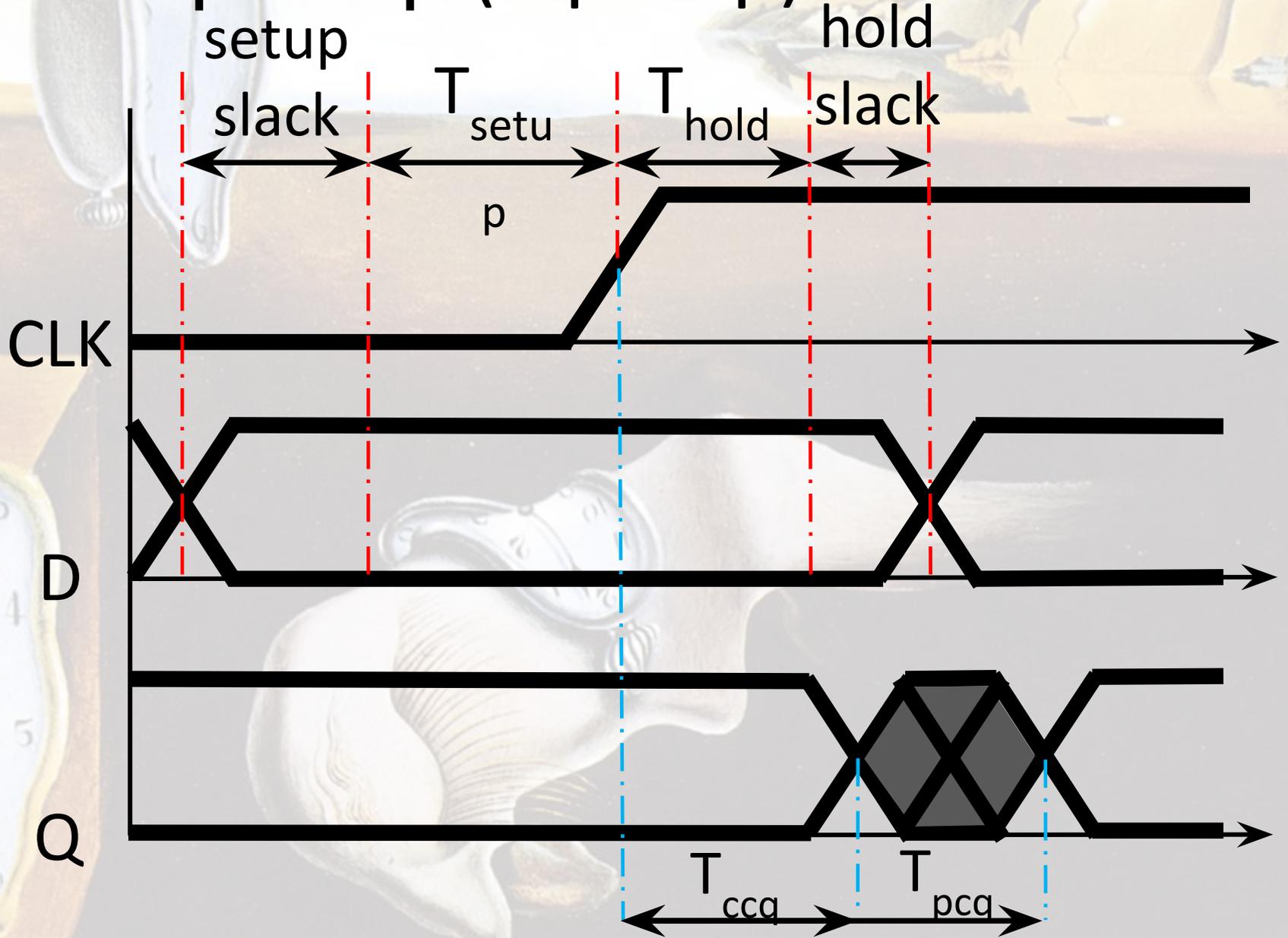
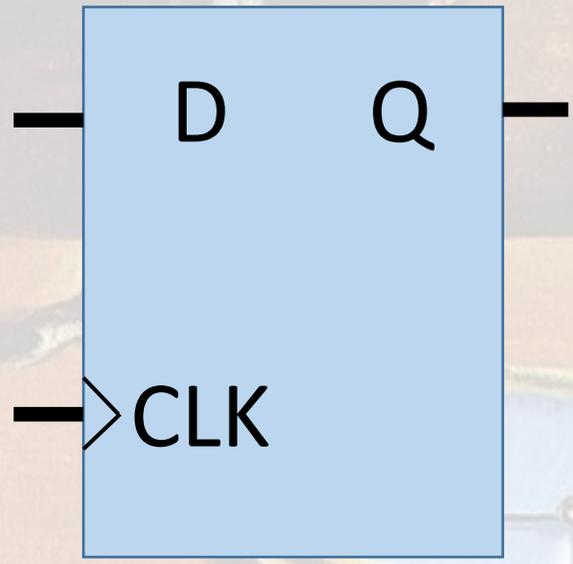
# Комбинационная логика



$T_{cd}$  **Задержка реакции (contamination delay)**

$t_{pd}$  **Задержка распространения (propagation delay)**

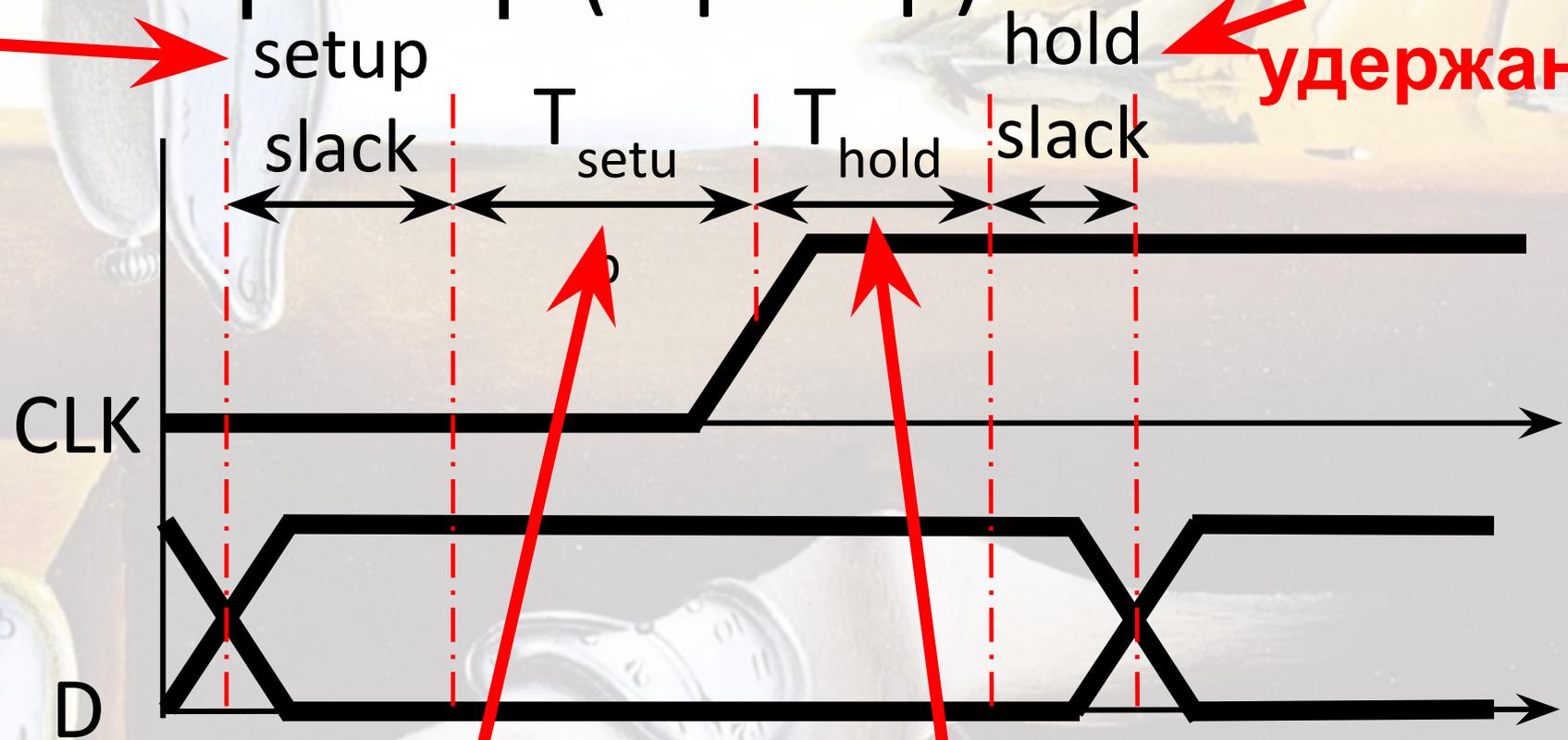
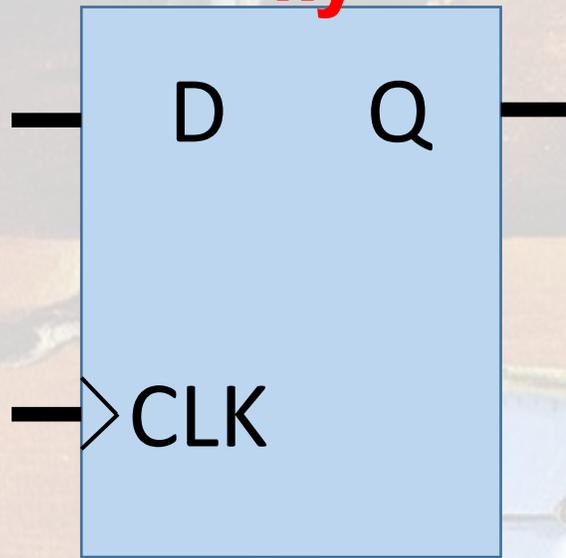
# D-триггер (flip-flop)



# D-триггер (flip-flop)

**Запас на  
предустановку**

**Запас на  
удержание**

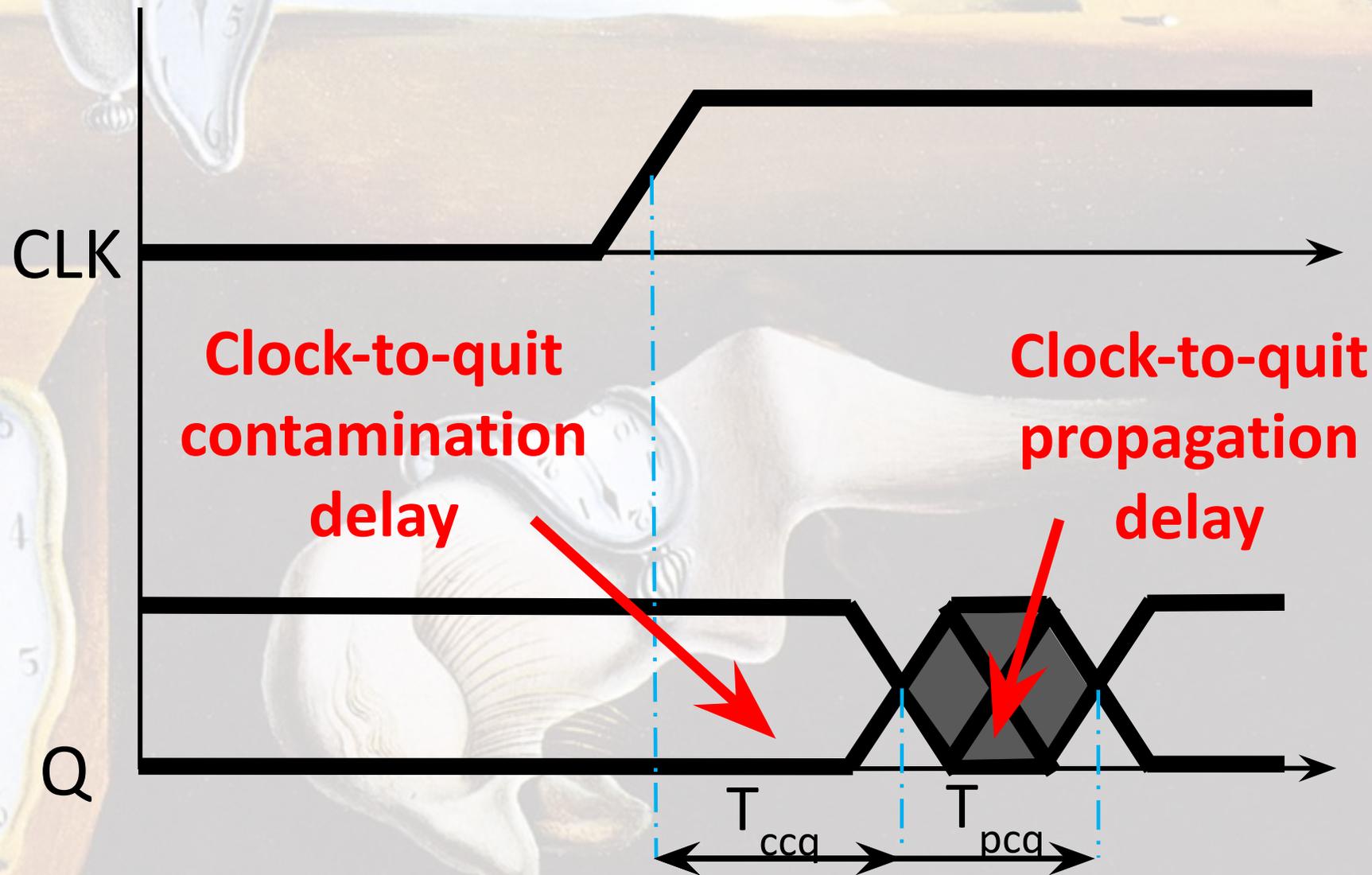
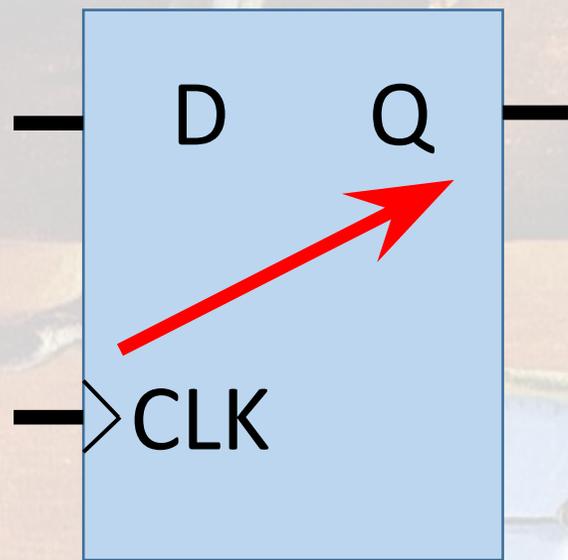


**Время  
предустановки**

**Время  
удержания**

**Апертурное время**  $T_A = T_{\text{setup}} + T_{\text{hold}}$

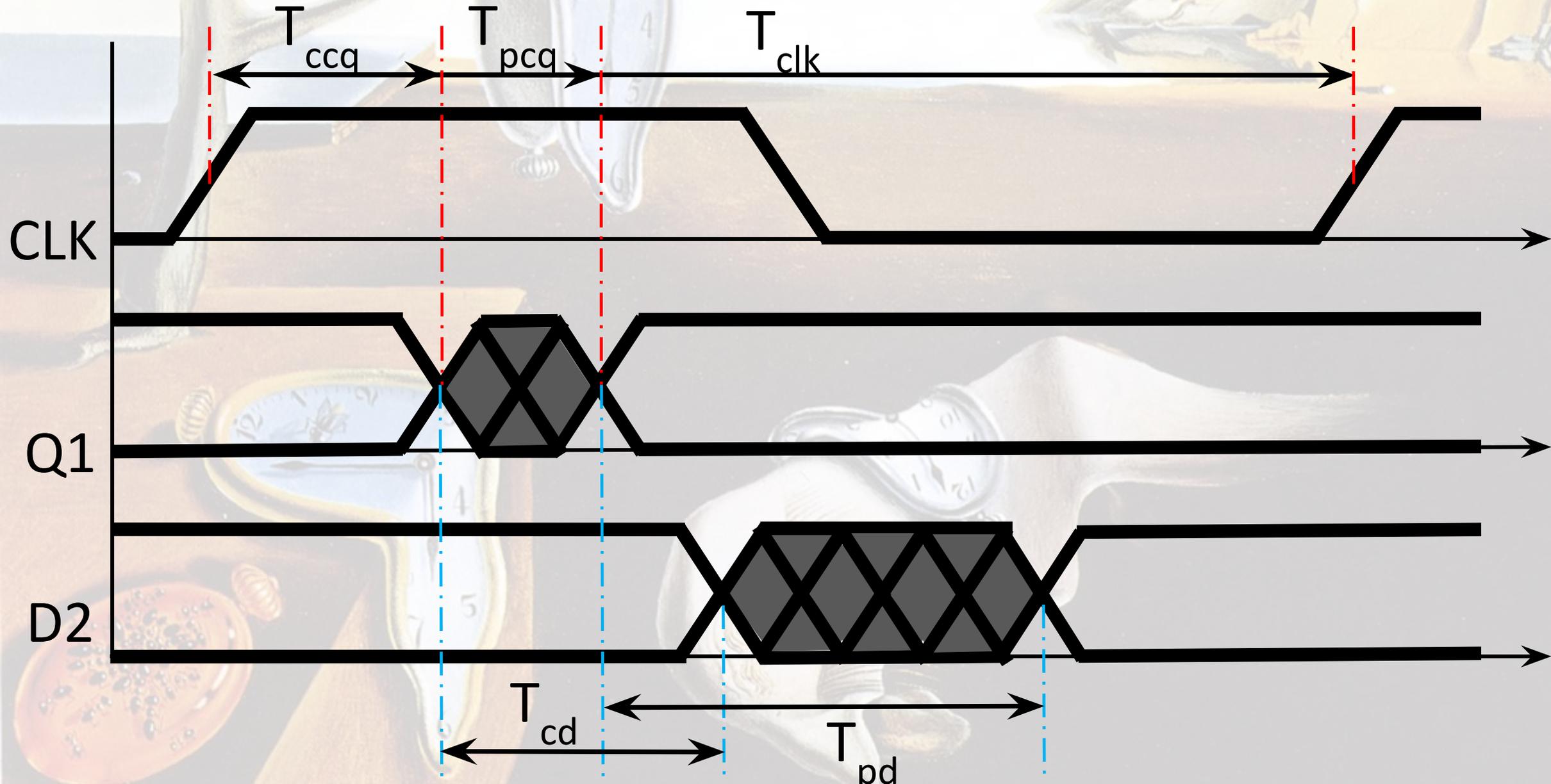
# D-триггер (flip-flop)



# Тракт между регистрами



# Тракт между регистрами



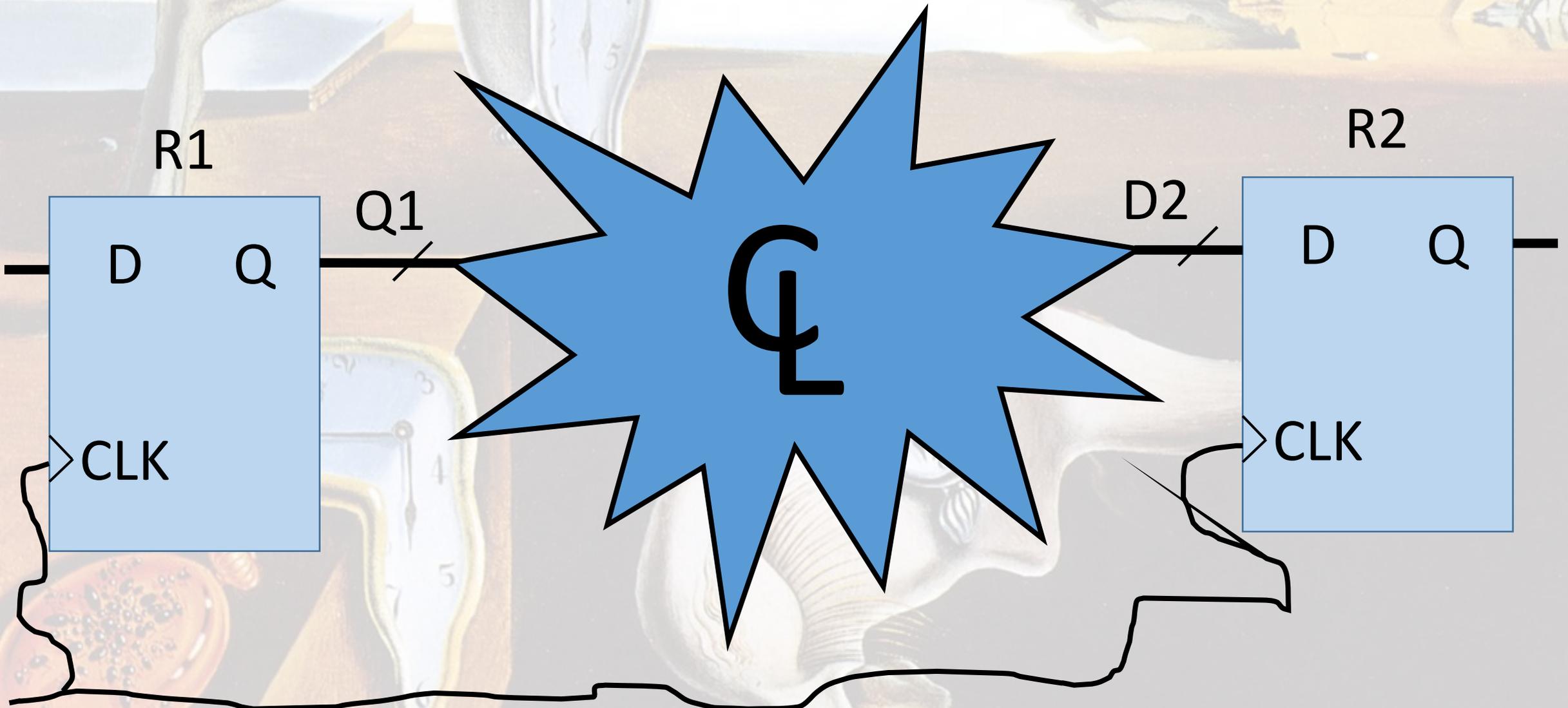
# Тракт между регистрами

$$\begin{cases} T_{\text{clk}} \geq T_{\text{pcq}} + T_{\text{pd}} + T_{\text{setup}} \\ T_{\text{hold}} \leq T_{\text{ccq}} + T_{\text{cd}} \end{cases}$$

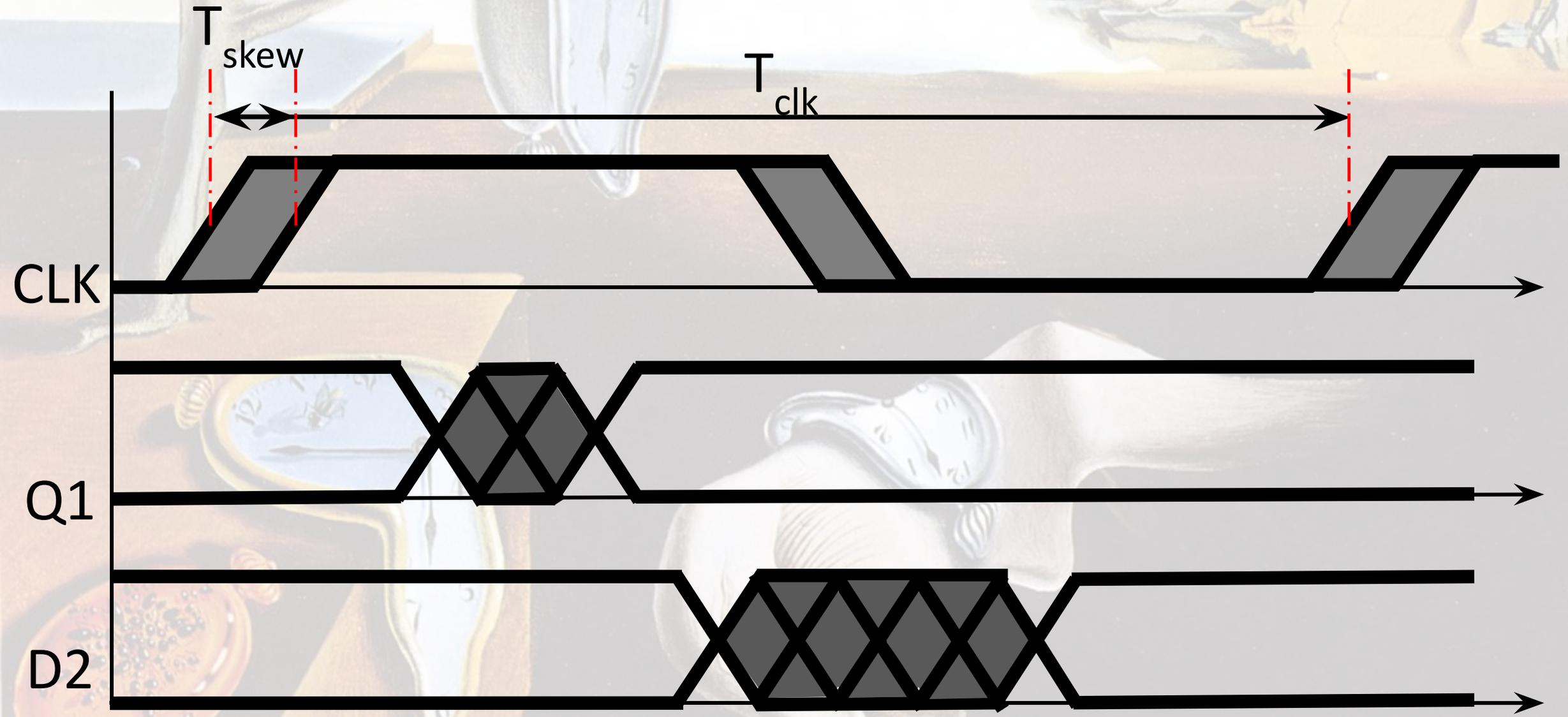


$$\begin{cases} T_{\text{pd}} \leq T_{\text{clk}} - (T_{\text{pcq}} + T_{\text{setup}}) \\ T_{\text{cd}} \leq T_{\text{hold}} - T_{\text{ccq}} \end{cases}$$

# Расфазировка сигнала синхронизации



# Расфазировка сигнала синхронизации



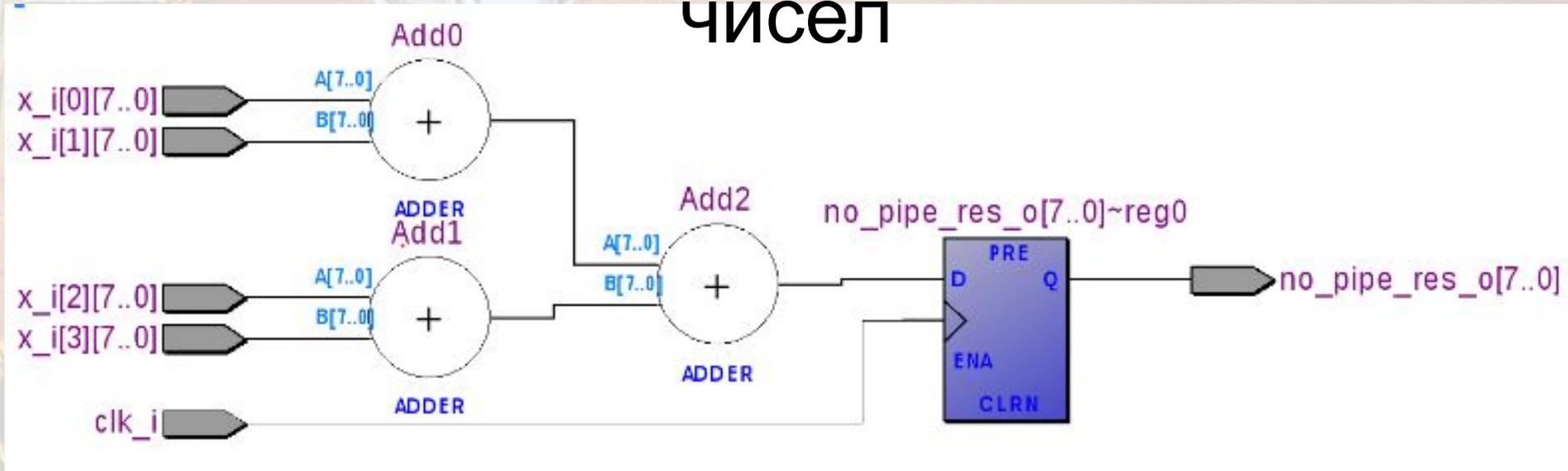
# Расфазировка сигнала синхронизации

$$\begin{cases} T_{pd} \\ T_{cd} \end{cases} \leq T_{clk} - (T_{pcq} + T_{setup} + T_{skew})$$
$$\begin{cases} T_{pd} \\ T_{cd} \end{cases} \geq T_{hold} - T_{ccq} + T_{skew}$$

# Конвейер (Pipeline)

## Сумматор 4х 8битных

### чисел



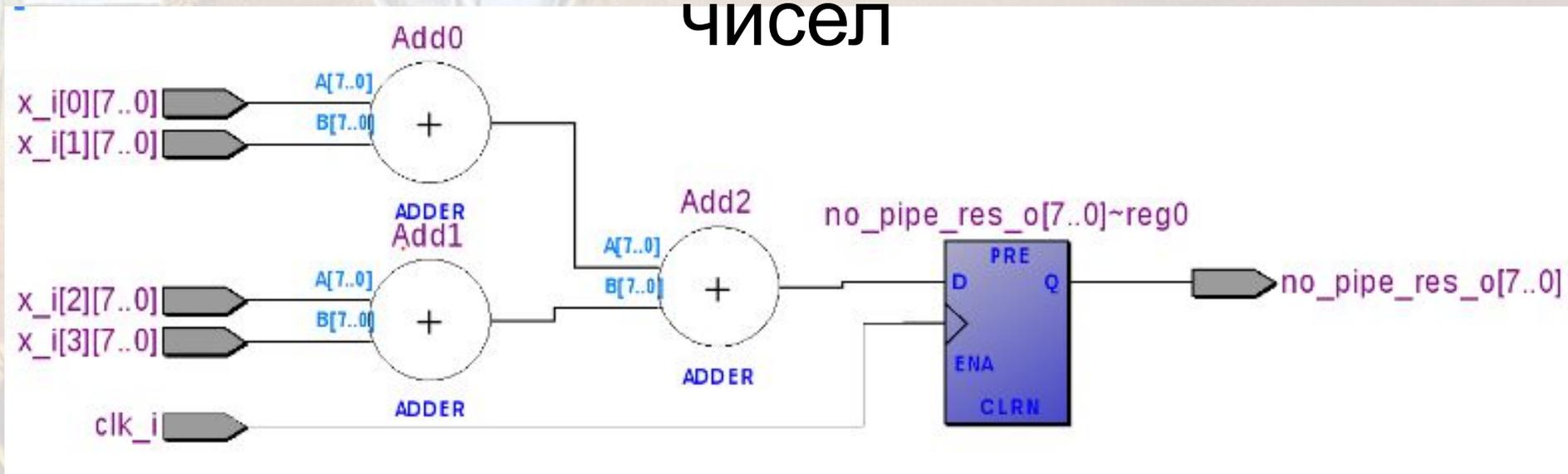
Например:  $t_{pd}$  сумматора 200 пс,  $t_{cd}$  - 50 пс,  $t_{hold}$  триггеров 40 пс,  $t_{setup}$  - 80 пс,  $t_{hold}$  - 40 пс,  $t_{ccq}$  - 10 пс,  $t_{pcq}$  - 20 пс.

Какова максимальная частота такой схемы?

# Конвейер (Pipeline)

## Сумматор 4х 8битных

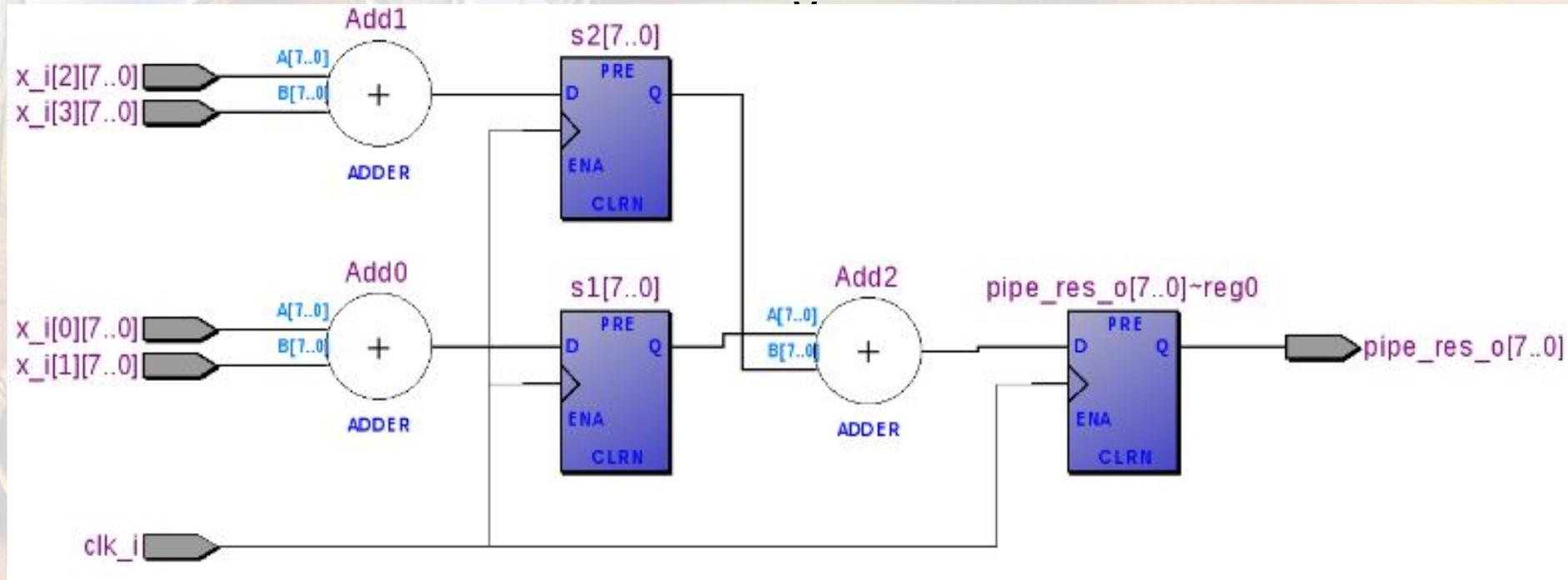
### чисел



$$T_{clk\ min} = 2 * t_{pd} + t_{setup} + t_{pcq} = 2 * 200 + 80 + 20 = 500\ ps$$
$$F_{clk\ max} = 1 / T_{clk\ min} = 2\ GHz$$

# Конвейер (Pipeline)

## Сумматор 4х 8битных чисел с



$$T_{clk\ min} = t_{pd} + t_{setup} + t_{pcq} = 200 + 80 + 20 = 300\ \text{пс}$$
$$F_{clk} = 1 / T_{clk} = 3,33\ \text{ГГц}$$

# Пример описания временных ограничений кода счётчика

```
1  module counter
2  (
3      input  logic clk,
4      output logic led
5  );
6
7      logic [31:0] cnt;
8
9      always_ff @(posedge clk)
10     begin
11         cnt <= cnt + 1'd1;
12         led <= cnt[31];
13     end
14
15     endmodule
16
```

## Описание временных

```
1  create_clock -period 50MHz -name {clk} [get_ports {clk}]
2  set_false_path -from [all_clocks] -to [get_ports {led}]
3
```

# Пример Setup Slack

	Clock	Slack
1	clk	16.209

# Hold Slack

	Clock	Slack
1	clk	0.363

# Maximum clock frequency

	Fmax	Restricted Fmax	Clock Name	Note
1	263.78 MHz	250.0 MHz	clk	limit due to minimum period restriction (max I/O toggle rate)



Спасибо за внимание!