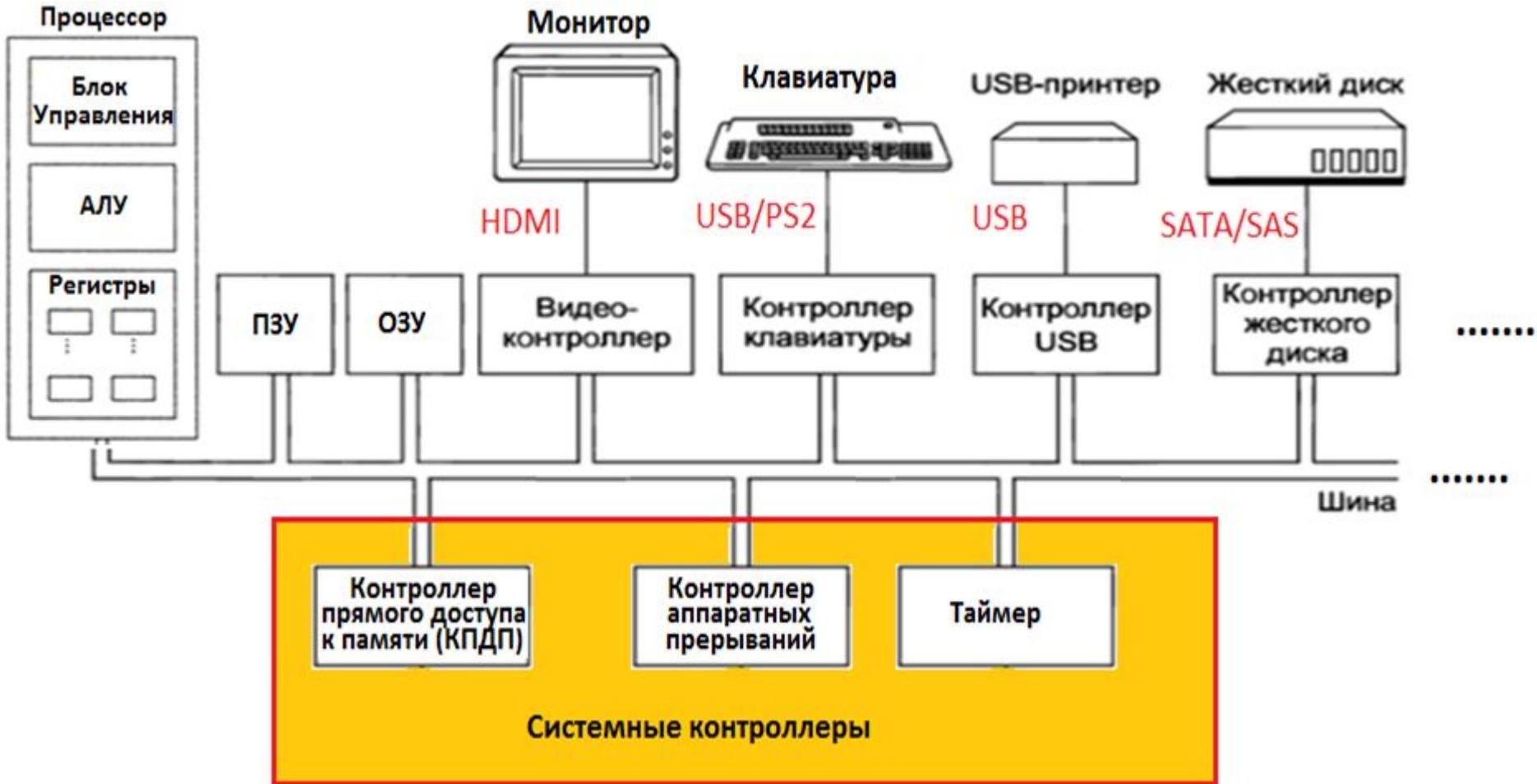


ОРГАНИЗАЦИЯ АРХИТЕКТУРЫ ПЕРСОНАЛЬНОГО КОМПЬЮТЕРА

Архитектура компьютера (по Фон-Нейману)

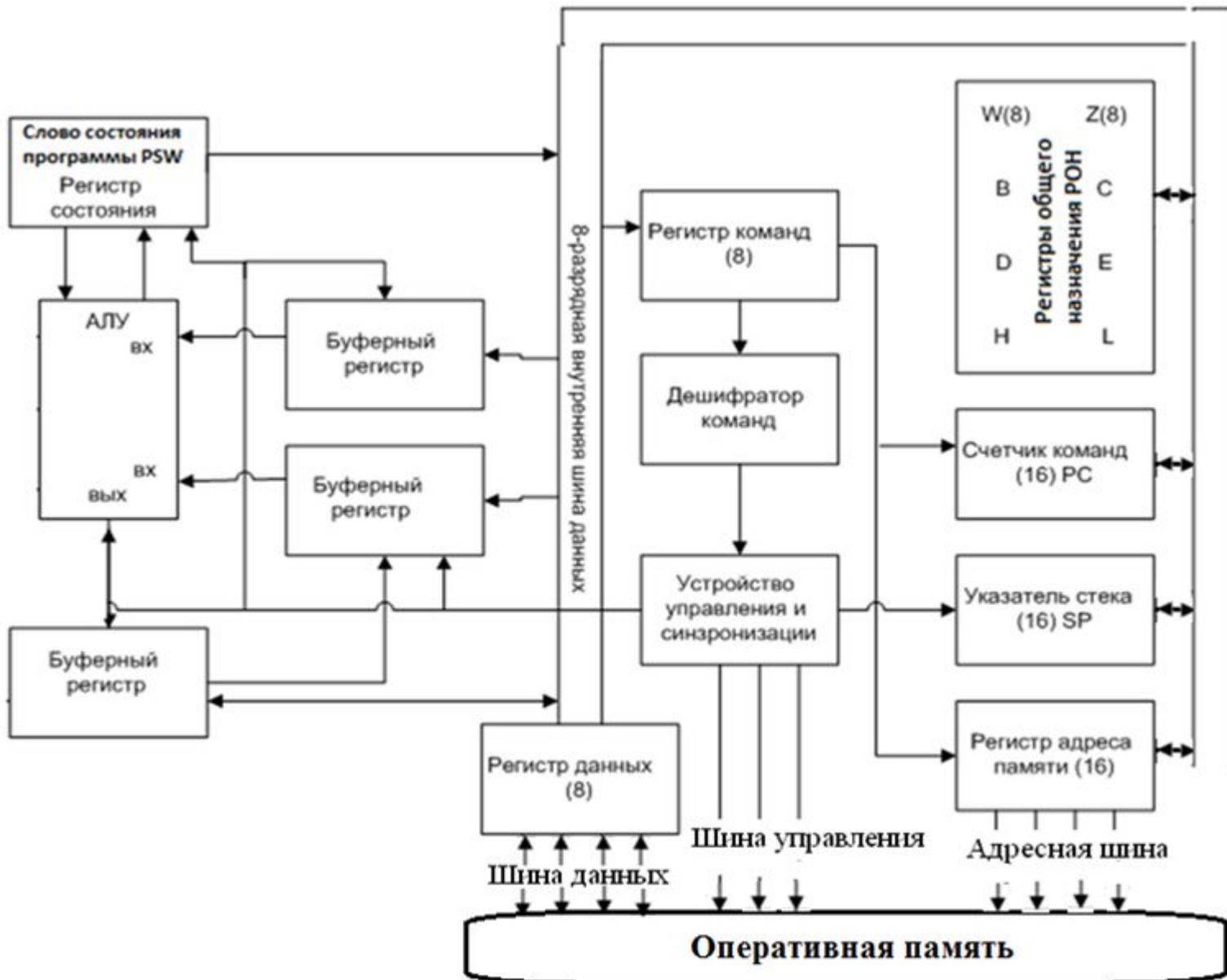


Архитектура компьютера (Фон-Неймана)



- Процессор
- Память
- Устройства ввода – вывода и хранения (периферийные устройства ПУ)
- Контроллеры шин устройств ввода вывода и хранения (контроллеры ввода-вывода)
- Системные контроллеры
- Шина ввода-вывода – связывает процессор с контроллером ПУ и системными контроллерами
- Периферийное устройство преобразует информацию, понятную человеку в информацию, понятную компьютеру

Обобщенная архитектура процессора



Работа процессора



- В счетчик команд заносится адрес ячейки памяти, содержащий **первую команду** программы.
- Адрес поступает в регистр адреса памяти и храниться там на время обращения к памяти

Работа процессора



- Адрес команды через регистр адреса поступает на шину адреса памяти.
- По сигналу управления процессор считывает команду, находящуюся по этому адресу на шину данных и записывает её в регистр данных процессора.

Работа процессора



- Из регистра данных текущая команда поступает в регистр команды. Там команда дешифруется и анализируется устройством управления.
- В зависимости от кода операции Устройство управления вырабатывает управляющие сигналы для управления внутренними элементами процессора.

Работа процессора



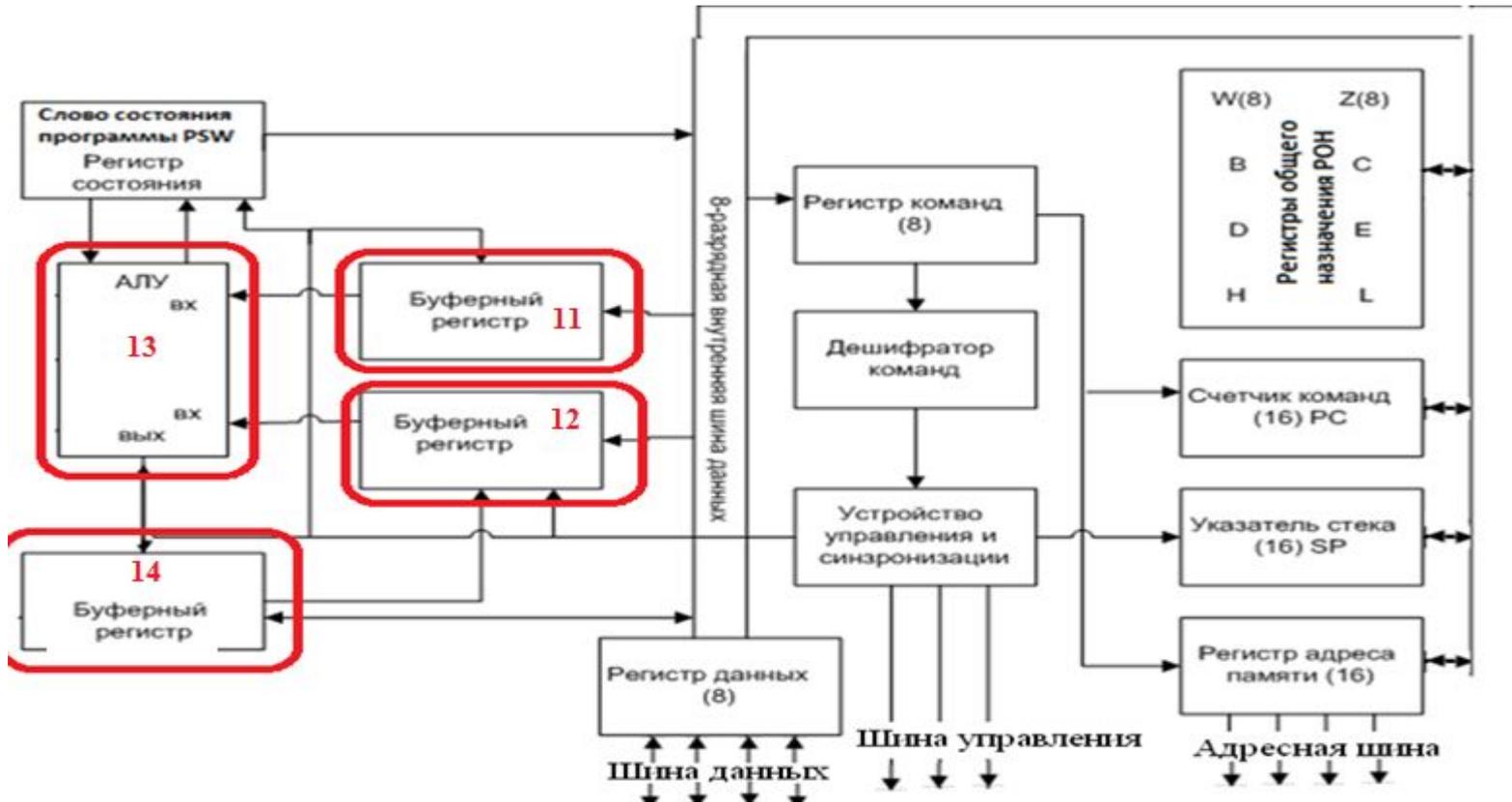
- Если машинная команда использует данные из памяти, УУ определяет их адреса и вырабатывает сигналы для чтения данных из памяти во внутренние регистры.

Работа процессора



- Содержимое счетчика команд во время выполнения текущей команды увеличивается на длину команды и в нем уже содержится адрес следующей команды.

Работа процессора



- АЛУ выполняет операцию над данными, находящимися в регистрах и сохраняет результат в аккумуляторе.

Работа процессора



- Считывается следующая команда и цикл повторяется.

Шина или аппаратный интерфейс

- **Набор аппаратных средства и правила обмена (протоколов), обеспечивающих взаимосвязь устройств между собой**
- Физически шина состоит из отдельных линий.
- **Линия шины** – это электрический проводник (провод, линия печатного монтажа), по которому распространяется электрический сигнал.
- Одна шина может состоять из нескольких подшин, каждая из которых соответствует своему функциональному назначению (шина адреса, шина данных, шина управления и.т.д.)

Классификация интерфейсов

По способу передачи данных.

Параллельные

- Одновременная передача всех разрядов (байта, слова и др.) по линиям интерфейса.
- Имеет столько линий сколько одновременно передается разрядов.

Последовательные

- Последовательная передача бит данных.
- Данные передаются пакетами
- Для передачи данных требуется минимум две физические линии.

Последовательно - параллельные

- Параллельная передача пакетов по нескольким последовательным шинам.

Классификация интерфейсов

По направлению обмена:

- **Симплексные** – только передача или прием в одну сторону
 - Теле и радио вещание.
- **Полудуплексные** – передача или прием в обе стороны, но в разные моменты времени, по одной и той же линии.
 - Радиосвязь
- **Дуплексные** – передача и прием в обе стороны одновременно. Требуются отдельные линии для передачи и приема в каждую сторону.

По способу обмена данными:

- **Синхронные** (данные передаются со специальными синхронизирующими сигналами)
- **Асинхронные** (данные передаются без синхросигналов)

Классификация интерфейсов

По способу реализации:

Внутренние - для связи электронных модулей внутри материнской платы:

- **Системная шина** - для связи процессора и памяти
- **Шина ввода –вывода** - для связи процессора с контроллерами интерфейсов устройств ввода вывода (ISA, PCI, PCI-Express).

Внешние (интерфесы ПУ) – для подключения внешних устройств к контроллерам интерфейсов устройств ввода вывода и хранения

Контроллер интерфейса ввода вывода

- ПУ не может подключиться напрямую к процессору
- КВВ - промежуточное устройство, которое преобразует сигналы шины ввода вывода процессора в сигналы интерфейса периферийного устройства и управляет работой ПУ.



Контроллер ввода-вывода

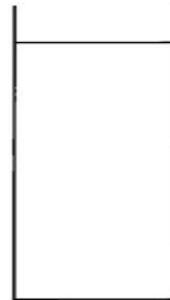
- Содержит, как правило, **группу регистров**, называемых **ПОРТАМИ** ввода-вывода.
- Типичный состав регистров/портов:
 - Регистр состояния – хранит текущее состояние контроллера В/В (готов/не готов);
 - Регистр команд – хранит команды управления контроллером В/В
 - Регистр данных – для передачи или приема данных;
 - Регистр адреса – хранит базовый адрес заданный контроллеру
 - **Каждый регистр имеет уникальный адрес на шине ввода вывода процессора, по которому процессор может к нему обращаться.**
 - **Адрес регистра состоит из суммы базового адреса назначенного контроллеру ввода вывода + смещение, которое определяет номер регистра в контроллере (30h, 31h, 32h);**
- Буфер памяти
 - Временно хранит данные, принимаемые(передаваемые) периферийному устройству.
 - Служит для выравнивания скоростей работы процессора и ПУ

Адресация портов контроллеров на шине ввода – вывода

Одно адресное пространство

Адреса портов отображаются на адресное пространство памяти *MMIO – Memory Mapped IO*

Одно адресное пространство



- Каждому регистру, как ячейке памяти, выделен уникальный адрес в общем поле памяти, который физически располагается в контроллере ввода-вывода.

Для обращения к портам используются те же команды, что и для обращения к памяти

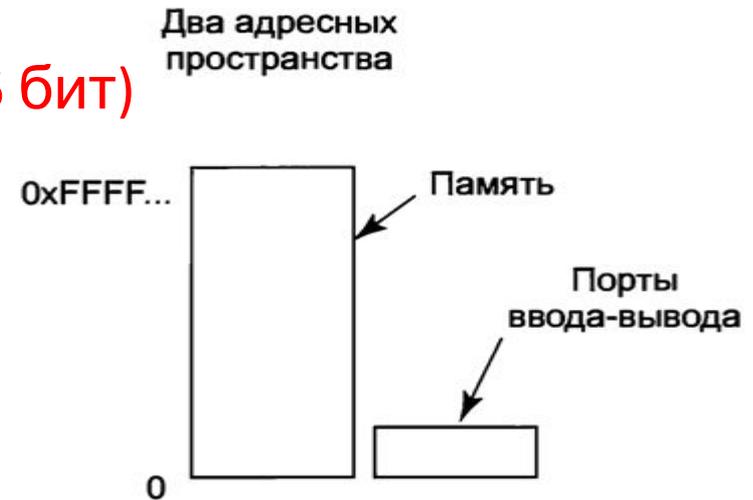
Адресация портов контроллеров на шине ввода - вывода

Два адресных пространства

Для адресации портов используется отдельное адресное пространство.

Для x86 оно составляет **64 Кбайта (16 бит)**

PMIO – Port Mapped IO

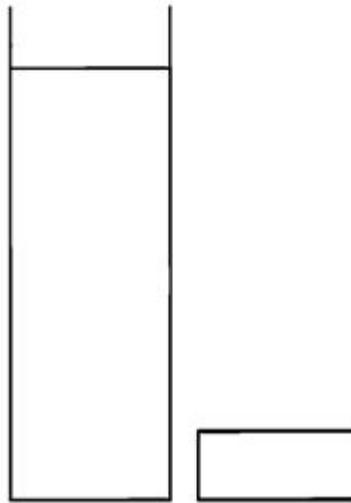


- Для обращения к портам используются специальные инструкции .

```
in ACCUM, PORT;  
out PORT, ACCUM;
```

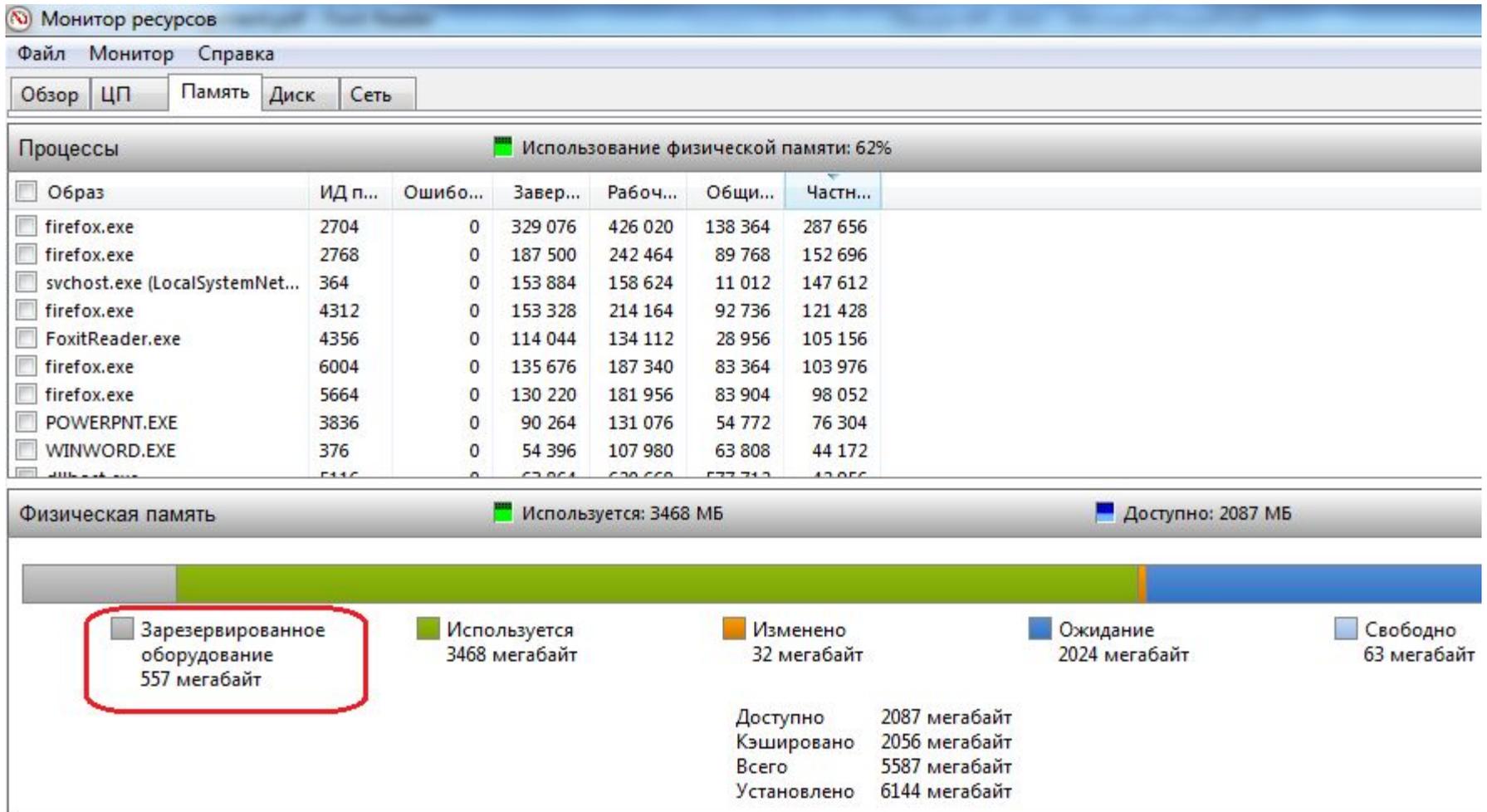
Адресация портов контроллеров на шине ввода - вывода

Гибридный
вариант
два адресных
пространства



- Используется в x86;
- Внутренняя память (буфер) контроллера (если имеется) , находится в адресном пространстве памяти, а адресам портов ввода вывода отводится отдельное адресное пространство.

Memory Mapped IO

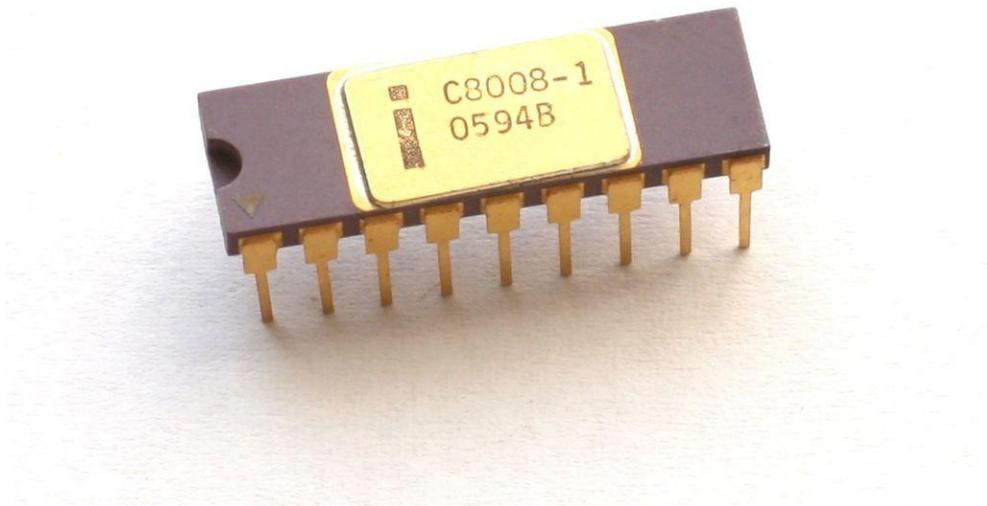


ОРГАНИЗАЦИЯ КОМПЬЮТЕРНОЙ АРХИТЕКТУРЫ НА БАЗЕ ПРОЦЕССОРА X8086

Intel 8008

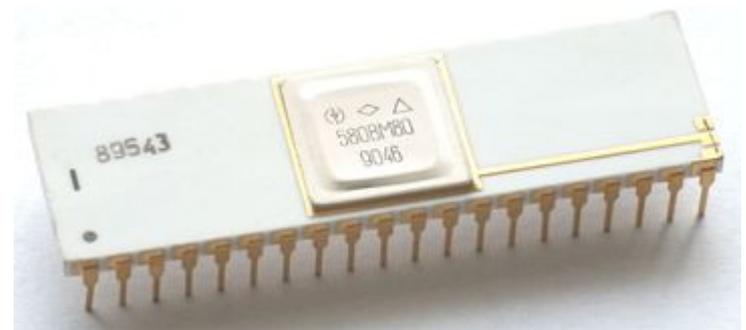
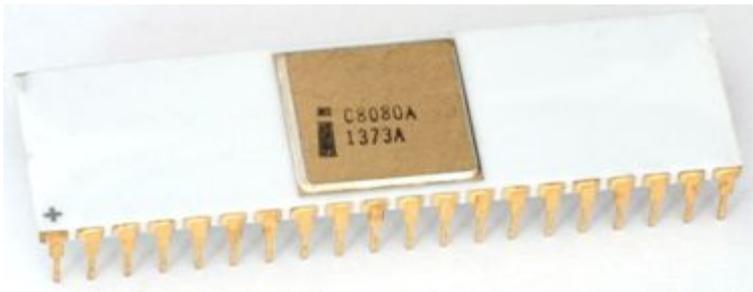
■ Intel 8008 (*апрель 1972*)

- первый 8-битный процессор, для продвинутых калькуляторов, терминалов ввода-вывода;
- Тактовая частота процессора – 500 – 800 КГц



Intel 8080

- **Intel 8080** (*апрель 1974 года*) — 8-битный микропроцессор
 - Количество регистров: 7
 - Разрядность регистров: 8 бит
 - Разрядность шины данных: 8 бит
 - Разрядность шины адреса: 16 бит
 - Объём адресуемой памяти: 64 Кбайт
 - Количество инструкций: 80
 - Количество транзисторов 4758
 - Тактовая частота 2 – 4МГц
- **Altair-8800.**
- Отечественный аналог – микропроцессорный комплект серии **580ВМ80**



Микропроцессорный комплект

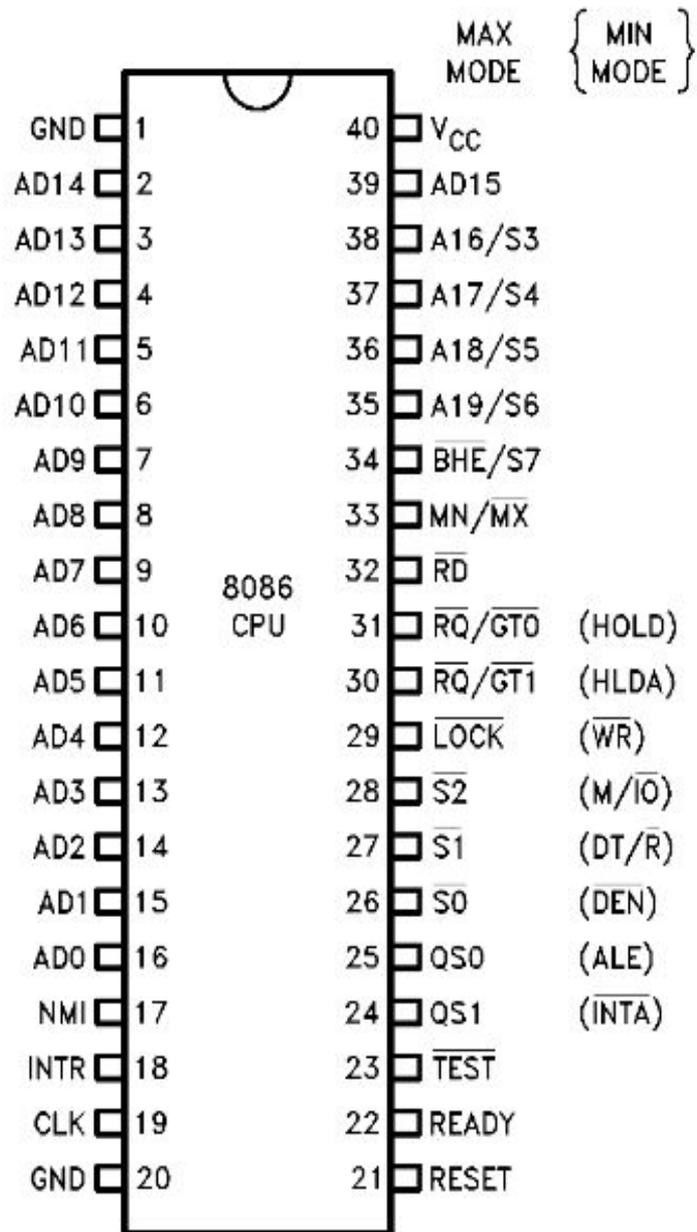
- К процессору i8080 компанией Intel был выпущен микропроцессорный комплект поддержки (**Chipset**) в составе:
 - **8259** — контроллер прерываний;
 - **8257** — контроллер прямого доступа в память;
 - **8253** — 3-канальный таймер/счётчик;
 - **8251** — микросхема последовательного интерфейса;
 - **8255** — микросхема трёхканального параллельного интерфейса;
 - **8271** — контроллер накопителя на гибких магнитных дисках;
 - **8275** — контроллер монитора;
 - **8355** — микросхема интерфейса с периферией (с 16 Кбайт ПЗУ).
 - **8216/8226** — шинные формирователи с большой нагрузочной способностью;
 - **8224** — тактовый генератор;
 - **8232** — процессор чисел с плавающей запятой (*позднее был заменен на сопроцессор Intel 8087*);

Intel 8086

■ Intel 8086 (*июнь 1978*)

- Количество регистров: 14
- Разрядность регистров: 16 бит
- Разрядность шины данных: 16 бит
- Разрядность шины адреса: 20 бит
- Объём адресуемой (адресное пространство) памяти: 1 Мбайт
- Адресное пространство I/O: 64 Кбайт
- Количество инструкций: 98
- Кэш-буфер команд: 6 байт
- Количество транзисторов: 29 000

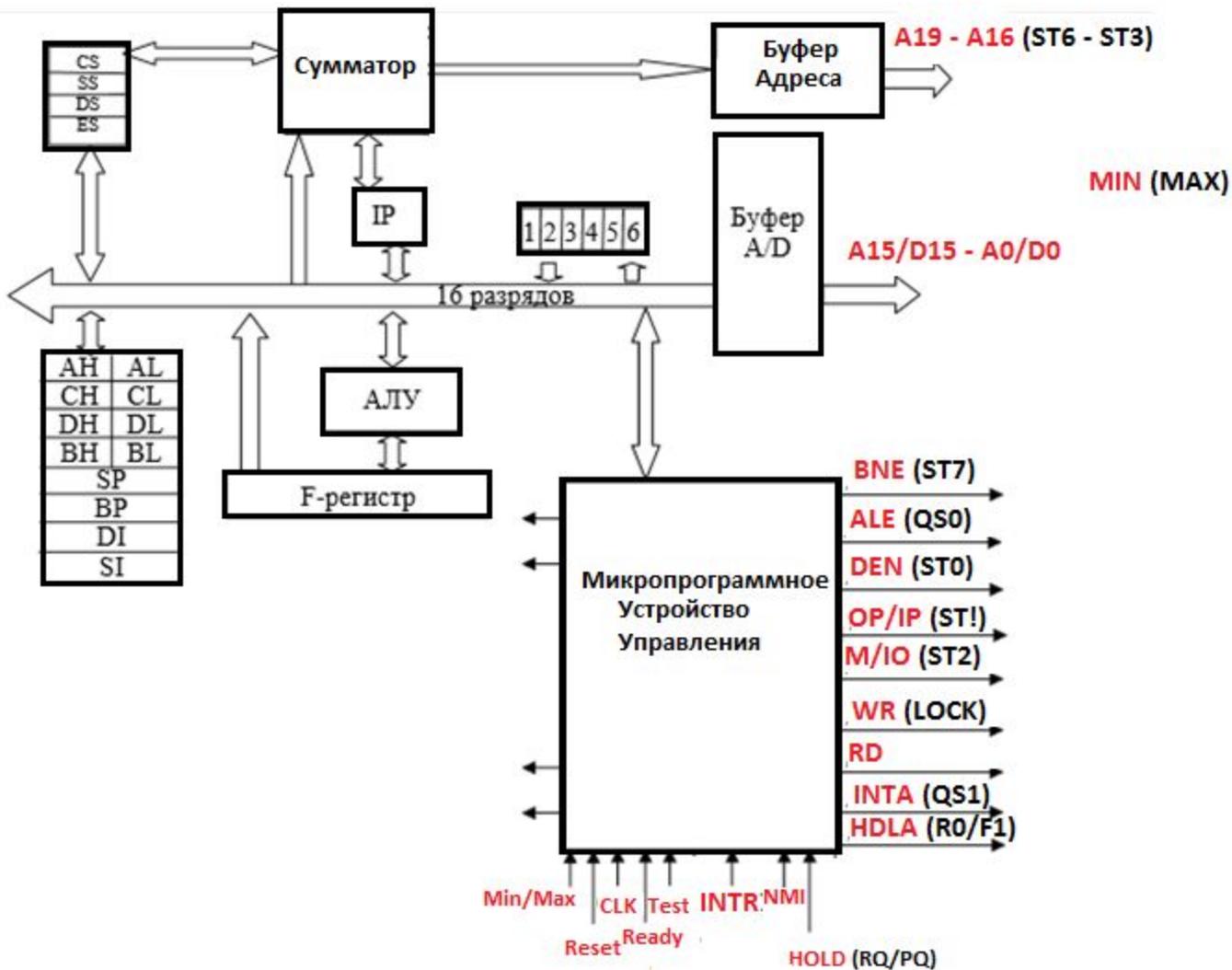
8



Intel 8088

- **Intel 8088 (июль 1979)**
 - Количество регистров: 14
 - Разрядность регистров: 16 бит
 - Разрядность шины данных: **8** бит
 - Разрядность шины адреса: 20 бит
 - Объём адресуемой памяти: 1 Мбайт
 - Адресное пространство I/O: 64 Кбайт
 - Количество инструкций: 98
 - Тактовая частота 5 -10 МГц.

Структурная схема i8086



Формирование физического адреса команд и данных (реальный режим)

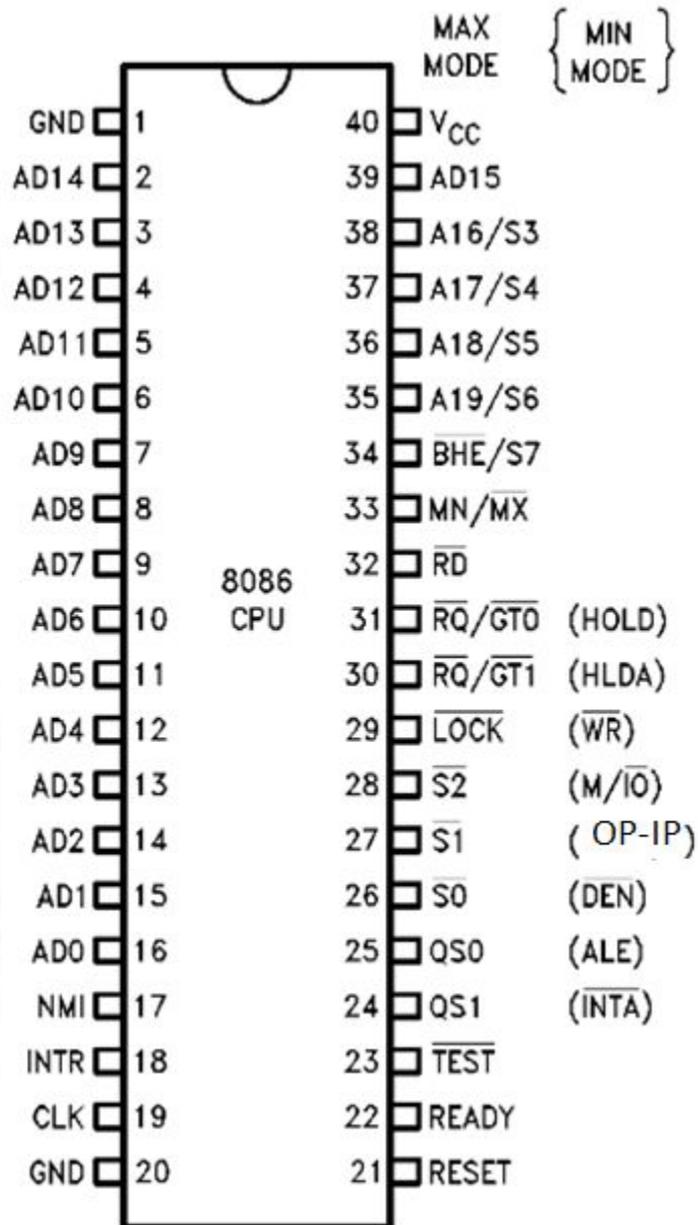


- Физический адрес = сдвинутое на 4 разряда значение сегментного регистра + смещение;
- Внутренняя шина и регистры - 16 бит
- Внешняя шина адреса памяти - 20 бит

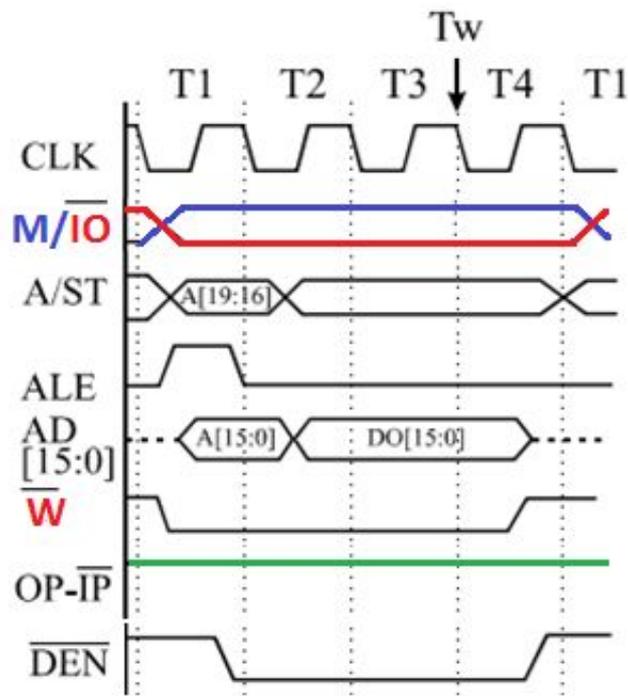
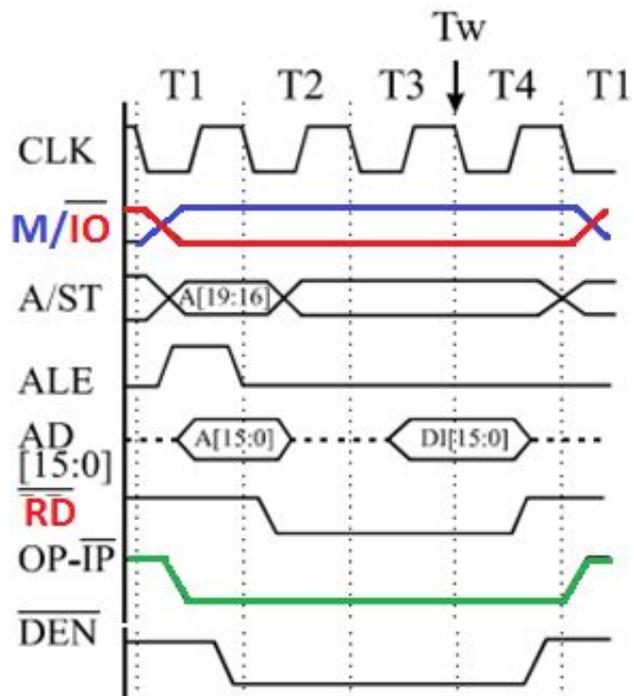
Назначение выводов x8086

Назначение сигналов на выводах микропроцессора

Обозначение вывода	Вход/выход	Назначение вывода
AD15-AD0	Вх/вых	Мультиплексированная ША/Д
A16/S ₃ -A19/S ₆	Вых	Линии адреса или состояния
BHE#/S ₇	Вых	Разрешение старшего байта шины
RD#	Вых	Управление чтением
WR#	Вых	Управление записью
M/IO#	Вых	Выбор памяти или ВУ
ALE	Вых	Разрешение фиксации адреса
OP-IP#	Вых	Направление передачи данных
DEN#	Вых	Разрешение пересылки данных
MN/MX#	Вх	Установка режима
TEST#	Вх	Сигнал окончания режима ожидания
HOLD	Вх	Запрос захвата шины
HLDA	Вых	Подтверждение захвата
INTR	Вх	Запрос прерывания
NMI	Вх	Запрос немаскируемого прерывания
INTA#	Вых	Подтверждение прерывания
READY	Вх	Готовность памяти или ВУ
RESET	Вх	Сброс (начальная установка)
CLK	Вх	Такты ГТИ
GND, +5В	Вх	Общий (земля), питание

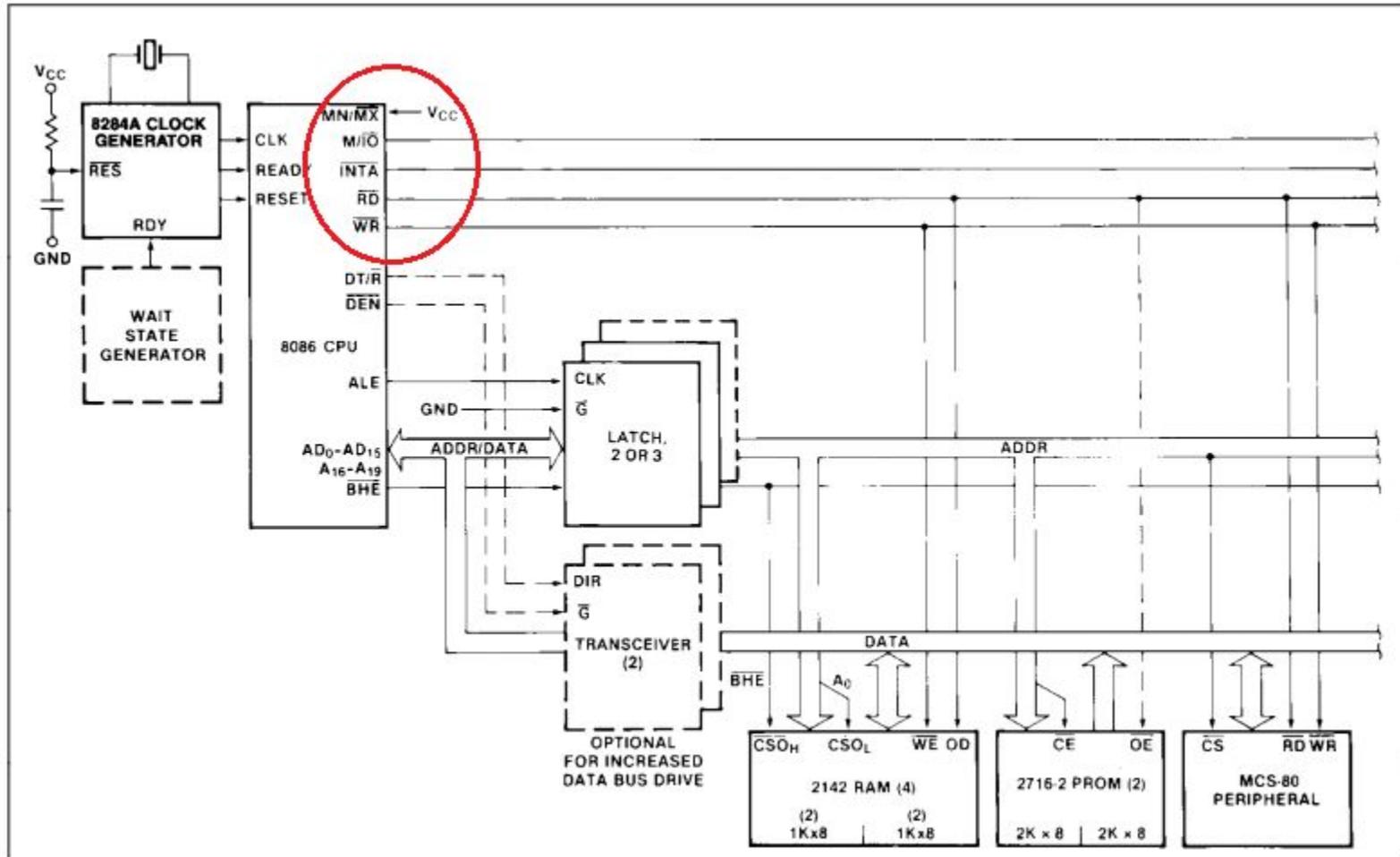


Машинный цикл процессора (чтение/запись)



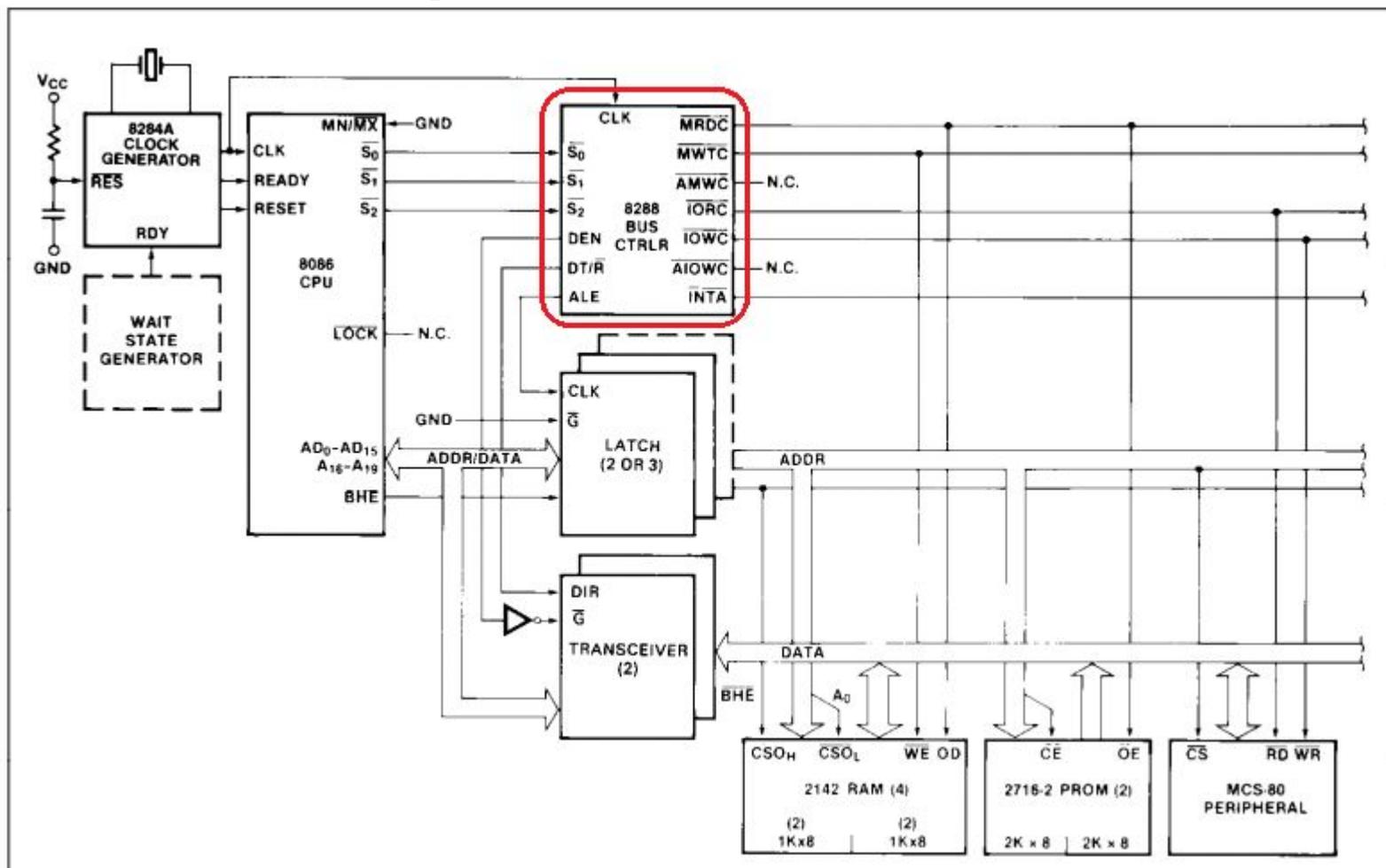
- Машинный цикл чтения / записи занимает четыре такта генератора
- Частота тактового генератора 2-6 МГц

Минимальный режим



Минимальный – сигналы управления внешней шиной

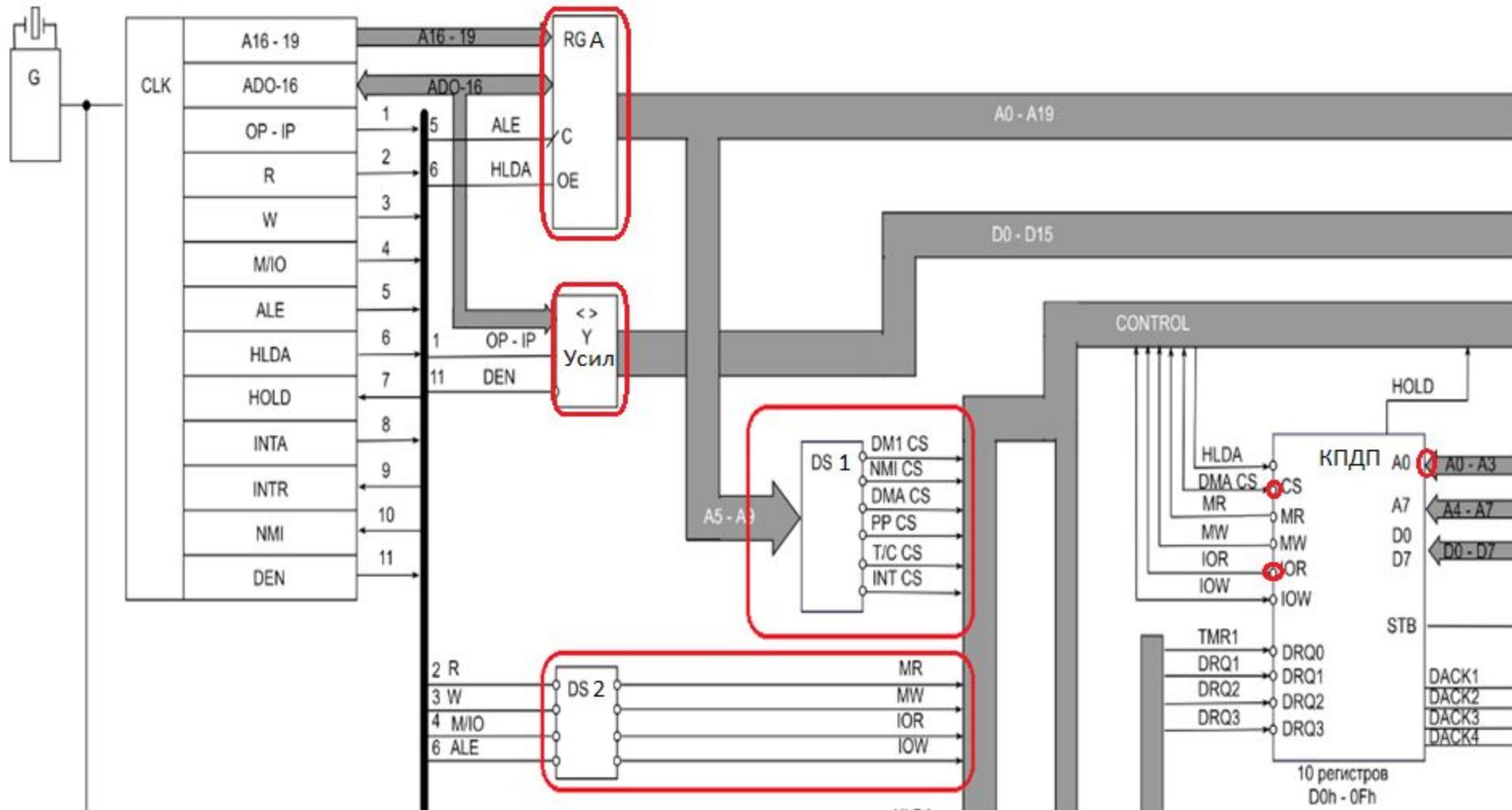
Максимальный режим



Мультипроцессорный режим - для подключения нескольких процессоров (сопроцессора) к общей шине .

Сигналы управления внешней шиной вырабатывает **специальный контроллер шины**.

Структурная схема IBM PC XT



Сигнал CS = 0 переводит выходы соответствующего контроллера из третьего

Схема включения процессора

■ RGA – регистр адреса

- Служит для хранения адреса памяти или порта В/В на **ША** в течение времени обращения процессора по данному адресу.

■ Усилитель

- служит для выбора направления передачи данных от процессора или к процессору и усиления сигналов данных на **ШД**

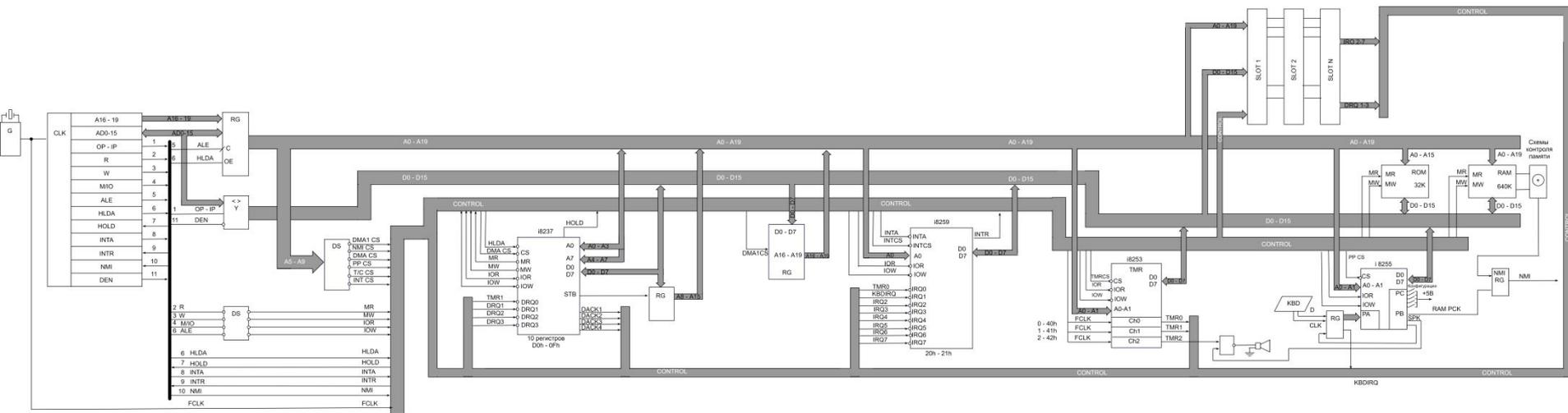
■ DS1

- дешифрирует разряды **A5-A9** адреса для выбора контроллера В/В (базовый адрес). Выходы дешифратора в виде сигналов CS (Chip Select) подаются на аналогичные входы контроллеров ввода-вывода.
- Смещение относительно базового адреса задается разрядами **A0-A4** адреса, поступающими на адресные входы выбранных контроллеров.

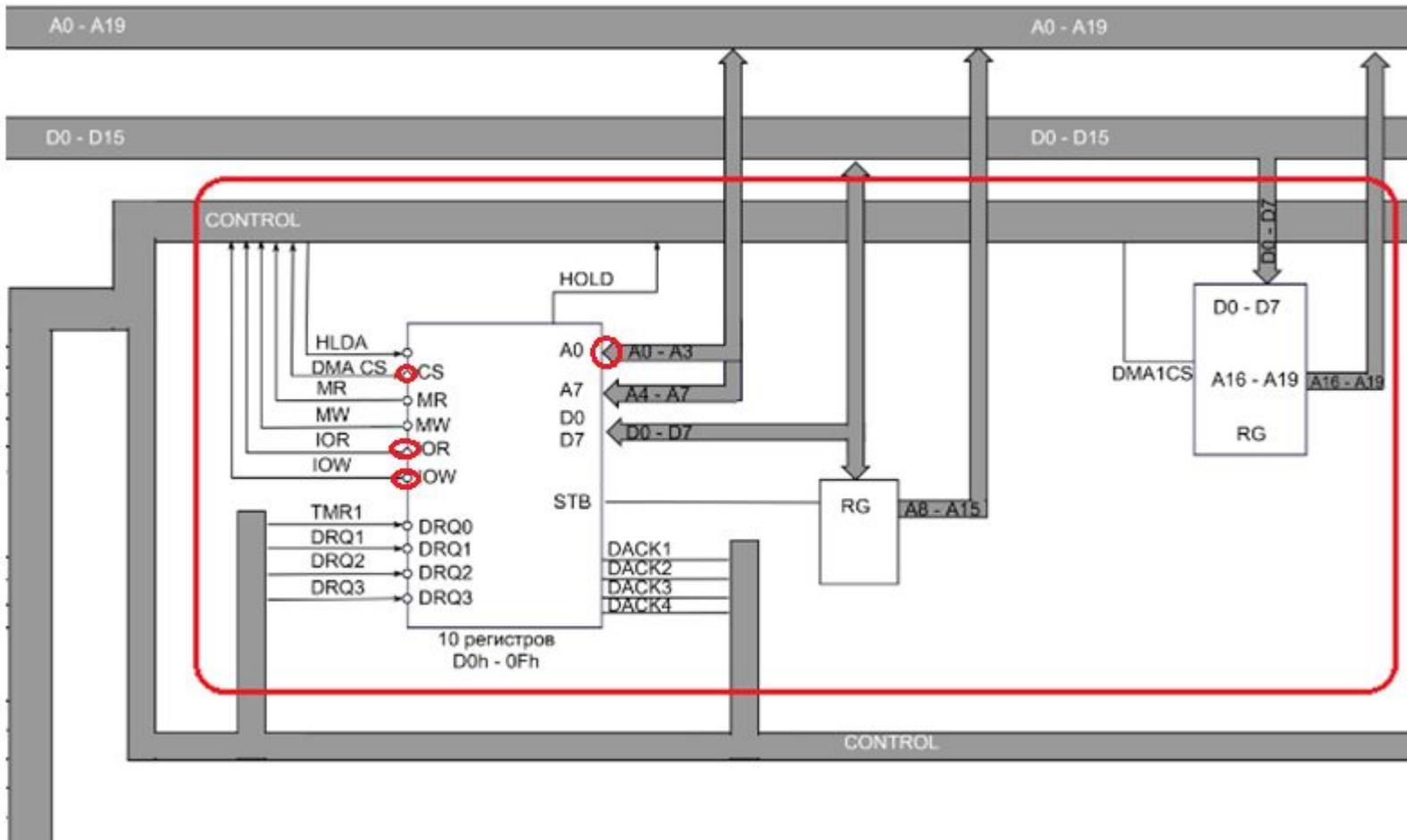
■ DS2

- дешифрирует сигналы **R, W, M/IO** процессора в сигналы на **ШУ** **MR, MW, RIO, WIO** для записи/чтения ячейки памяти или выбранного сигналом CS регистра контроллера ввода-вывода

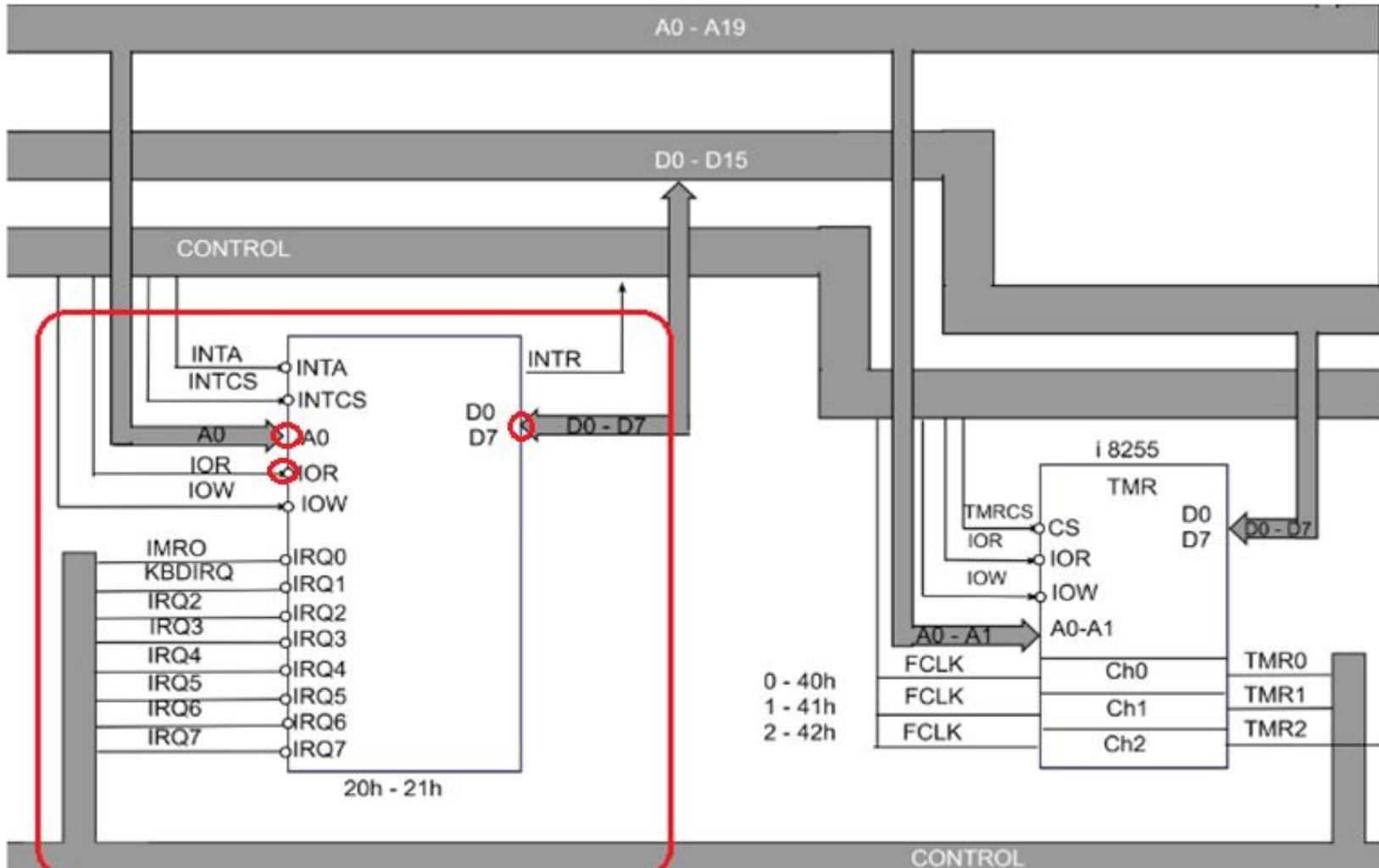
Обобщенная схема



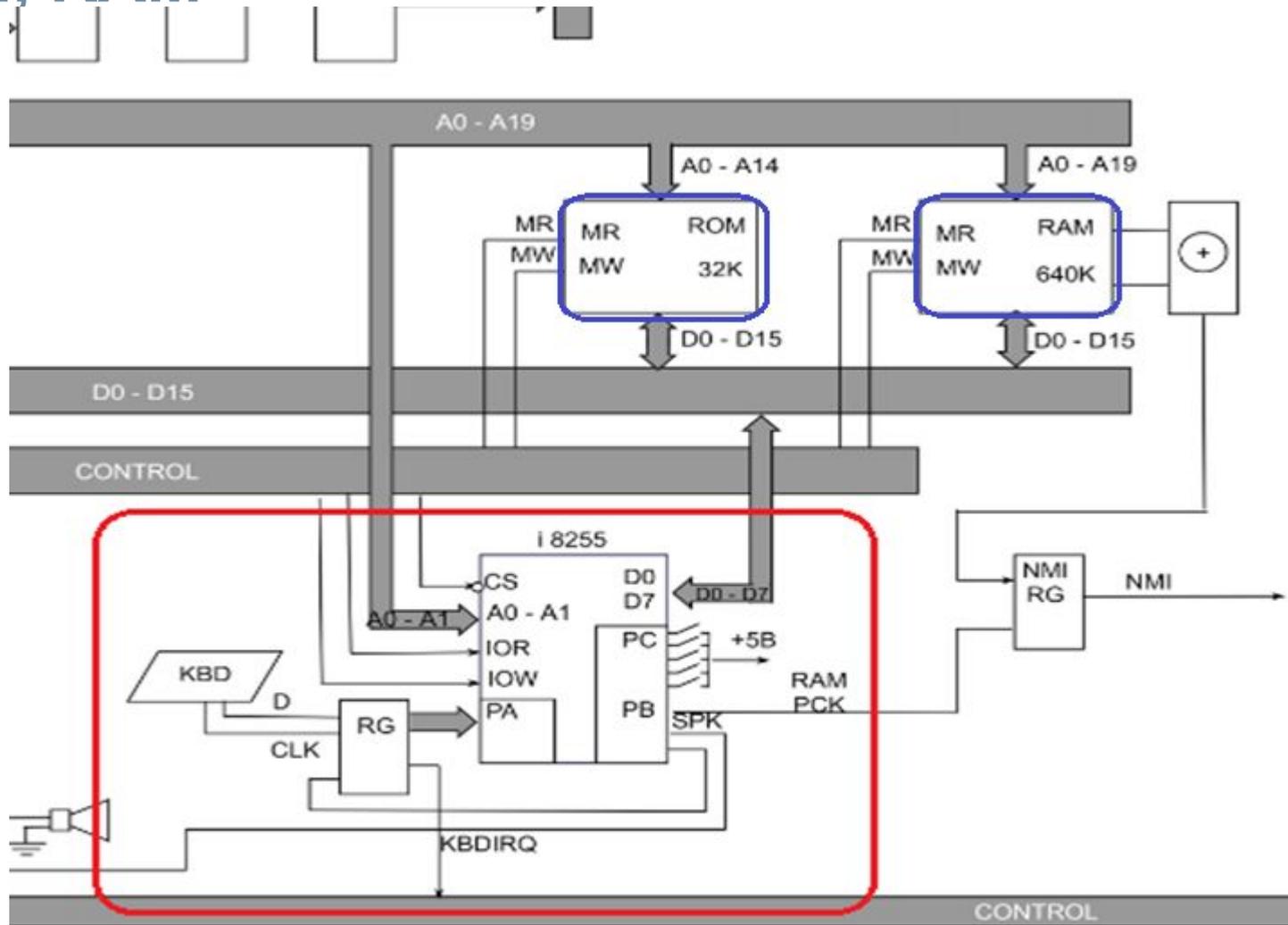
Контроллер прямого доступа к памяти КПДП запись в регистры



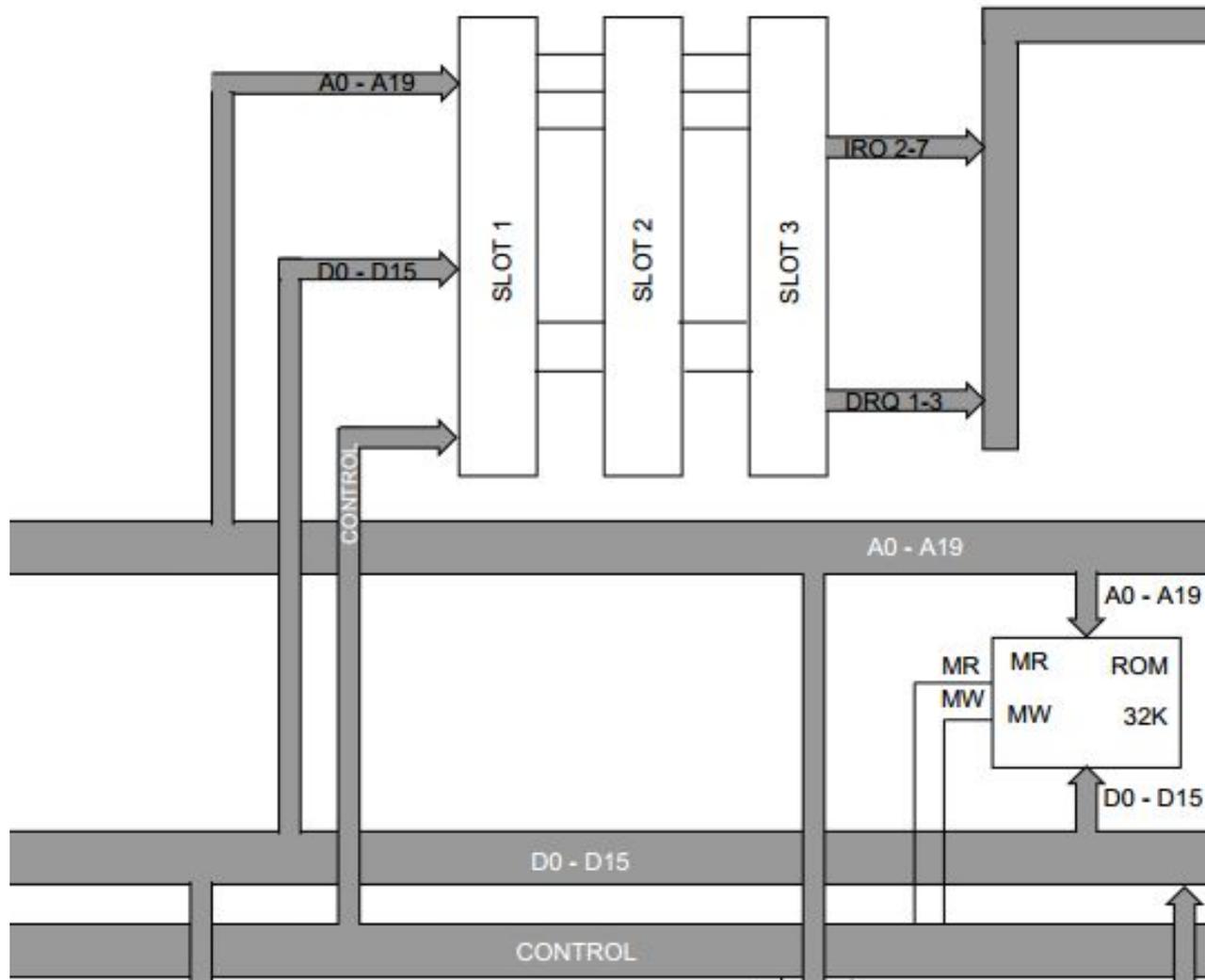
Контроллер прерываний и трехканальный таймер



Программируемый параллельный интерфейс ROM, RAM



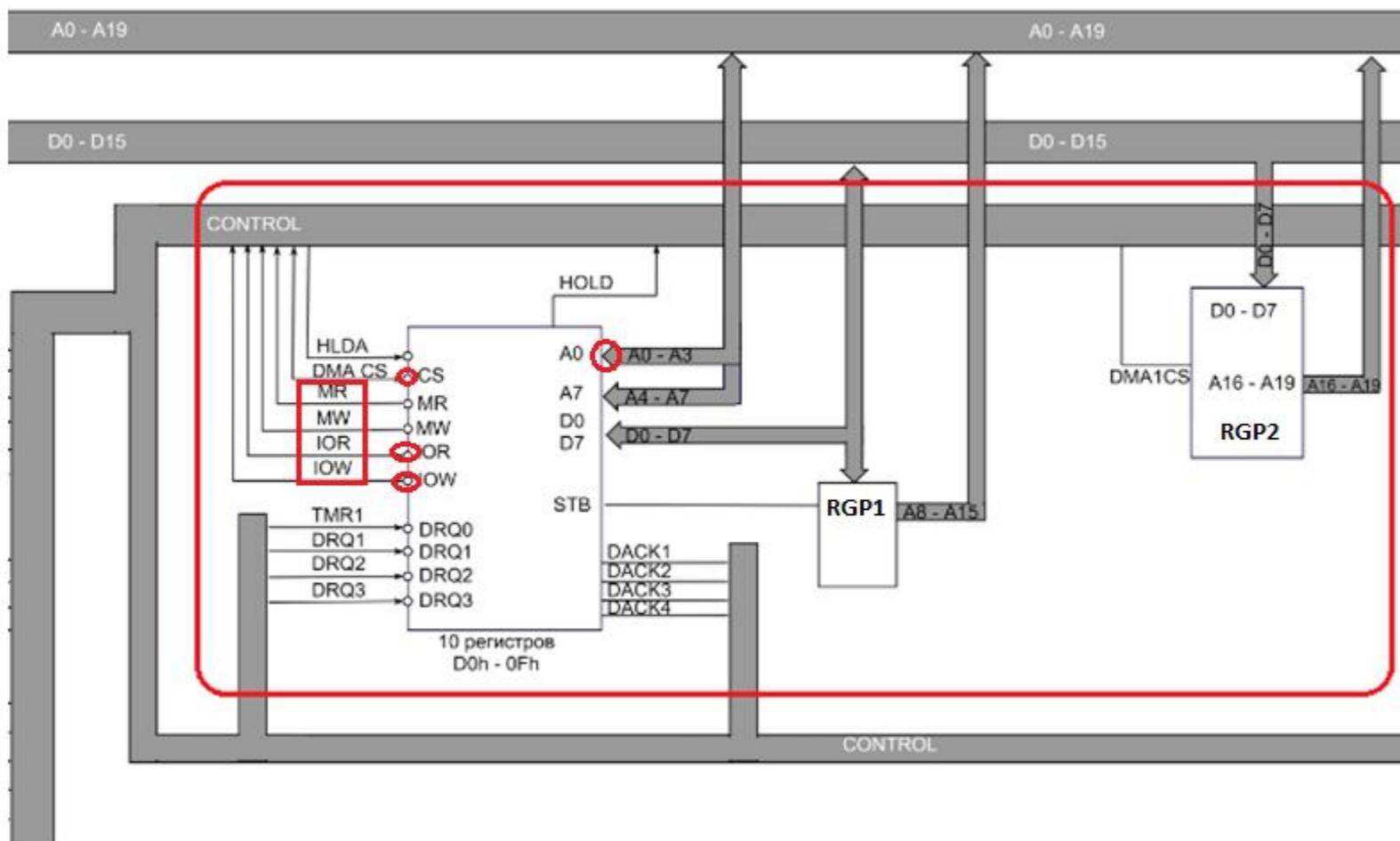
Слоты расширения



Контроллер прямого доступа

- **Контроллер прямого доступа к памяти** (DMA - Direct Memory Access) обеспечивает высокоскоростной обмен данными между контроллером ввода-вывода и ОЗУ без участия центрального процессора.
- Позволяет освободить процессор для выполнения вычислений параллельно с обменом.
- Функции контроллера ПДП выполняла микросхема i8237A

Контроллер ПДП

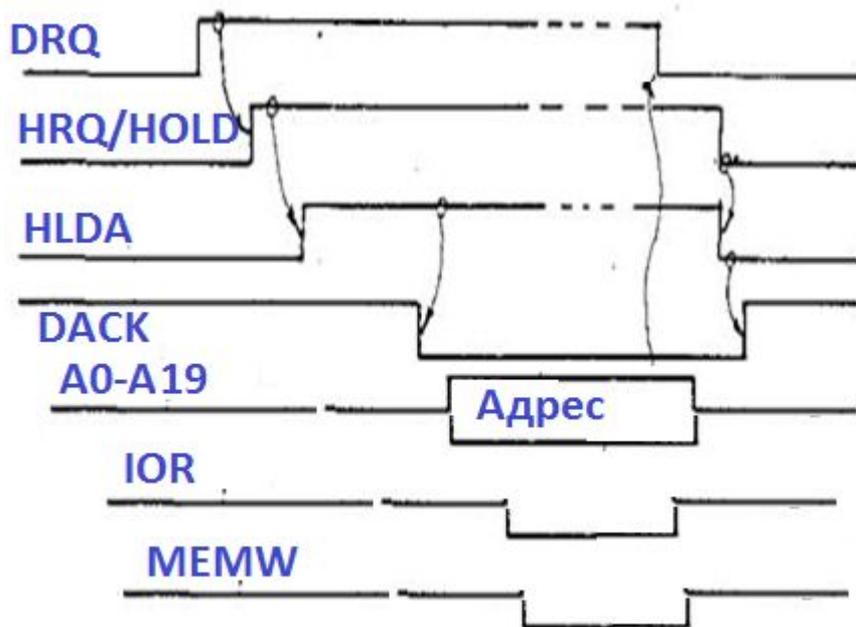


- Регистры RGP1 и RGP2 служат для расширения адреса до 20 бит.

Основные сигналы

- DRQ – запрос от устройства к КПДП на ПДП
- HOLD – запрос от КПДП к процессору на захват шины
- HLDA – ответ процессора КПДП и отключение от шины
- DACK – захват шины КПДП и разрешение устройству ПДП
- A0-A7, A9-A15 - адрес выставляемый КПДП
- IOR,IOW,MR,MW – запись чтение устройства и памяти.
- D0-D7 – данные
- DMA CS – сигнал CS от выбор

Диаграмма работы



Контроллер может работать в режиме передачи блока данных
и в режиме одиночной передачи.

Контроллер ПДП может быть выполнен в виде отдельного устройства (системный КПДП) или в виде внутреннего устройства соответствующего контроллера ввода вывода (контроллера HDD, USB и

Внутренние регистры

- Адреса регистров в диапазоне 00h – 0Fh

Режимы W-запись R-чтение	Число бит	Адреса	Назначение регистров (портов)
		DMA1 (h)	
W	8	08	Регистр управления (команд)
R	8	08	Регистр состояния
W	8	0B	Регистр режима
W	4	0A	Регистр одиночны масок
W	4	0F	Регистр масок
W	4	09	Регистр запросов
W	*	0E	Сброс регистра маски
W	*	0C	Сброс триггера первый/последний (Тп/п)
*	*	*	
R	8	0D	Регистр данных
R/W	16	00	Регистр текущего адреса канала0/канала4

Инициализация контроллера DMA

Процессор «знает» с какой областью памяти работает внешнее устройство (начальный адрес области памяти и количество передаваемых байт)

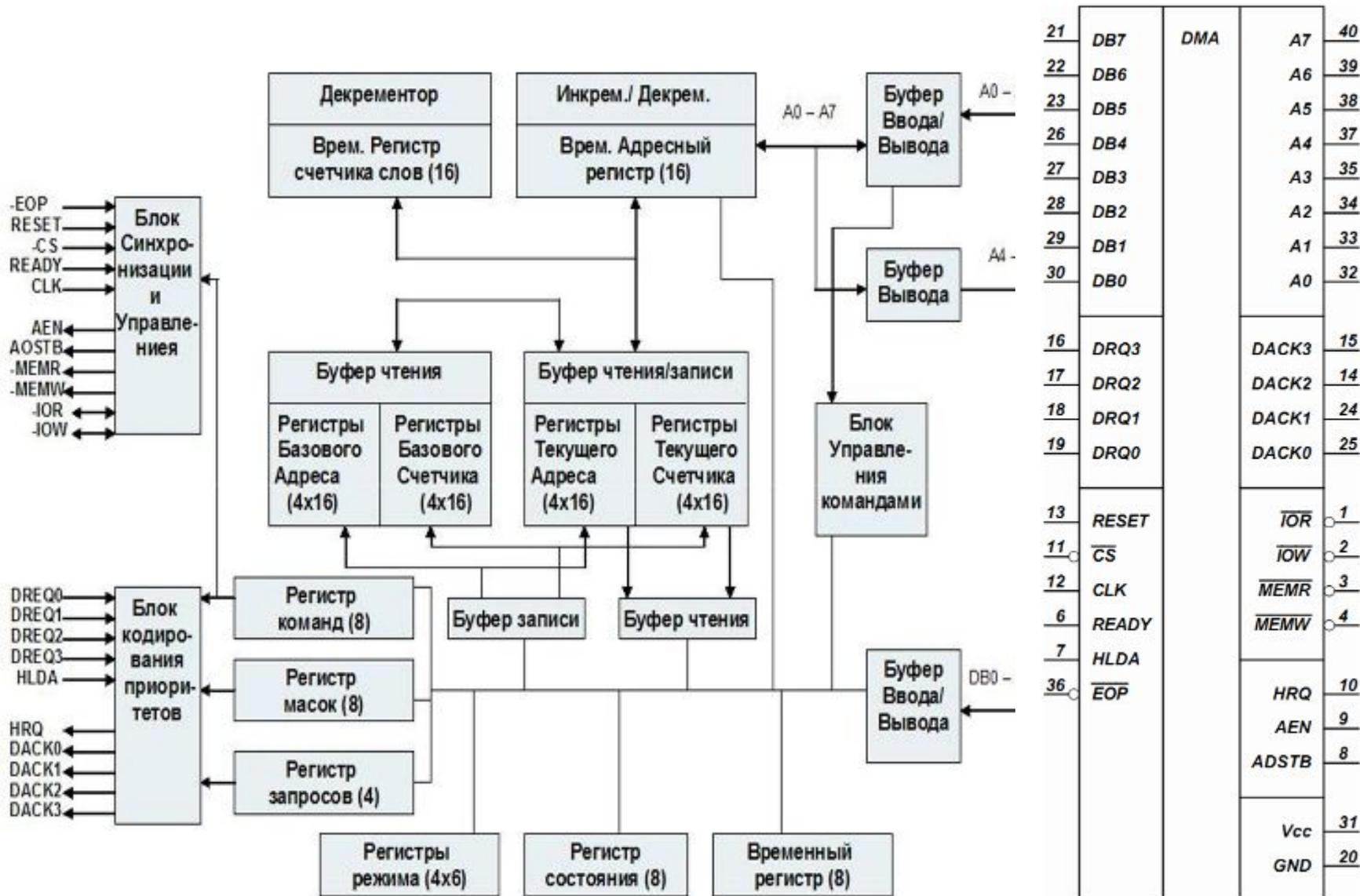
При инициализации КППДП задается :

- **начальный адрес оперативной памяти для обмена;**
- **число передаваемых байт;**
- направление обмена, а также устанавливаются требуемые режимы работы (*одиночная или блочная передача и т. д.*).

Последовательность операций при ПДП

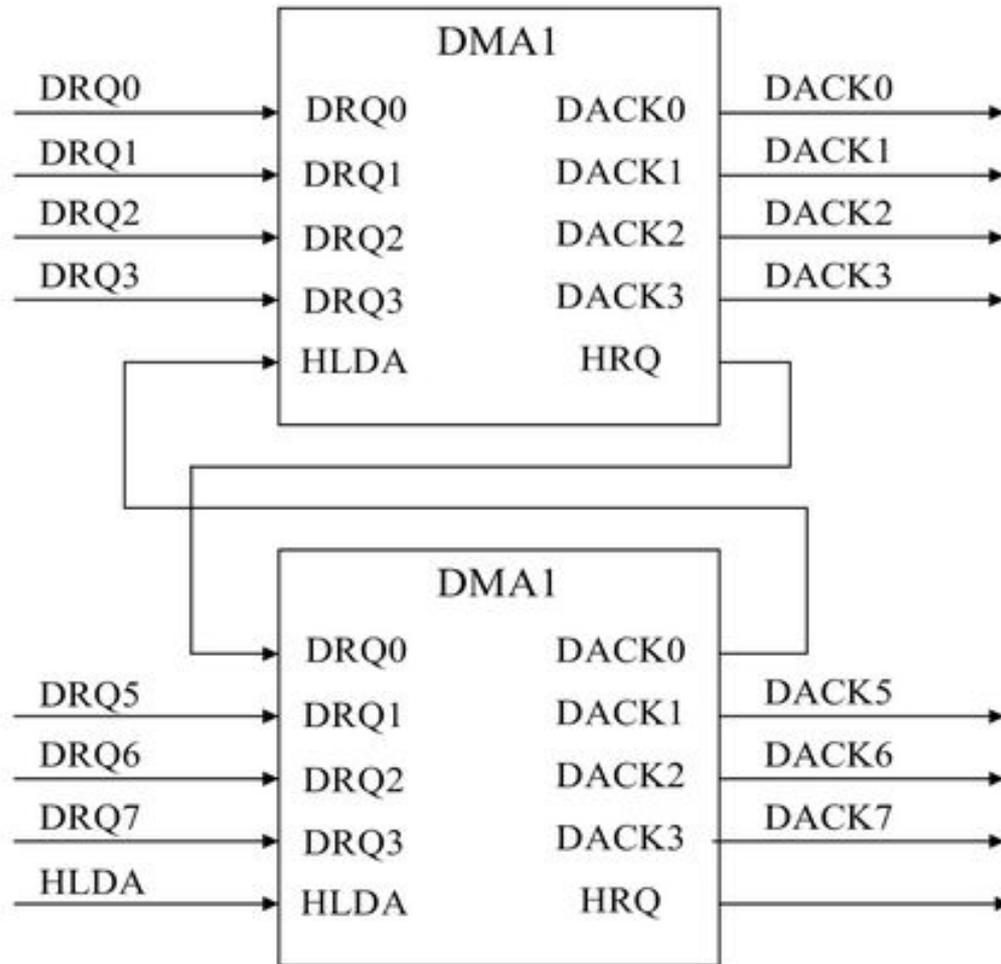
- 1. Инициализация контроллера
- 2. Принять Запрос (DREQ) на ПДП от контроллера HDD к контроллеру ПДП
- 3. Выставить запрос (HRQ) от контроллера ПДП к процессору на захват шины
- 4. Ответ процессора (HLDA) контроллеру ПДП (процессор переводит свои выходы в третье состояние и отключается от ША, ШД, ШУ)
- 5. **Контроллер ПДП берет на себя управление шинами и выставляет адрес памяти** на шину адреса и передает сигнал ответа DACK N в контроллер HDD
- 6. Контроллер ПДП последовательно вырабатывает сигналы IOR и MEMW при записи в память и IOW и MEMR при чтении памяти. Байт данных переписывается напрямую из буфера KBB HDD в ОП.
- 7. Пункты 5-6 повторяются пока не будут переданы все данные, количество которых задано в КПДП.
- 8. Контролер ПДП вырабатывает запрос на прерывание по окончании передачи

Внутренняя структура



21	DB7	DMA	A7	40
22	DB6		A6	39
23	DB5		A5	38
26	DB4		A4	37
27	DB3		A3	35
28	DB2		A2	34
29	DB1		A1	33
30	DB0		A0	32
16	DRQ3		DACK3	15
17	DRQ2		DACK2	14
18	DRQ1	DACK1	24	
19	DRQ0	DACK0	25	
13	RESET	\overline{IOR}	1	
11	\overline{CS}	\overline{IOW}	2	
12	CLK	\overline{MEMR}	3	
6	READY	\overline{MEMW}	4	
7	HLDA	HRQ	10	
36	\overline{EOP}	AEN	9	
		ADSTB	8	
		Vcc	31	
		GND	20	

Каскадирование контроллеров ПДП

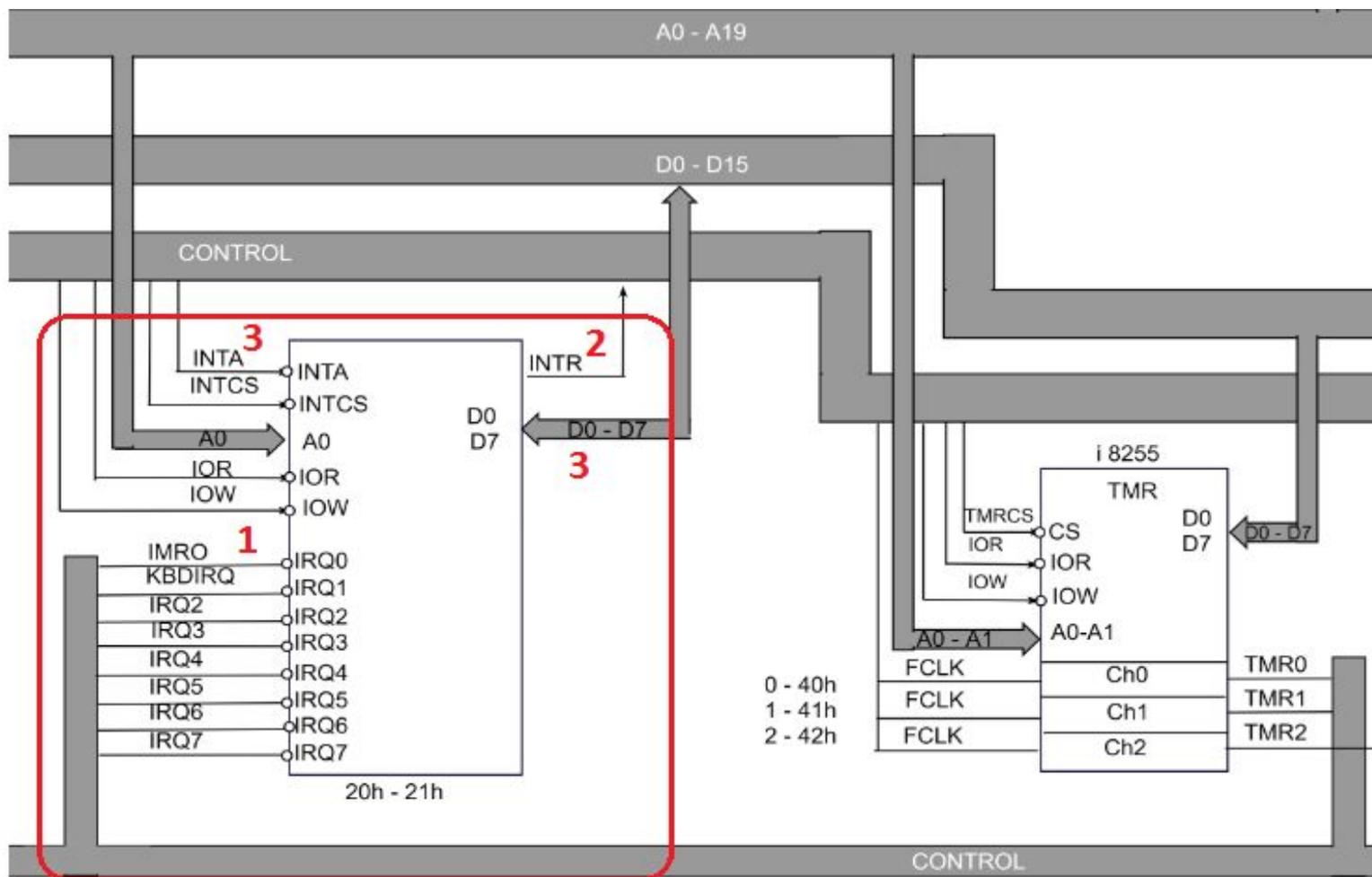


Каналы ПДП для РС ХТ

Каналы	Назначение
К0	для РС/ХТ регенерация памяти ,
К1	Резерв
К2	Работа с контроллером НГМД
К3	Резерв или для некоторых типов ПК работа с жестким диском

В РС ХТ на нулевой канал КПДП каждые 15 мкс подается сигнал от первого канала таймера, по которому КПДП совершает «перебор» ячеек ОП для регенерации их содержимого.

Контроллер прерываний i8259



IRQ0-IRQ7 входы запросов на прерывание

INTCS – выбор чипа контроллера прерываний от дешифратора базового адреса

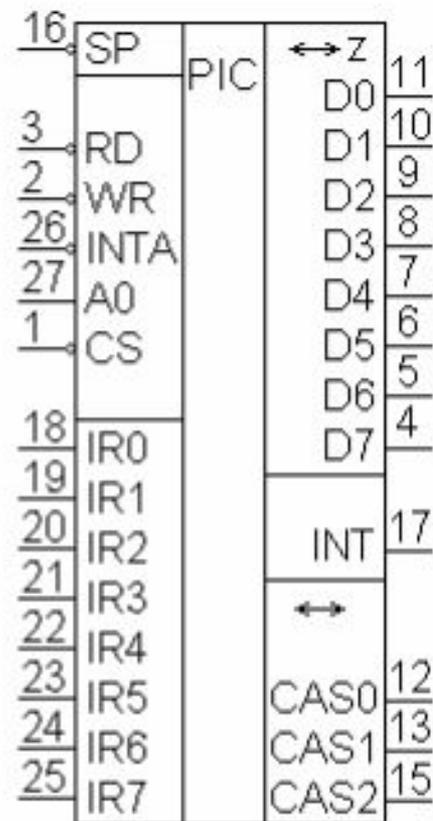
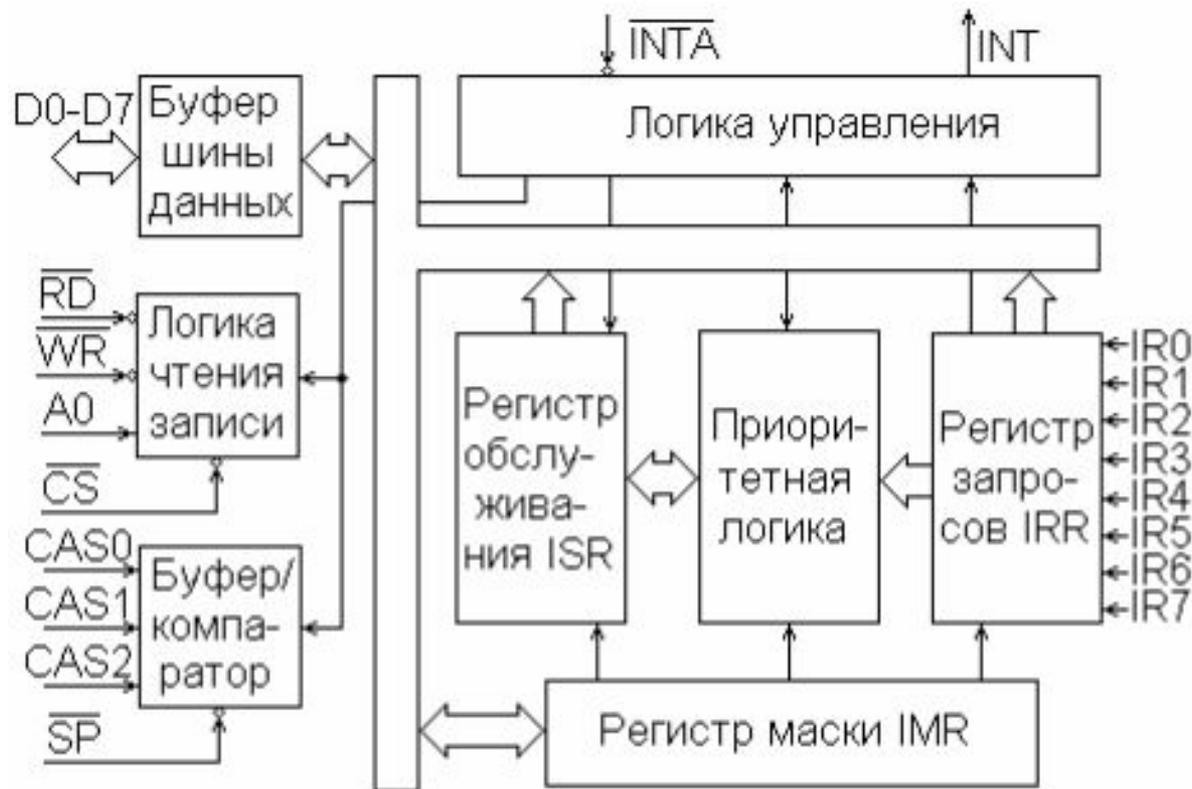
INT – запрос на прерывание к процессору

INTA – ответ процессора

A0 – выбор внутренних регистров, RD/WR – запись/чтение

D0-D7 шина данных,

Контроллер прерываний i8259



Внутренние регистры

- **Регистр запросов IRR** (Interrupt request register) – запоминает все запросы на входе IRQ.
- **Регистр состояния ISR** (Interrupt Status Register) – задает приоритет обработки прерываний
- **Регистр маскирования IMR** (Interrupt Mask Register) – запрещает отдельные прерывания
- Адреса регистров
- ISR: 20H
IMR:21H
- Обращение к IRR с помощью специальных управляющих слов

Временная диаграмма



Порядок операций при прерывании

- 1. Инициализация контроллера
- 2. Контроллер устройства В/В вырабатывает сигнал запроса на прерывание, который поступает на входы IRQ0-IRQ7 КПП
- 3. КПП вырабатывает сигнал запроса на прерывание INTR процессору, который поступает на соответствующий вход процессора
- 4. Процессор в ответ вырабатывает два раз сигнал подтверждения прерывания INT A контроллеру В/В.
 - Первый раз биты запроса на прерывание фиксируется в регистре запросов IRR.
 - Второй раз номер прерывания (вектора) по шине данных считывается в процессор, разрешая запись новых запросов прерываний IRR.
- 5. В процессоре номер вектора умножается на 4 (сдвигается влево на два бита) и получается адрес в таблице векторов прерываний, по которому хранится адрес начала обработчика прерываний.

Приоритеты прерываний

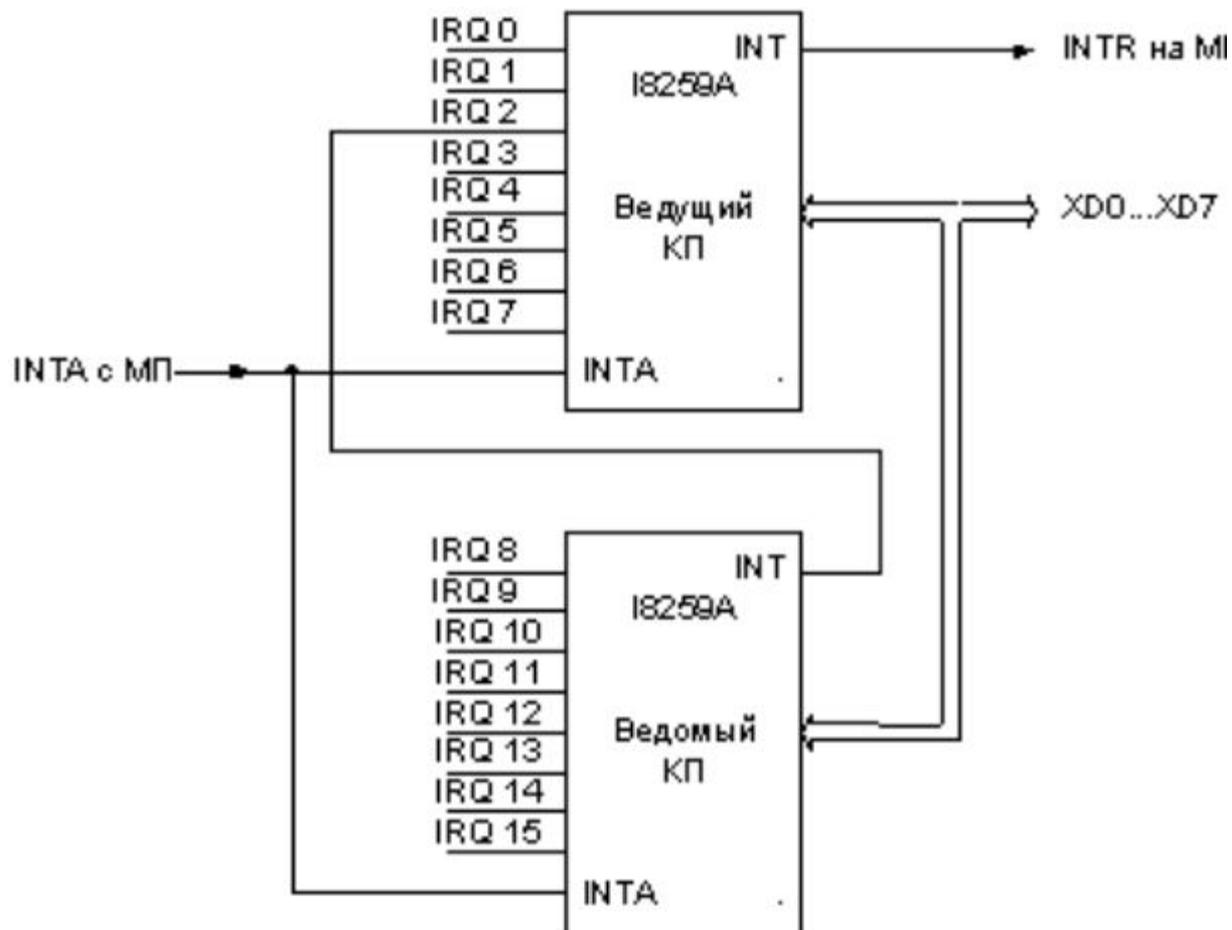
- **IRQ# Номер вектора Устройство**

0	08h	Системный таймер
1	09h	Клавиатура
2	0Ah	Зарезервировано(2-ой 8259)
3	0Bh	Последовательный порт(COM1)
4	0Ch	Последовательный порт(COM2)
5	0Dh	Жесткий диск
6	0Eh	Дисковод
7	0Fh	Принтер(LPT1)
- В реальном режиме для обработки прерываний IRQ0-IRQ7 используются номера прерываний от 08h до 0Fh.
- Немаскируемые прерывания (NMI)
 - 1) От сопроцессора
 - 2) Ошибки паритета памяти
 - 3) От контролеров внешних устройств, размещенных в слотах расширения

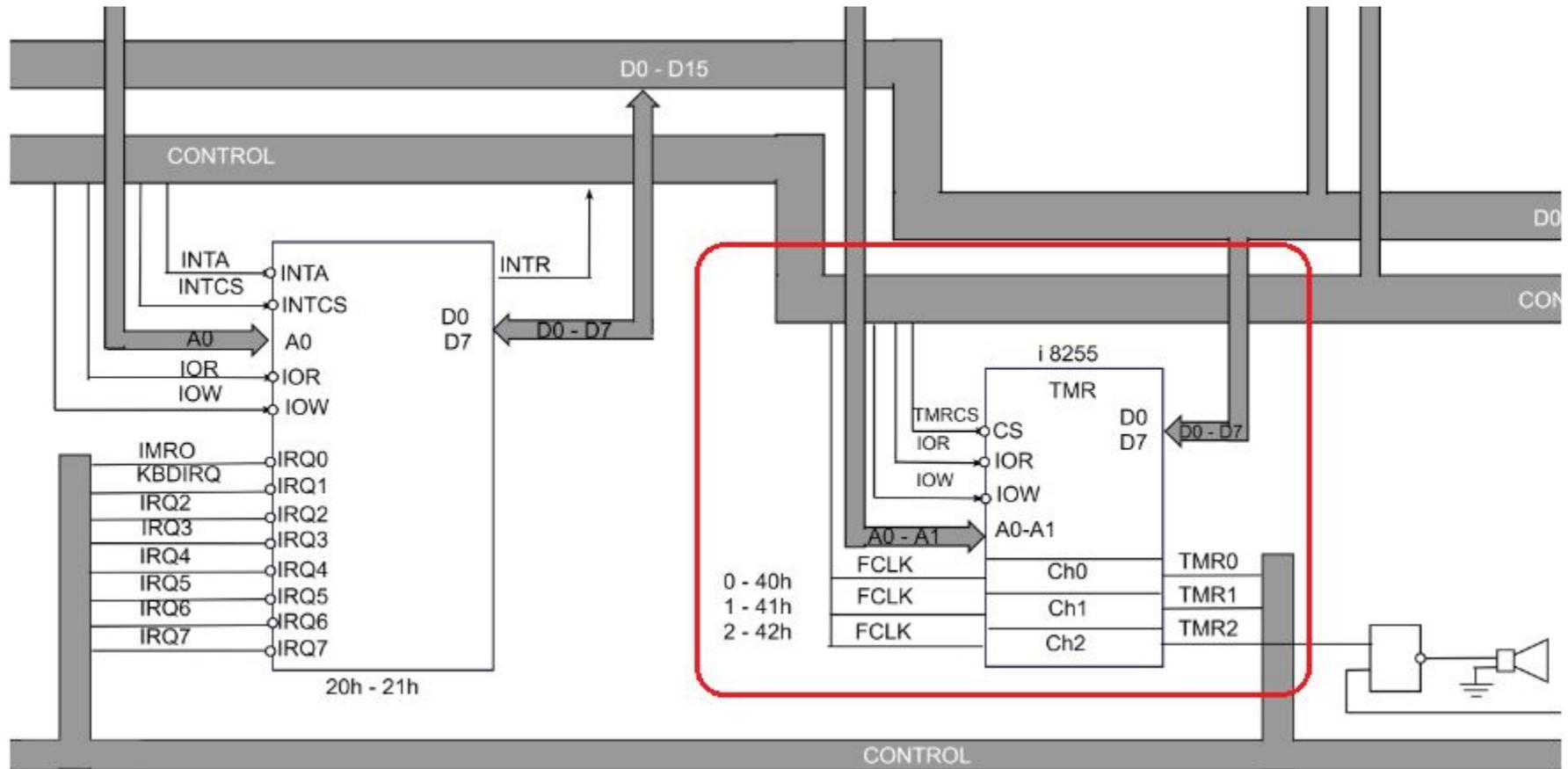
Инициализация контроллера

- Программирование i8259 осуществляется двумя типами управляющих слов:
- **Командные слова инициализации ICW** (Initialization Command Word) ICW1-ICW3 загружаются перед началом работы и устанавливают режим работы контроллера:
 - Количество каскадно-соединенных контроллеров
 - Тип процессора
 - Начальный вектор блока векторов прерываний (для диапазона 08h – 0Fh загружается 08h)
 - И др.
- **Командные слова операций OCW** (Operation Command Word). Для оперативного управления работой контроллера.
 - Управление приоритетом прерываний
 - Управление логикой контроллера (например, чтение и сброс битов регистра IRR)

Каскадирование контроллеров



Трехканальный таймер



040h - нулевой канал

041h - первый канал

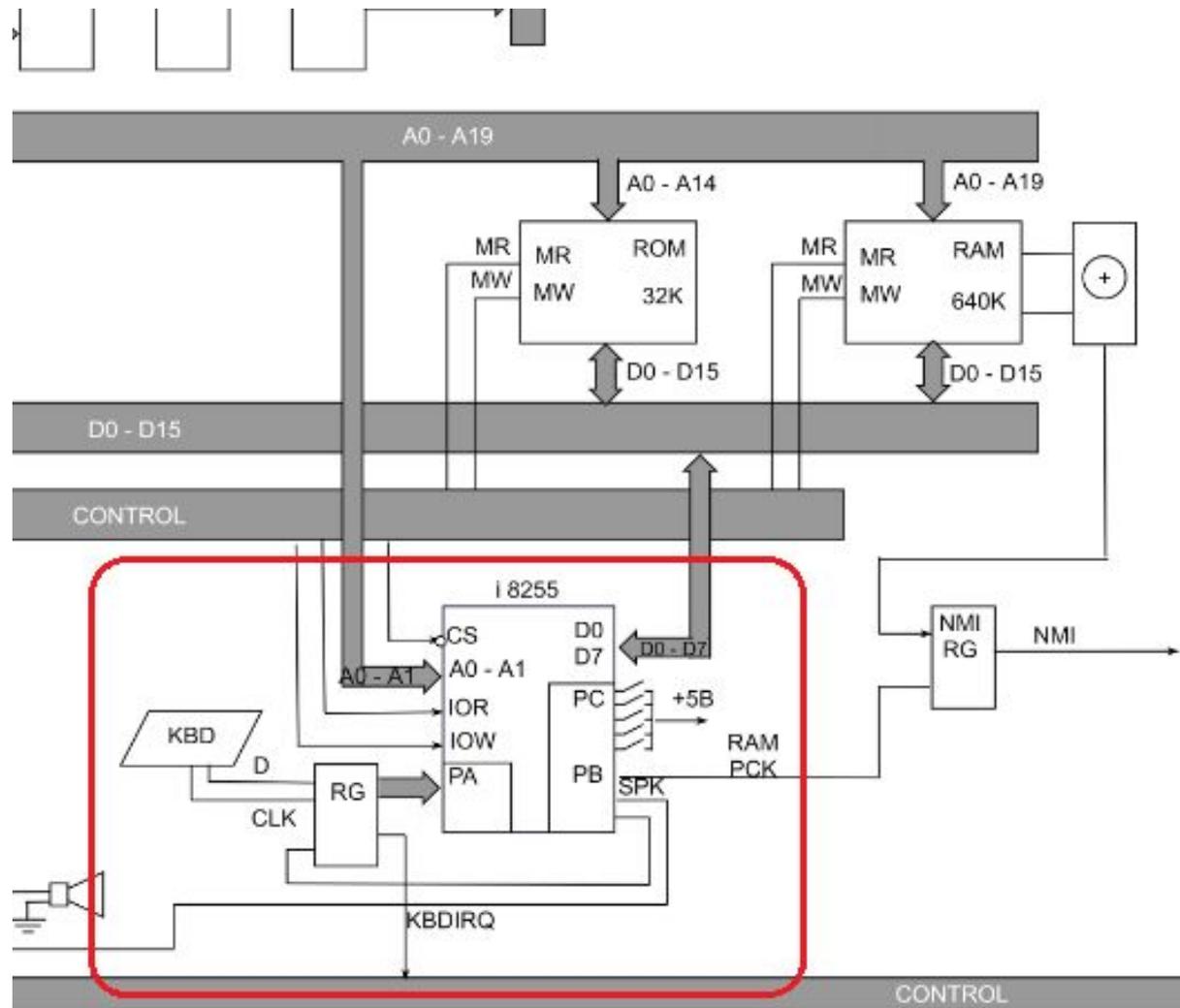
042h - второй канал

043h - для задания режимов работы каналов таймера.

Трехканальный таймер i8253 для PC XT

- **Нулевой канал**
 - Используется для ведения системного времени, вызывая каждую **1/18** секунды прерывание процессора и запуская программу, увеличивающую содержимое четырех байт памяти (начиная с адреса **046Ch**) на 1.
- **Первый канал**
 - Каждые 15мкс обращается к каналу контроллера ПДП и запускает процедуру **регенерации ОЗУ**.
- **Второй канал**
- Генерирует частоту, выдаваемую на звуковую головку для генерации звуковых сигналов. (например, при ошибках памяти)

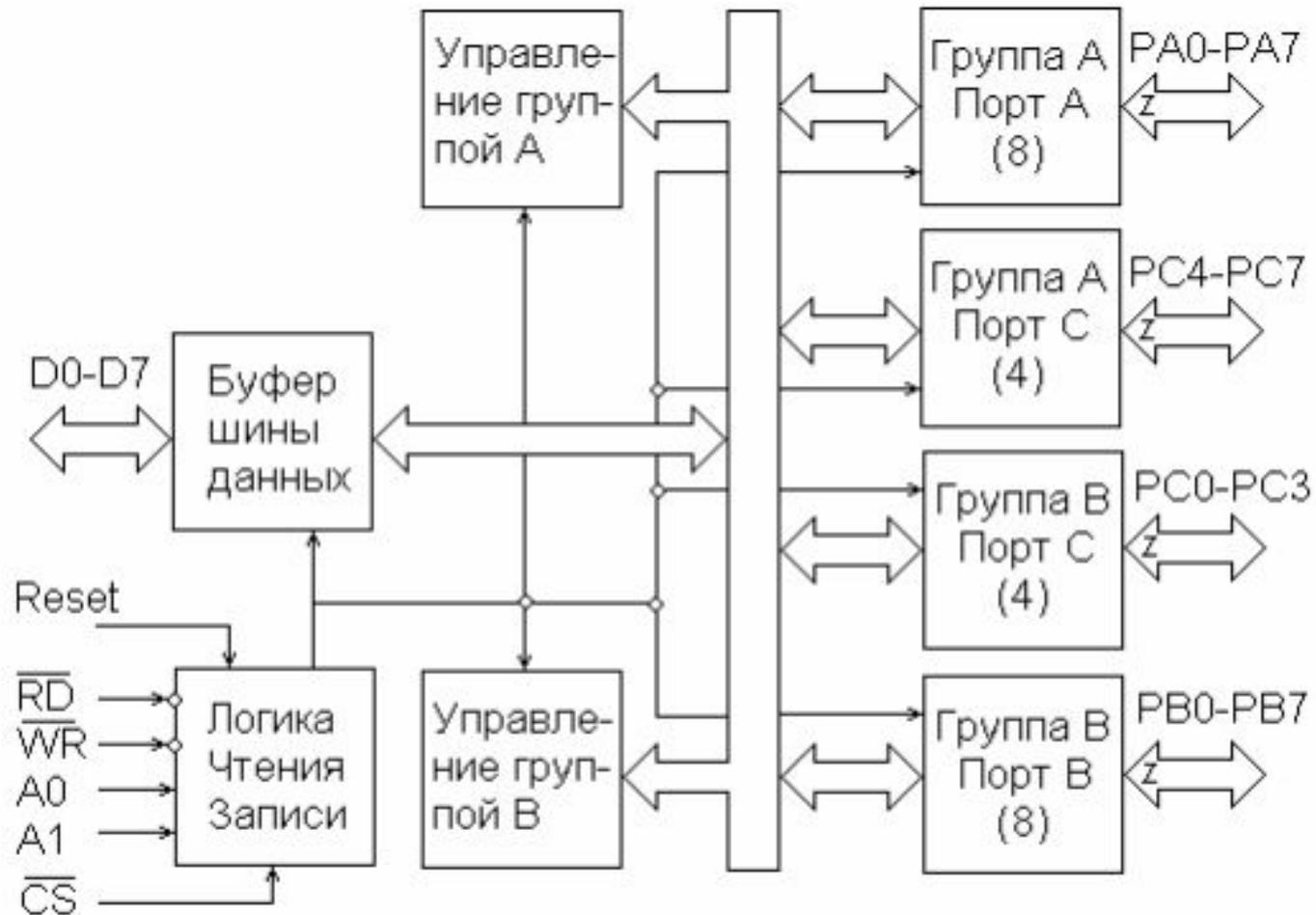
PPI (Programmable Parallel Interface) i8255A.



Код нажатой клавиши запоминается в специальном регистре и по нему вырабатывается

запрос на прерывание, который поступает на вход I/O1 контроллера прерываний

Структурная схема i8255



Программируемый параллельный интерфейс

- **PPI (Programmable Parallel Interface) i8255A.**
- Включает три двунаправленных байтовых порта (А, В и С).
- **Порт А** (адрес 60h)
 - Для чтения поступающего с клавиатуры сканкода нажатой клавиши (после нажатия клавиши, возникает прерывание **IRQ1** по которому обработчик считывает с порта А код нажатой клавиши)
- **Порт В** (адрес 61h)
 - Для вывода управляющих сигналов различного назначения (например для разрешения или запрещения звуковых сигналов).
- **Порт С** (адрес 62h)
 - используется BIOS и ОС для чтения свитчей конфигурации оборудования системы. Позже эта функция перенесена в CMOS – память BIOS

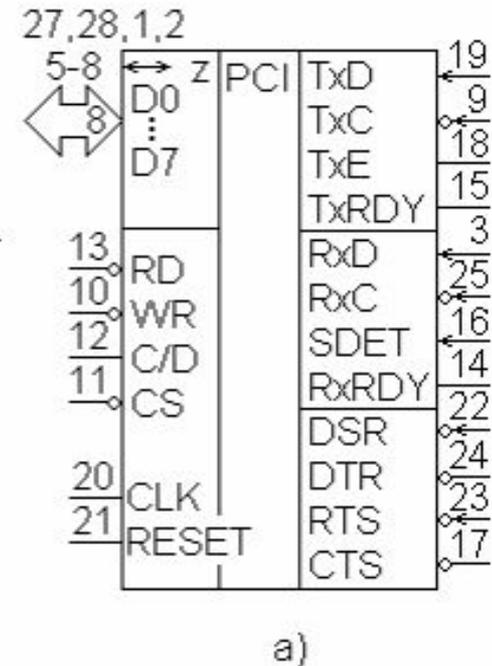
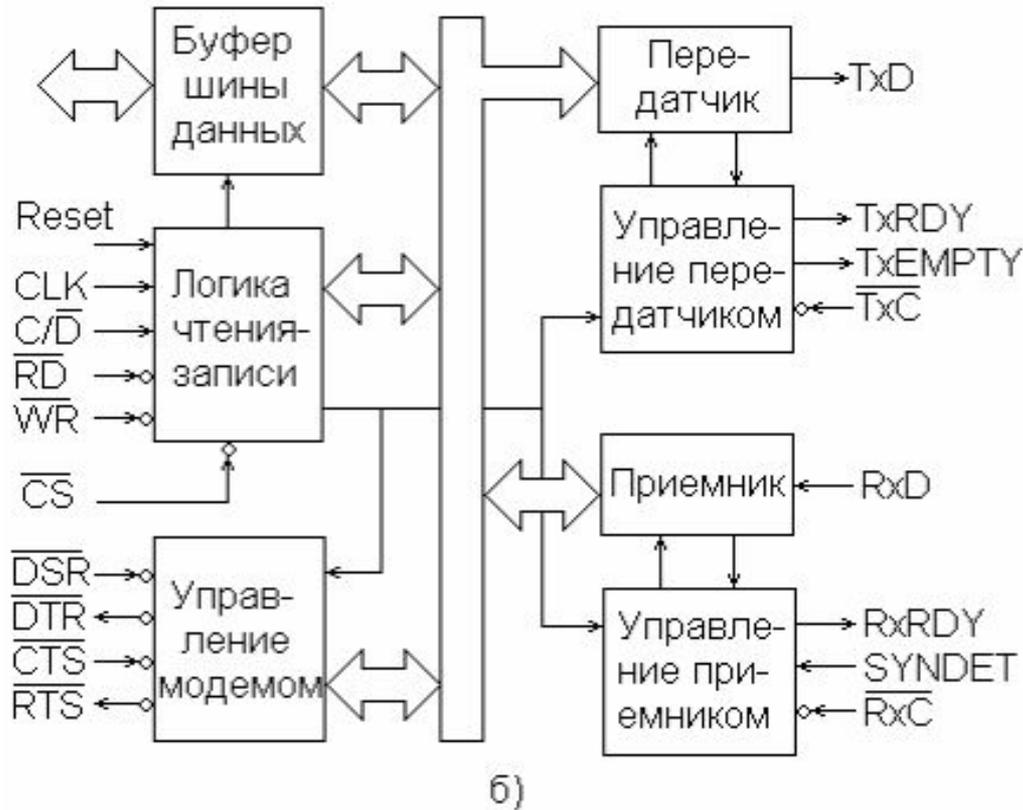
Позже микросхема i8255 использовалась в качестве параллельного порта (LPT интерфейса) для подключения различных устройств (*например, принтера*)

Универсальный последовательный синхронно-асинхронный приемо-передатчик i8251 (COM порт)

USART – Universal Synchronous/Asynchronous Resiver/Transmitter

- Реализует синхронно-асинхронными канал последовательной связи для подключения различных устройств (например, модемов).
- В некоторых моделях использовался для подключения мышки и других устройств.
- В настоящее время в архитектуре ПК заменен USB.
- Широко используется во встроенных системах в силу своей простоты.

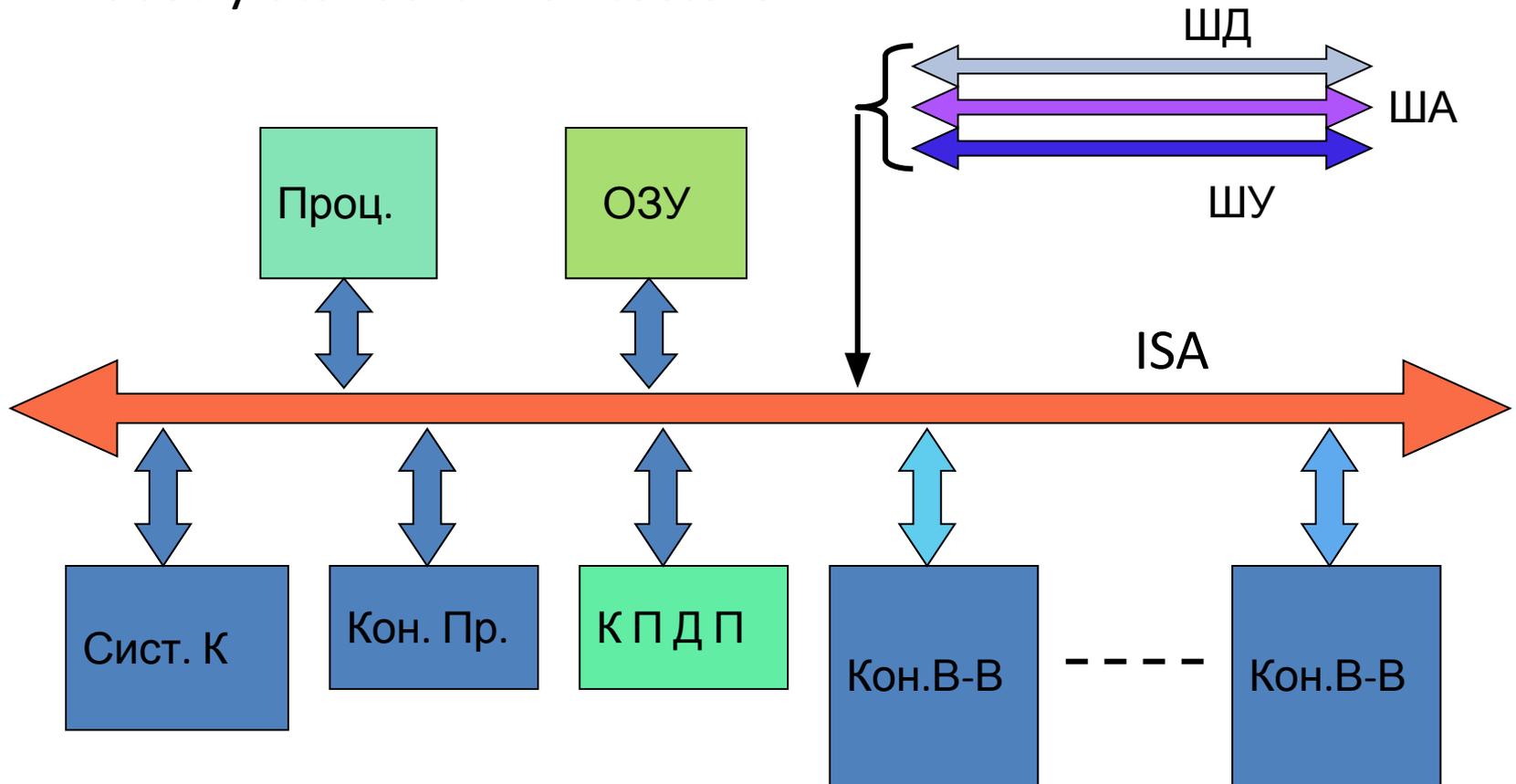
Структурная схема



В состав входят передатчик, приемник, буфер шины данных и схемы управления передатчиком, приемником

Структура шина ISA

Industry Standart Architecture



Организация взаимодействия с ПУ

- Программный ввод – вывод
- По прерываниям
- Прямой доступ к памяти