

# ПРОЕКТИРОВАН ИЕ ТОПОЛОГИИ ИС

ВЫПОЛНИЛА: АЙТУВАРОВА  
Ж.

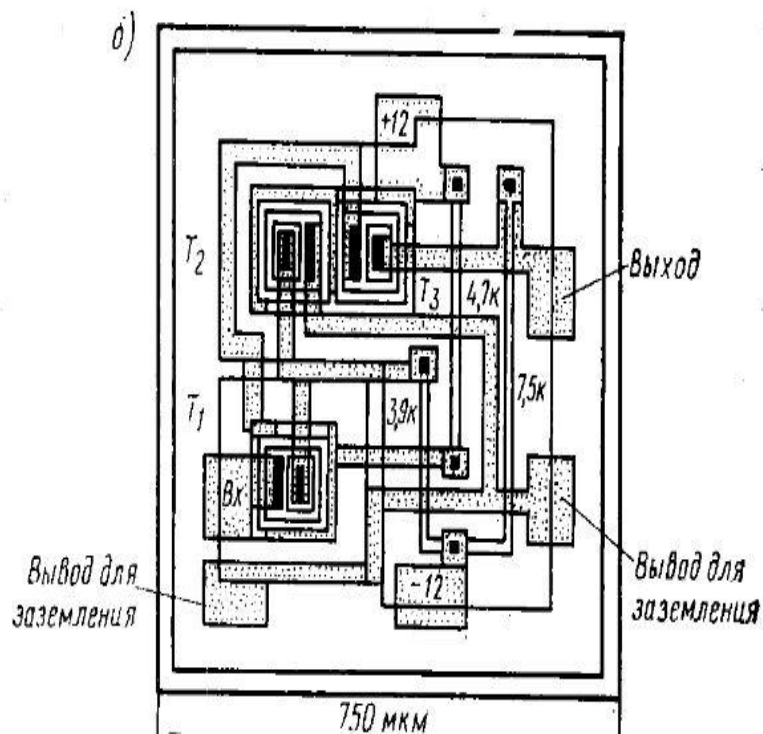
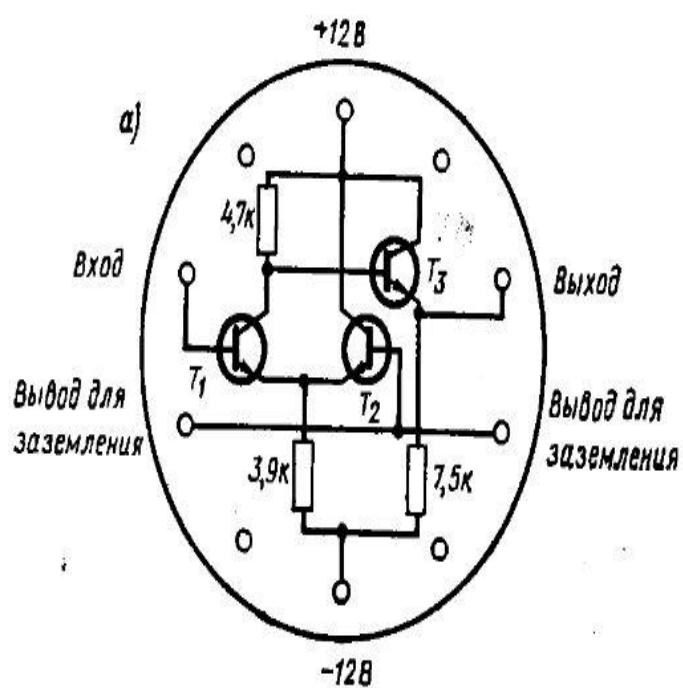
ВТИПО, 4А

*Проектирование топологии* - заключительный этап в общем процессе проектирования БИС, являющийся наиболее сложным и трудоемким. При этом решают следующие взаимосвязанные задачи:

- а) размещение элементов в системе координат пластины (платы) с учетом схемотехнических, технологических и конструктивных ограничений;
- б) проведение межэлементных соединений (трассировка);
- в) вычерчивание послойных чертежей с общего вида топологии и составление таблиц координат угловых точек для дальнейшего изготовления комплектов фотошаблонов.

*Проектирование топологии БИС* производится только машинными методами; основные технологические процессы автоматизируются для повышения степени интеграции; высокотемпературные диффузионные операции стараются заменить ионным легированием; в формировании рисунка схемы используются методы с высокой разрешающей способностью; для многоуровневой металлизации в БИС применяются новые материалы. Однако быстро развивающиеся и разнообразные по функциональному назначению БИС требуют дальнейшего совершенствования технологических процессов.

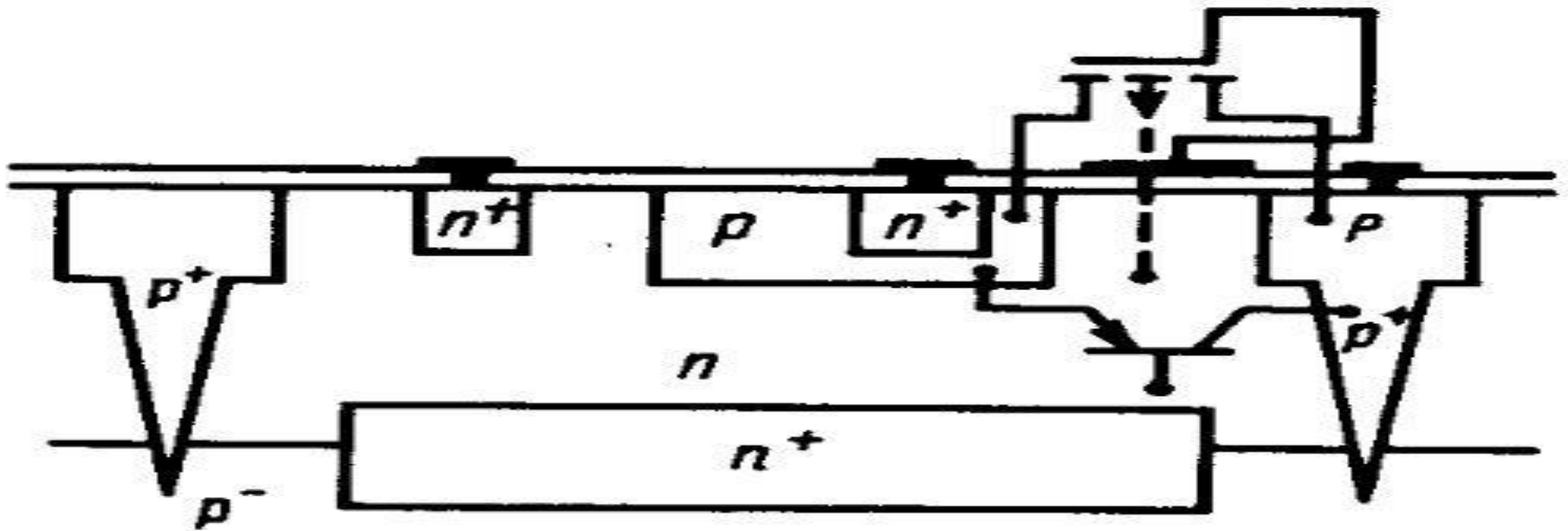
*Проектирование топологии МДП-ИМС* является более простой задачей по сравнению с проектированием ИМС на биполярных транзисторах. Кроме того, относительная простота может быть объяснена особенностями схемотехнического построения МДП-ИМС, при котором МДП-транзистор является единственным типовым элементом, а между отдельными элементами используется непосредственная связь.



При проектировании полупроводниковых микросхем на МДП - транзисторах необходимо учитывать следующее. Все логические схемы могут быть выполнены полностью на одних МДП - структурах. Между МДП - транзисторами не требуется изоляции. В качестве внутрисхемных соединений часто используют диффузионные высоколегированные слои.

Таким образом, все основные этапы проектирование полупроводниковых интегральных микросхем взаимосвязаны, что приводит иногда к многократному повторению цикла проектирования с целью наиболее полного использования технологических возможностей. При *проектировании топологии* вначале разрабатывают эскизный вариант. Для этого принципиальную электрическую схему перечерчивают таким образом, чтобы выводы располагались в необходимой последовательности, а все элементы соединялись с минимальным числом пересечений. Далее определяют число изолированных областей. Получив приемлемый эскиз, разрабатывают предварительный вариант топологии. При этом топологию вычерчивают в масштабе 100:1; 200:1; 500:1 или 600:1 с учетом всех данных, требований и ограничений. При этом необходимо учитывать точность воспроизведения фотолитографии, уход геометрических размеров при диффузии и применять групповой метод компоновки элементов.

При проектировании топологии интегральных компонентов необходимо учитывать паразитные эффекты. На рис. показан интегральный  $n$ - $p$ - $n$  транзистор с паразитным  $p$ - $n$ - $p$  транзистором. В случае, если над поверхностью кристалла между базой  $n$ - $p$ - $n$  транзистора и  $p$ -изоляцией или любой другой областью  $p$ -типа, находящейся в том же изоляционном кармане, будет проходить металлизация, имеющая напряжение, способное создавать инверсию приповерхностного слоя, может образоваться паразитный МДП – транзистор.



В процессе *проектирования топологии транзистора* полупроводниковой ИМС целесообразно проанализировать несколько различных конфигураций, из которых затем можно выбрать вариант, в наибольшей степени удовлетворяющий тому или иному схемотехническому решению.

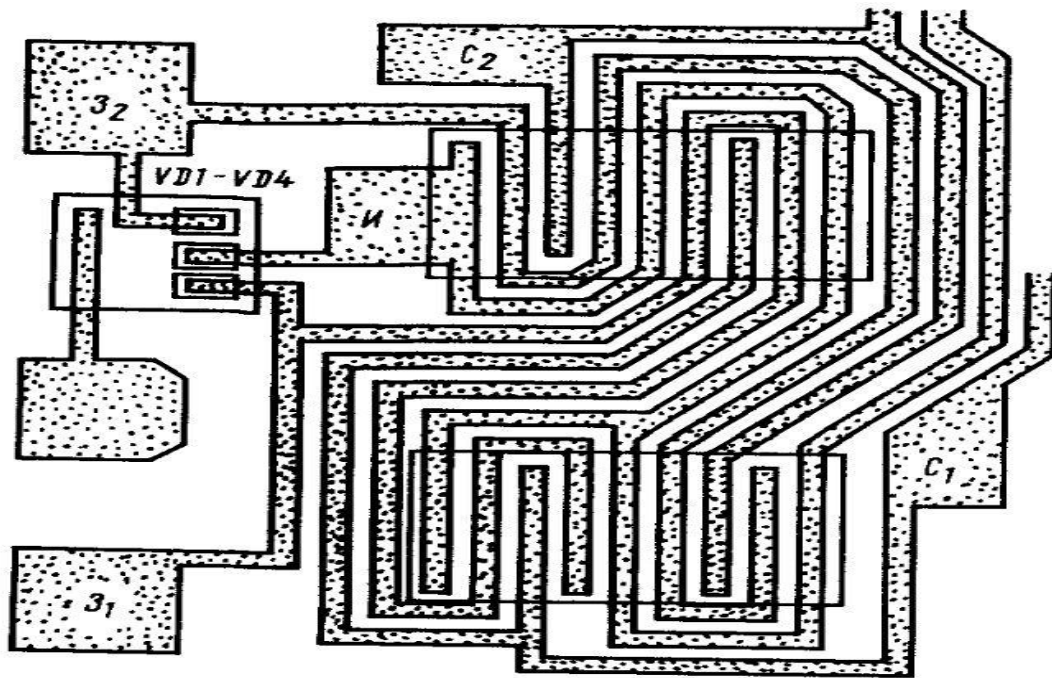
Исходной информацией для *проектирования топологии* является электрическая или функциональная схема БИС, библиотечный набор элементов, схемотехнические, технологические и конструктивные ограничения.

*Проектирование топологии БИС* производится последовательным выполнением этапов 1 - 4, причем по мере необходимости с последнего этапа может осуществляться возврат на второй этап.

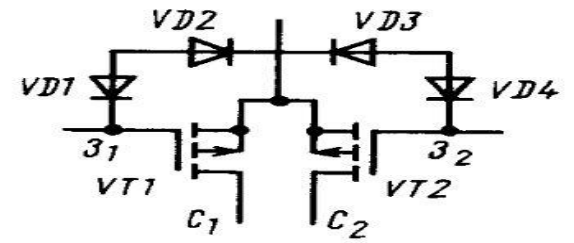
Этапы:

1. Формирование топологии элементов наинизшего уровня.
2. Составление фрагментов топологии заданного уровня из элементов низшего уровня.
3. Формирование топологии слоев металлизации, резисторов, контактных площадок и т.д.
4. Формирование описания синтезированной топологии и моделей соответствующей электрической схемы.

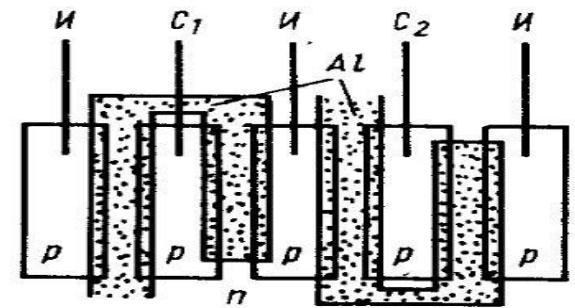




а)



б)



в)

Одной из важных задач проектирования топологии интегральных микросхем является минимизация тепловой обратной связи в кристалле. Интегральные транзисторы дифференциальных пар, особенно входного каскада, стремятся располагать на одинаковых изотермах теплового поля, создаваемого мощными выходными каскадами. Иногда для уменьшения температурного дрейфа входных параметров, характеризующих электрический разбаланс, дополнительно включают транзисторы с перекрестным расположением в кристалле. При использовании на входе ОУ МДП - транзисторов применяют специальную топологию транзисторов, улучшающую их идентичность. На рис. (а - внешний вид кристалла, б - электрическое соединение компонентов, в - МДП - транзистор (вид сверху)) показан фрагмент входного дифференциального каскада ОУ С А3160 с защитными диодами.

Основными достоинствами использования ЭВМ при *проектировании топологии микросхем* и микросборок являются: сокращение сроков проектирования, снижение стоимости, повышение качества за счет снижения вероятности ошибок проектирования и предварительного моделирования характеристик до их изготовления.

**СПАСИБО ЗА ВНИМАНИЕ!!!**