



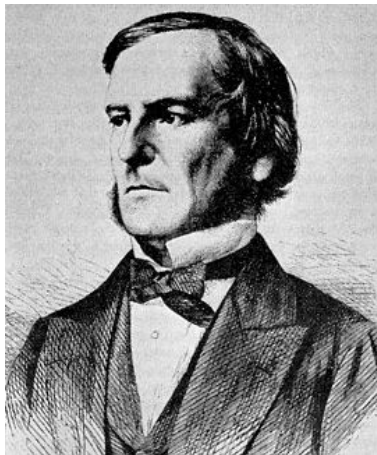
ТОМСКИЙ
ПОЛИТЕХНИЧЕСКИЙ
УНИВЕРСИТЕТ



Лекция 1 на тему:
«Основы микропроцессорной техники»

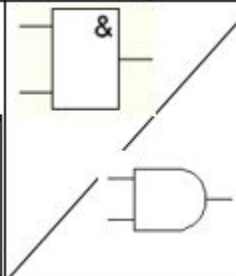
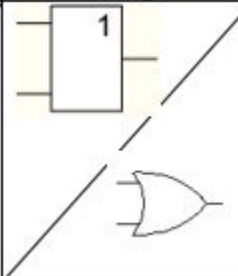
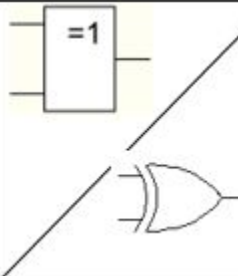
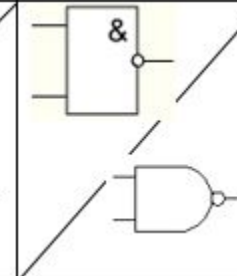
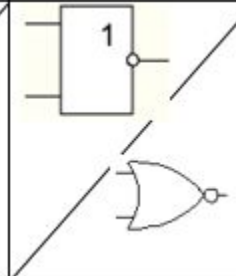
Леонов С.В., доцент ОАР, к.т.н.

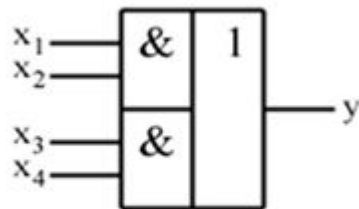
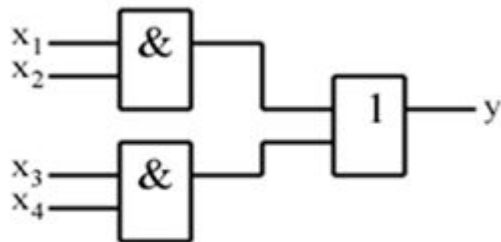
2021 г.



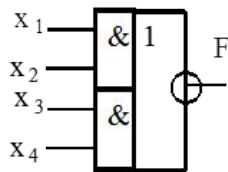
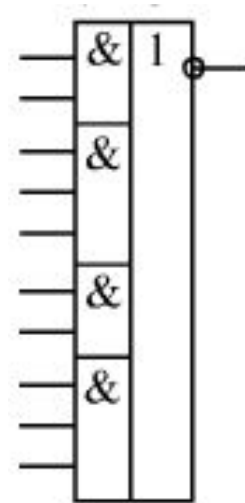
2 ноября 1815 – 8 декабря 1864

- Английский математик и логик. Профессор математики Королевского колледжа Корка (ныне Университетский колледж Корк).
- Один из основателей математической логики.
- В честь него назван тип данных *Boolean* в программировании

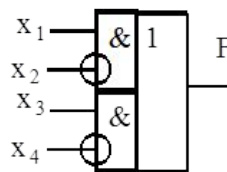
Название элемента	И	ИЛИ	Исключающее ИЛИ	И-НЕ	ИЛИ-НЕ	
F	$x \cdot y$ $x \& y$ $x \wedge y$	$x + y$ $x y$ $x \vee y$	$x \oplus y$ $x \odot y$	$\overline{x y}$	$\overline{x y}$	
Графическое обозначение						
Таблица истинности	x	y	конъюнкция	дизъюнкция	неравнозначность	
	0	0	0	0	0	1
	0	1	0	1	1	1
	1	0	0	1	1	1
	1	1	1	1	0	0



2И-ИЛИ

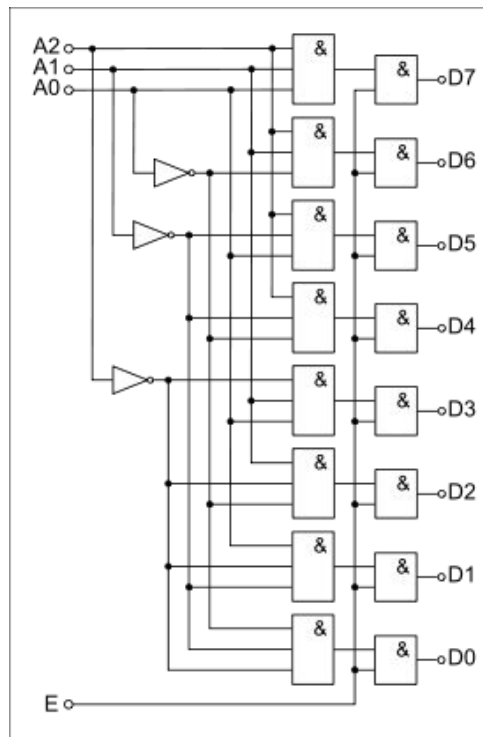
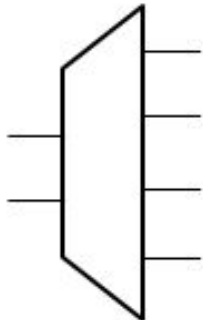
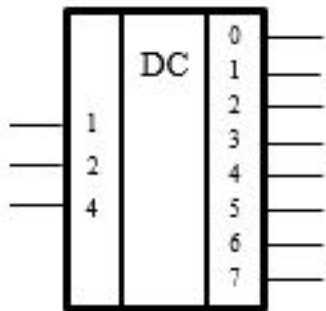


$$F = \overline{x_1 x_2 + x_3 x_4}$$

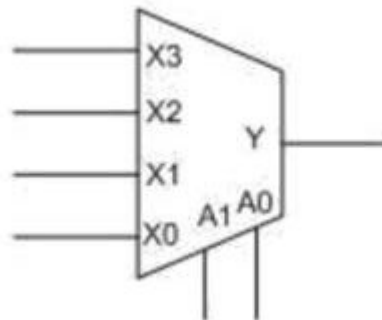
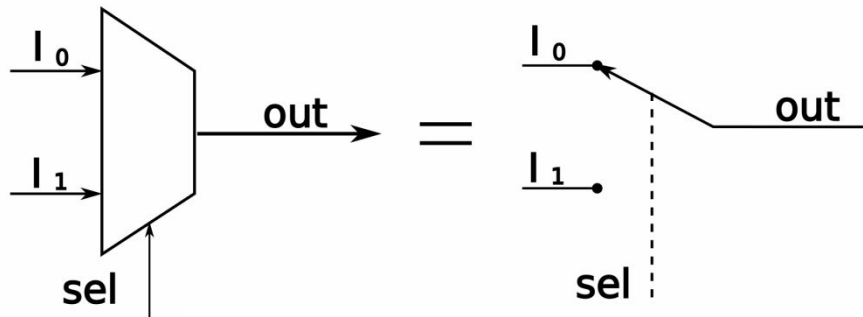
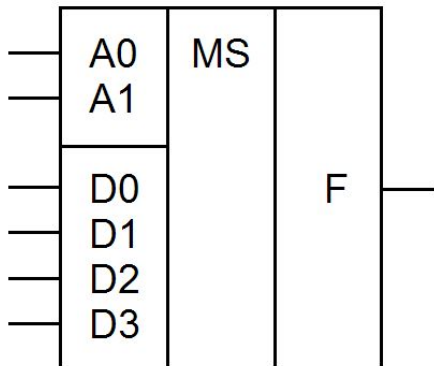


$$F = x_1 \bar{x}_2 + x_3 \bar{x}_4$$

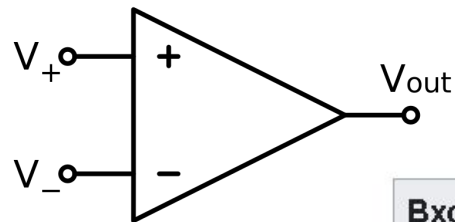
Обозначение дешифратора



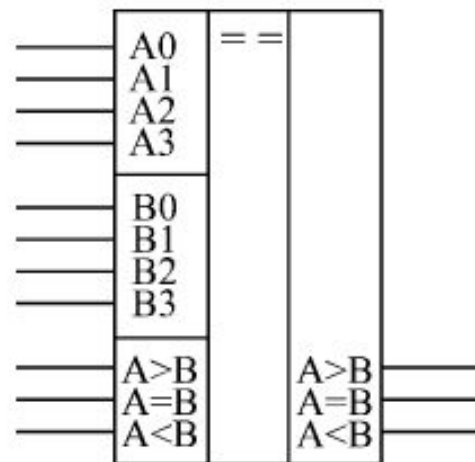
Принцип действия мультиплексора

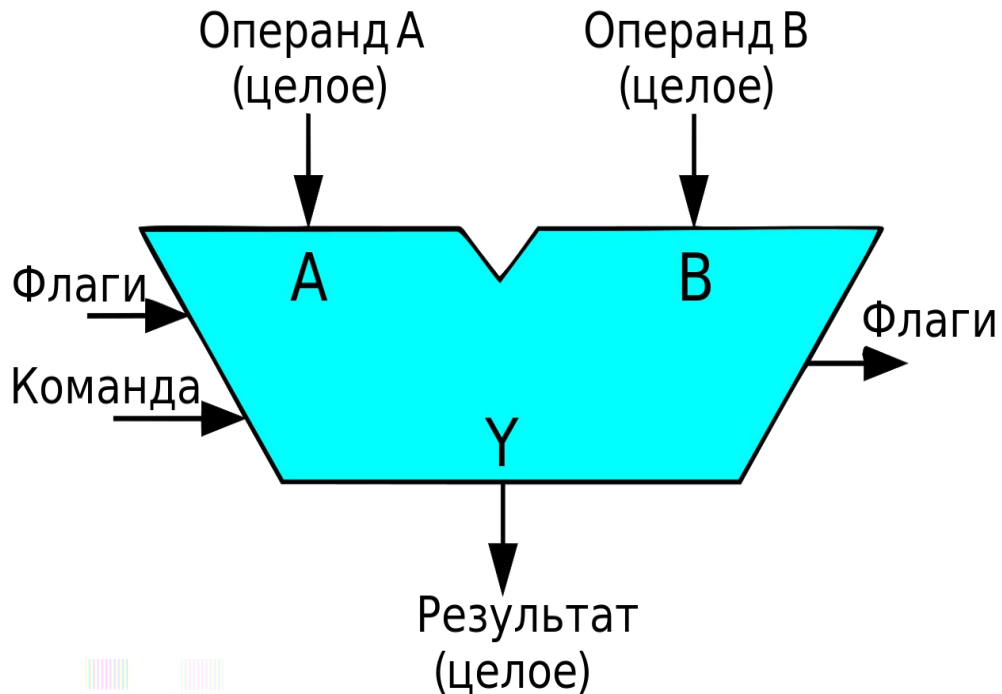


Компаратор кода (цифровой компаратор)

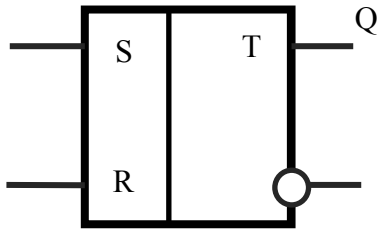
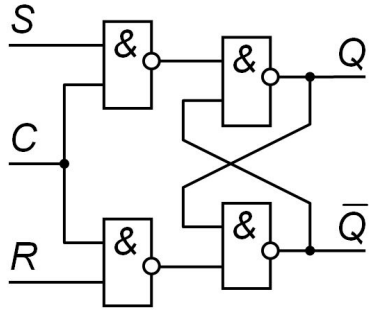


Входы		Выходы		
A	B	$A < B$	$A = B$	$A > B$
0	0	0	1	0
0	1	1	0	0
1	0	0	0	1
1	1	0	1	0

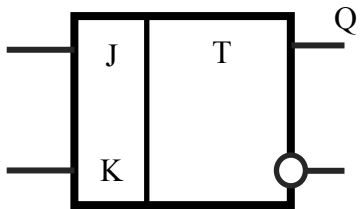




RS триггер



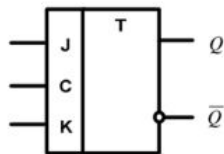
R_i	S_i	Q_{i-1}	Q_i	
0	0	0	0	Режим хранения
0	0	1	1	Режим хранения
0	1	0	1	Установка лог.1
0	1	1	1	Установка лог.1
1	0	0	0	Установка лог.0
1	0	1	0	Установка лог.0
1	1	X	?	Запрещенное состояние



J(Jump) – установка лог. 1

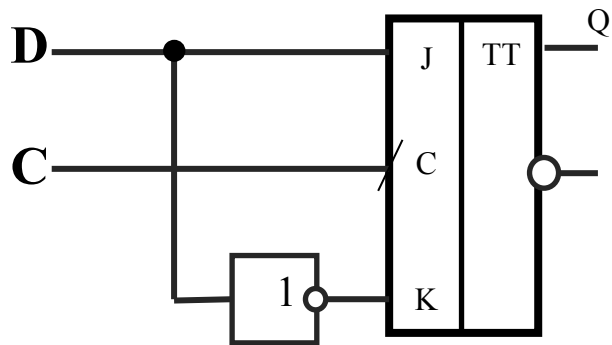
K(Kill) – установка лог. 0

C(Clock) – синхронный вход

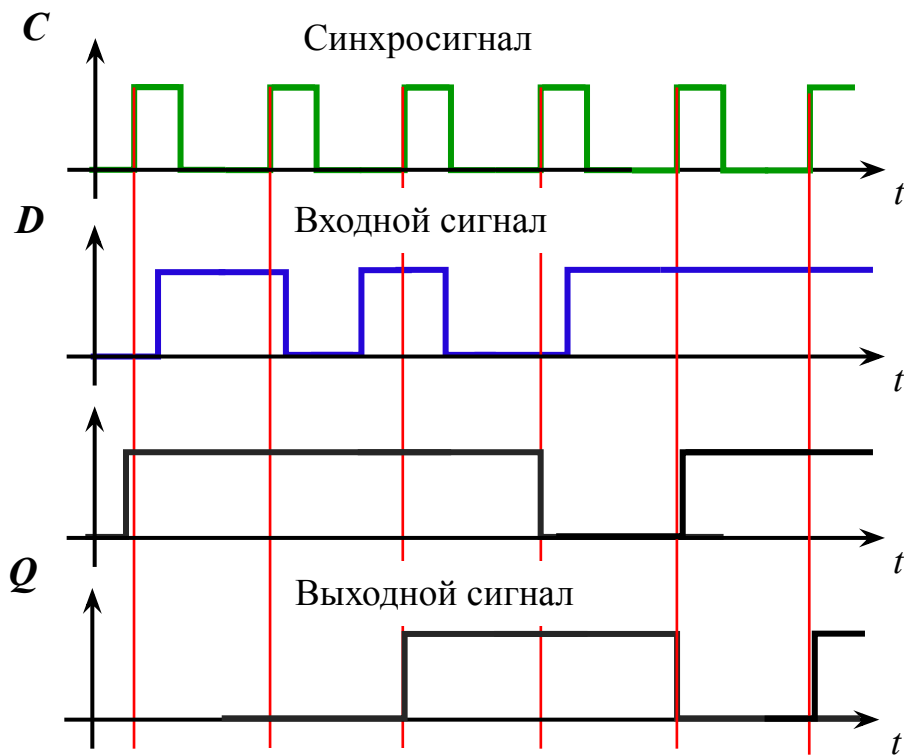


K_i	J_i	Q_i	Q_{i+1}	
0	0	0	0	Режим хранения
0	0	1	1	Режим хранения
0	1	0	1	Установка лог.1
0	1	1	1	Установка лог.1
1	0	0	0	Установка лог.0
1	0	1	0	Установка лог.0
1	1	0	1	Счётный режим
1	1	1	0	Счётный режим

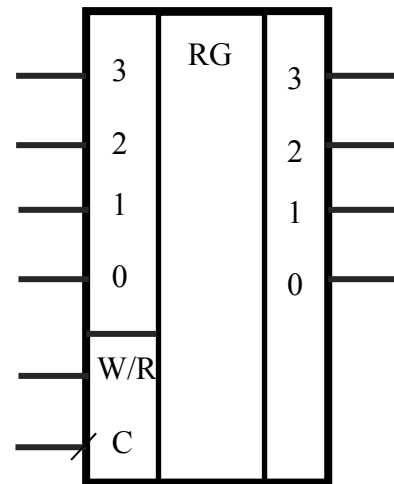
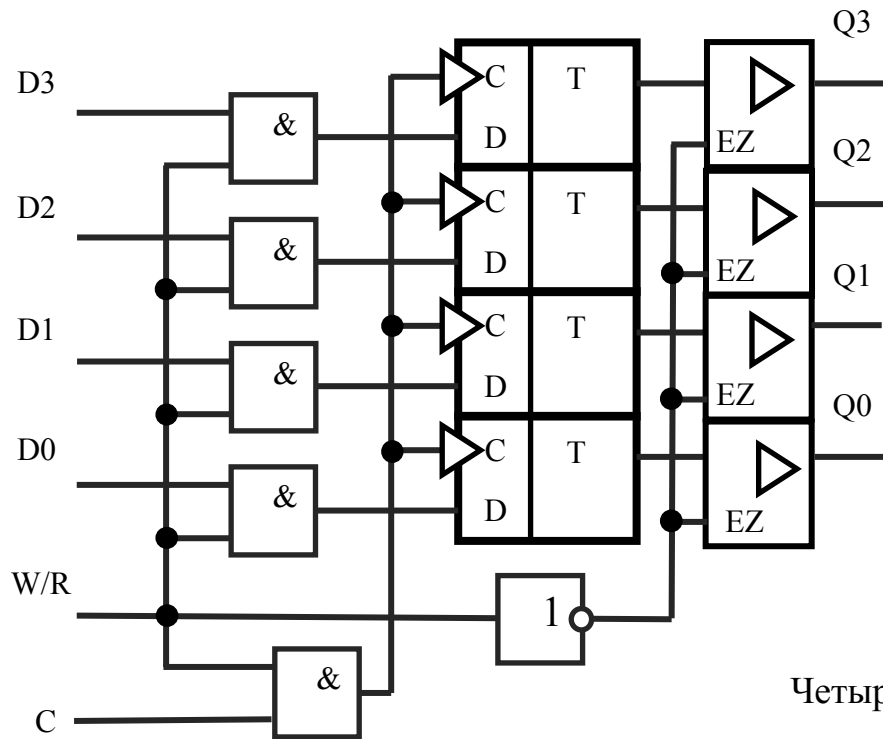
D-триггер (Delay) – триггер задержки. На выходе триггера сигнал будет сохраняться до тех пор пока не поступит синхроимпульс.



Используется для фильтрации, нормализации, синхронизации и задержки цифрового сигнала

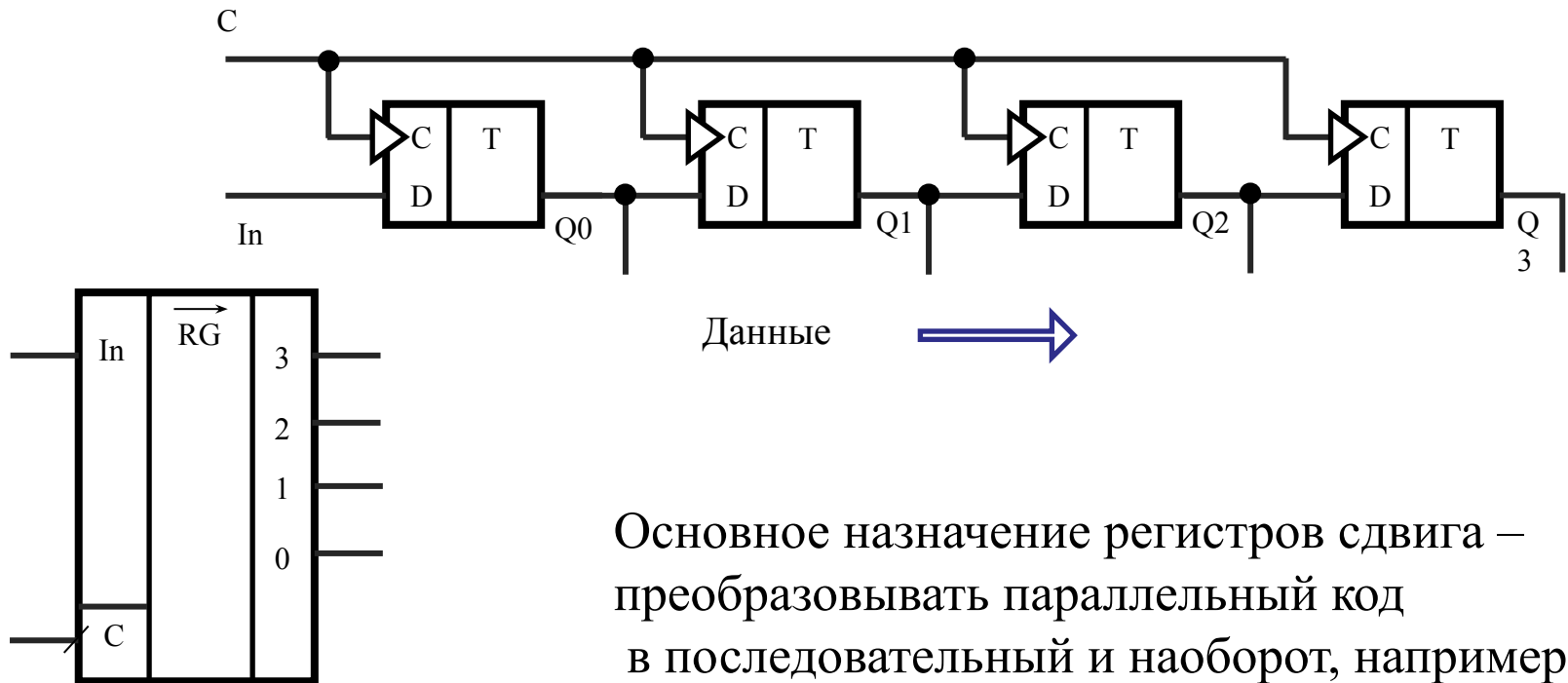


Параллельный регистр



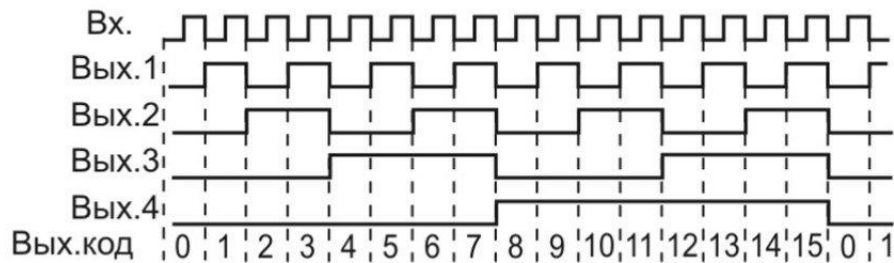
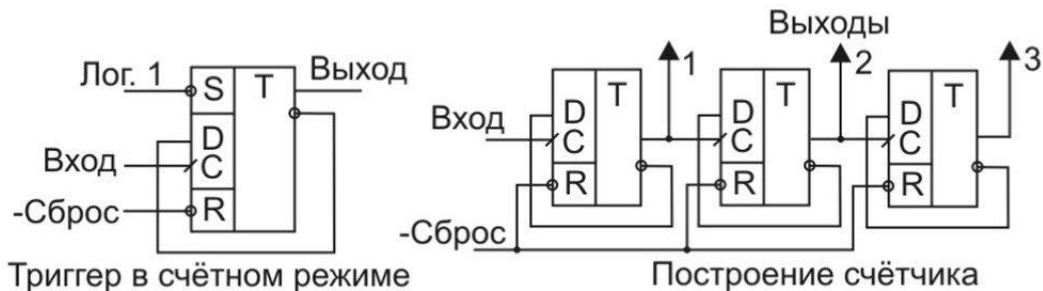
Четырехразрядный параллельный регистр

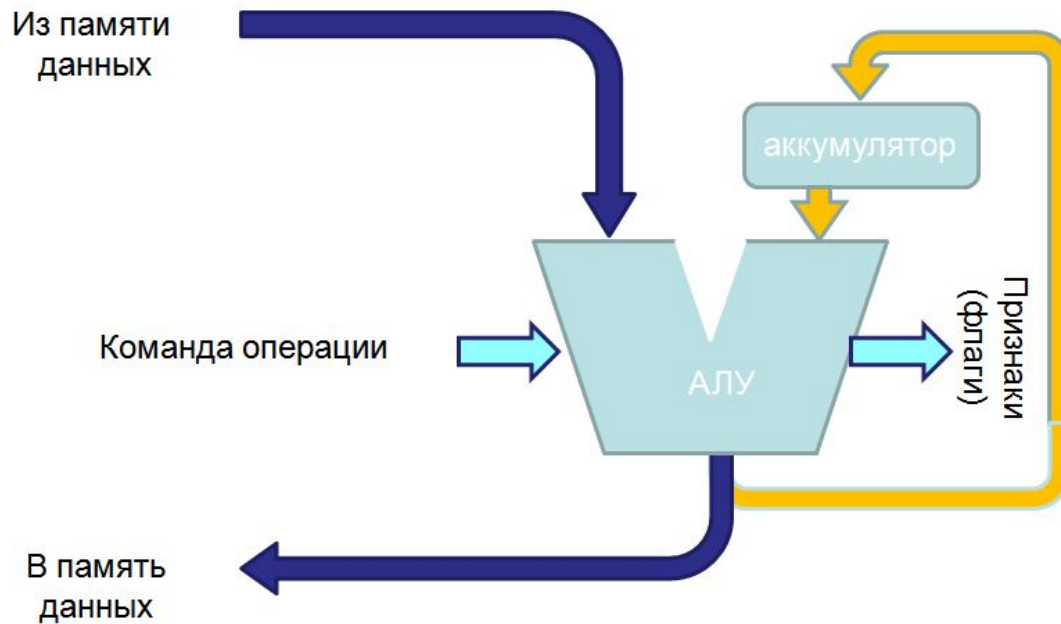
Сдвиговый регистр



Основное назначение регистров сдвига – преобразовывать параллельный код в последовательный и наоборот, например, в локально вычислительных сетях

Построение счётчика из триггеров





Адрес памяти	значение	Условное название
#1	75	Показания счётчика в текущем месяце (ct9)
#2	63	Показания счётчика в прошлом месяце (ct8)
#3	12	Тариф (k)
#4		[количество] ← ct9 – ct8
#5		
#6		[результат] ← количество*k
#7		

LD 75
SV #1

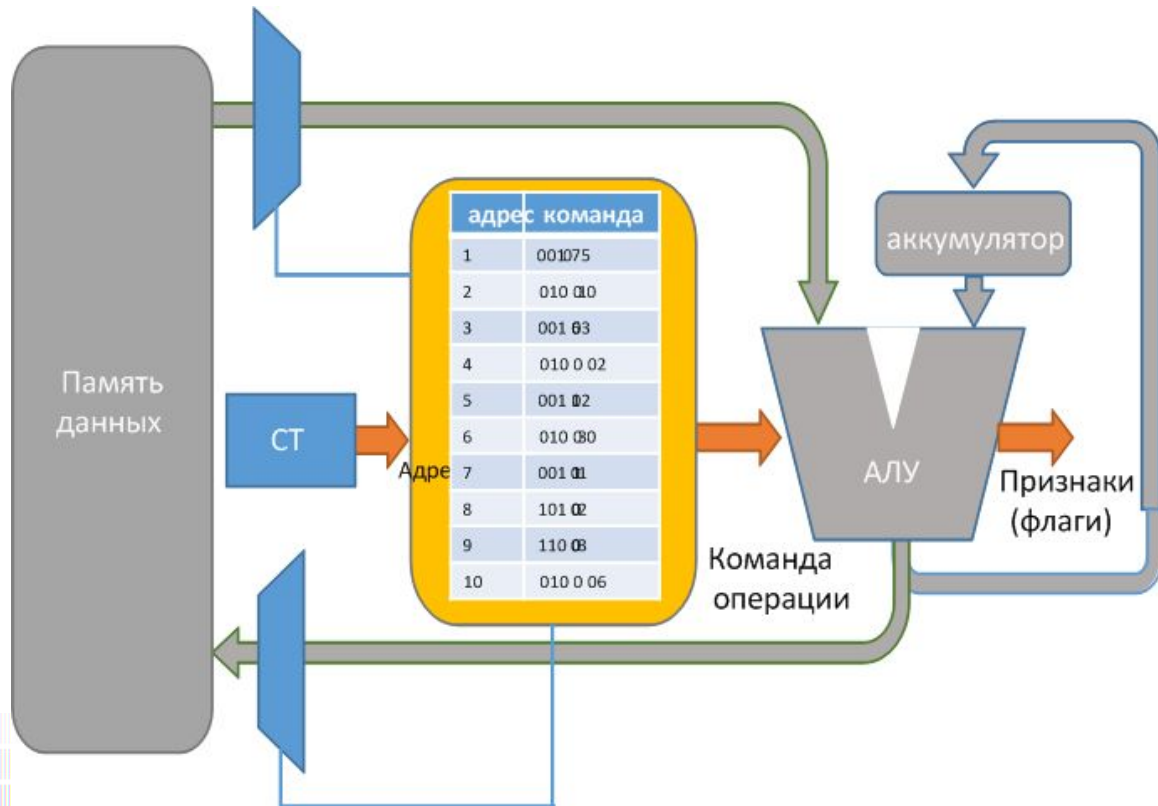
LD 63
SV #2

LD 12
SV #3

LD #1
SUB #2
SV #4

LD #3
MUL #4
SV #6

ЛИНЕЙНАЯ ПРОГРАММА

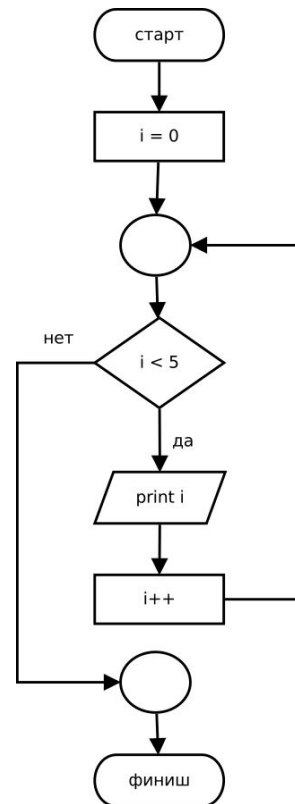


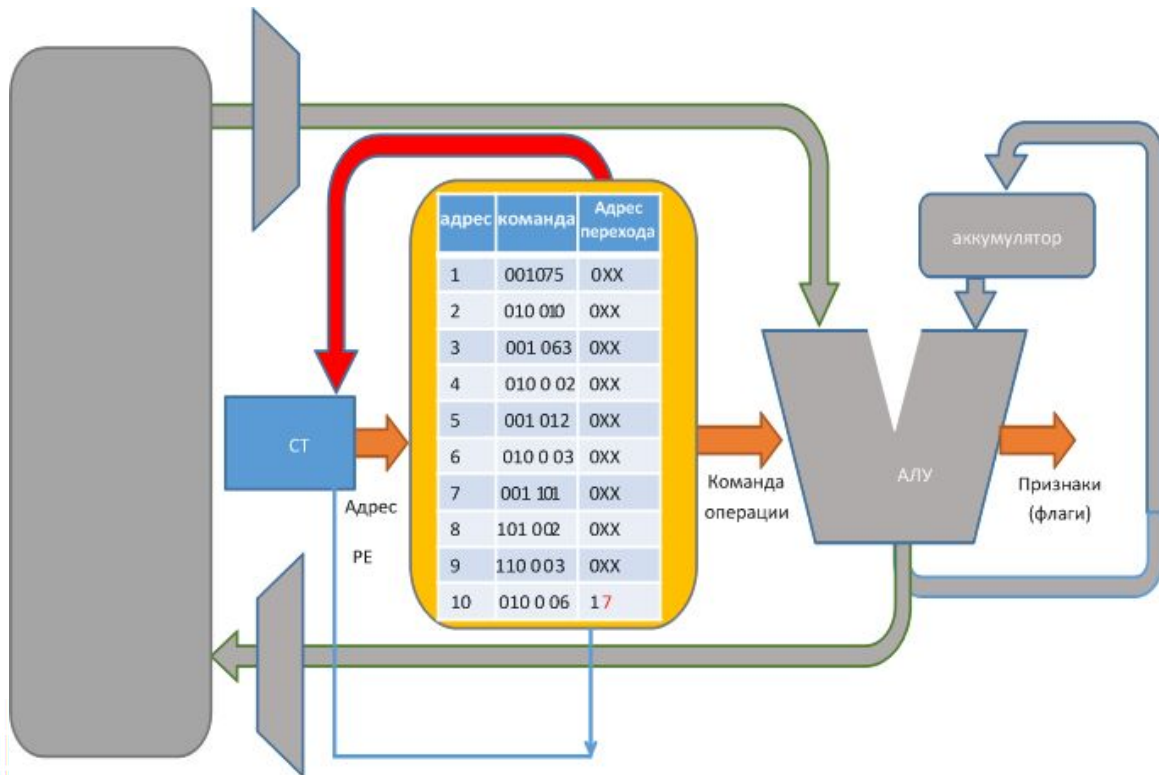


Условные переходы позволяют выполнить ветвление алгоритма в зависимости от результатов промежуточных расчётов.

Безусловные переходы позволяют организовывать циклы: многократное повторение выполнения одинаковых операций.

Циклы можно так же организовать с применением условных переходов.





Мнемоника	код	Условное название
JMP	111 0 1 [адрес]	Безусловный переход
JZ	001 1 1 [адрес]	Условный переход по нулевому признаку результата
JNZ	001 2 1 [адрес]	Условный переход по ненулевому признаку результата
JP	001 3 1 [адрес]	Условный переход по положительному признаку результата
JNP	001 4 1 [адрес]	Условный переход по неположительному признаку результата
JNN	001 5 1 [адрес]	Условный переход по отрицательному признаку результата
JO	001 6 1 [адрес]	Условный переход по нечётному признаку результата
JNO	001 7 1 [адрес]	Условный переход по чётному признаку результата

