

Министерство образования Красноярского края
краевое государственное бюджетное профессиональное образовательное учреждение
«Красноярский колледж радиоэлектроники и информационных технологий»

Узлы ЭВМ

ОП.03 Архитектура аппаратных средств

Узлом ЭВМ называется совокупность функционально связанных элементов, предназначенных для выполнения определенных операций над двоичными словами. Узлы ЭВМ являются основными элементами реализации аппаратных функций ЭВМ (преобразование, передача, хранение и управление информацией). Они также обеспечивают преобразование кодов, счет импульсов, сравнение кодов, сдвиг информации.

По выполняемым функциям узлы делятся на регистры, сумматоры (накапливающего типа), счетчики, дешифраторы, шифраторы, мультиплексоры, демультимплексоры, схемы сравнения кодов, программируемые логические матрицы (ПЛМ), аналого-цифровые и цифроаналоговые преобразователи (АЦП и ЦАП) и пр.

Регистр — узел ЭВМ, предназначенный для хранения двоичных слов и выполнения над ними некоторых логических операций. Регистр представляет собой совокупность триггеров, число которых соответствует числу разрядов в слове, и вспомогательных схем, обеспечивающих выполнение некоторых операций, таких как:

- установка регистра в 0 — сброс;
- прием слова;
- выдача слова;
- сдвиг слова влево или вправо на требуемое количество разрядов;
- преобразование последовательного кода в параллельный и наоборот;
- разрядные логические операции.

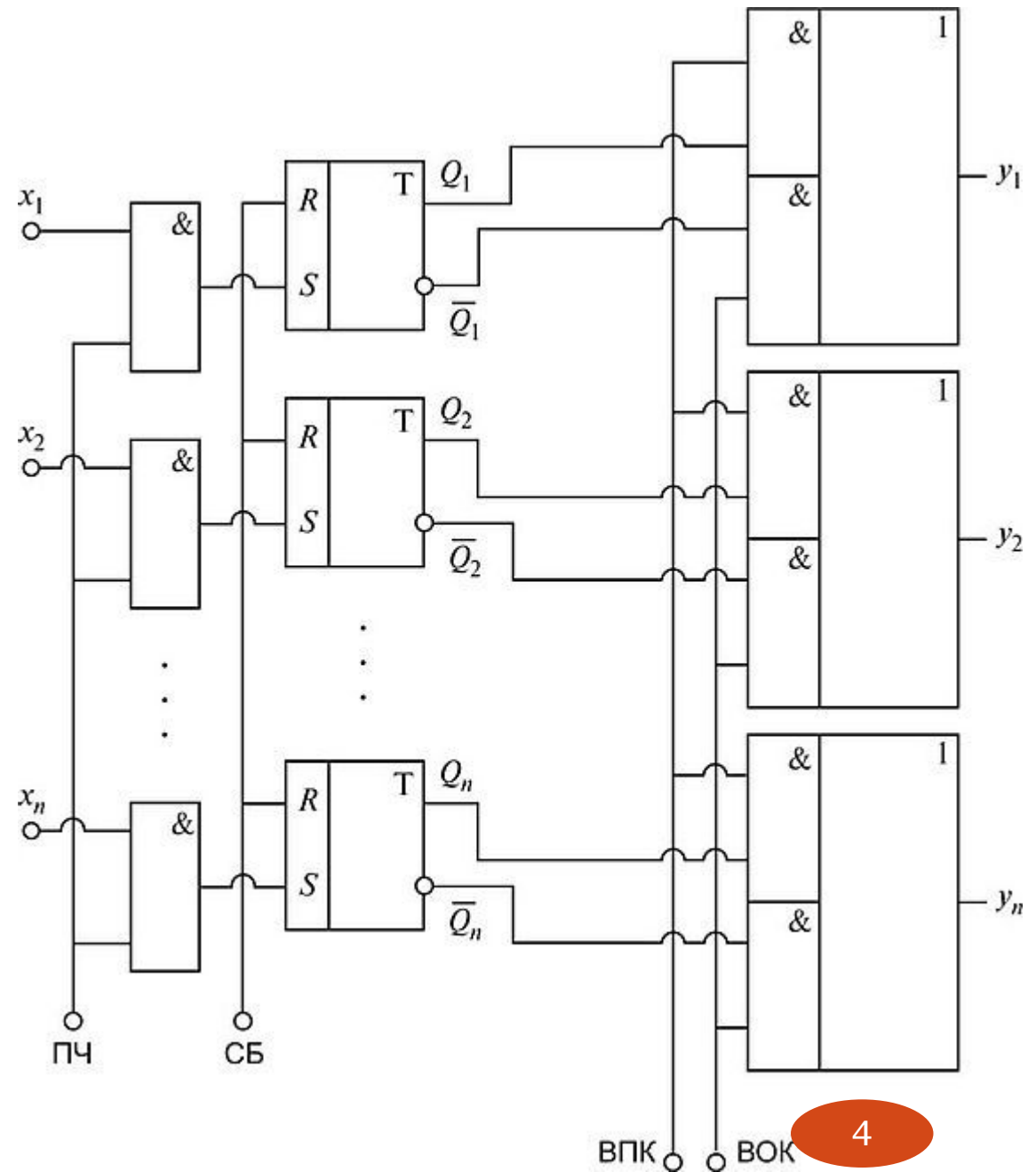
По способу приема и выдачи информации регистры делятся на:

- параллельные;
- сдвиговые;
- комбинированные.

Параллельные регистры.

Используются для выполнения операций приема, хранения, выдачи и поразрядных логических операций над словами и представляют собой совокупность n - и Γ -триггеров, имеющих связанные входные и выходные цепи

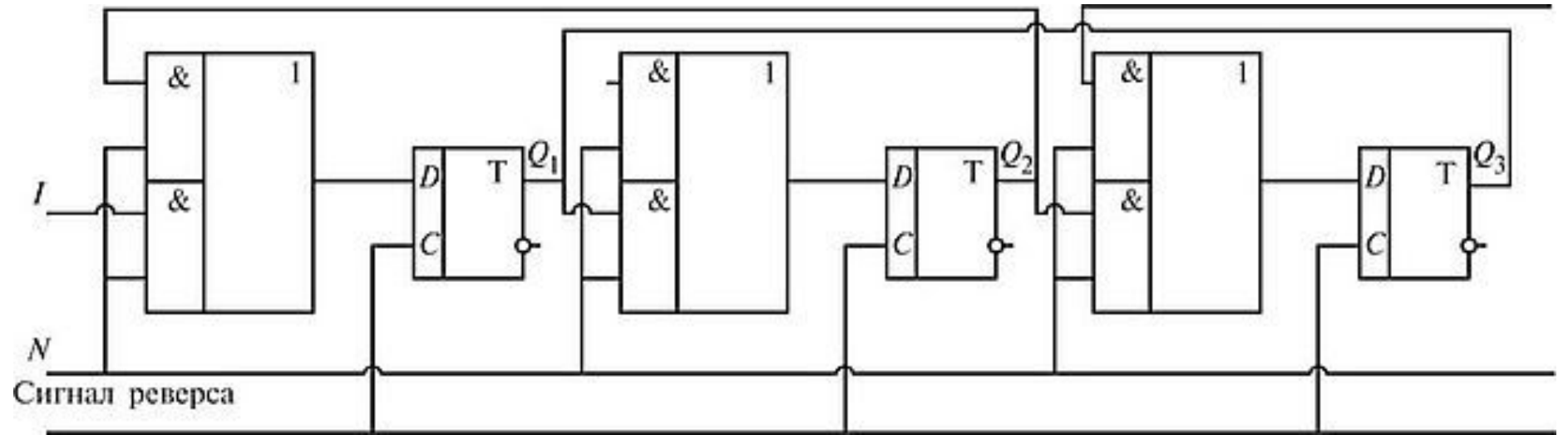
ПЧ — прием числа; **СБ** — сброс регистра в 0; **ВПК** — выдача прямого кода; **ВОК** — выдача обратного кода



Сдвиговые регистры. Используются для выполнения следующих операций:

- 1) умножение на 2^k , если сдвиг осуществляется на k разрядов в сторону старших разрядов;
- 2) умножение на 2^{-k} , если сдвиг осуществляется на k разрядов в сторону младших разрядов;
- 3) преобразование кода из параллельного в последовательный и обратно.

Реверсивные регистры сдвига. Обеспечивают возможность сдвига информации как влево, так и вправо



Если сигнал на шине N равен «1», то потенциал на входе i -го триггера определяется выходом Q_{i-1} триггера, стоящего слева от него ($i-1$). Если сигнал равен «0», то потенциал на входе i -го триггера определяется выходом Q_{i+1} триггера, стоящего справа от него ($i+1$).

Счетчик — накопительный узел ЭВМ, предназначенный для подсчета числа импульсов, поступивших на его вход. По структуре различают счетчики с:

- последовательным переносом;
- сквозным переносом;
- параллельным переносом;
- групповым переносом.

В зависимости от алгоритма реализации выделяют счетчики:

- суммирующие;
- вычитающие;
- реверсивные;
- с предустановкой.

В зависимости от модуля счета счетчики бывают:

- двоичные;
- десятичные.

К характеристикам счетчиков относят:

- коэффициент пересчета (число состояний счетчика) M (количество импульсов, поступивших на вход счетчика, которые переводят его в исходное состояние). Между числом разрядов счетчика n и коэффициентом пересчета M существует соотношение $n > \lg M + 1$);
- время реакции (регистрации) — интервал времени $T_{рег}$ между поступлением входного сигнала и окончанием самого длительного переходного процесса в счетчике;
- разрешающую способность — минимальный допустимый период (или максимальная частота) следования входных сигналов, при котором счетчик работает без сбоев.

Счетчик с последовательным переносом строится на основе Γ -триггеров.

Счетчик со сквозным переносом. Увеличить быстродействие счетчика можно за счет организации цепей сквозного переноса между разрядами счетчика (рис. 1.24). В этом случае $t_{рег} = t_{\Gamma} + (n - 1)t_{\&}$, где $t_{\&}$ — время срабатывания схемы «И».

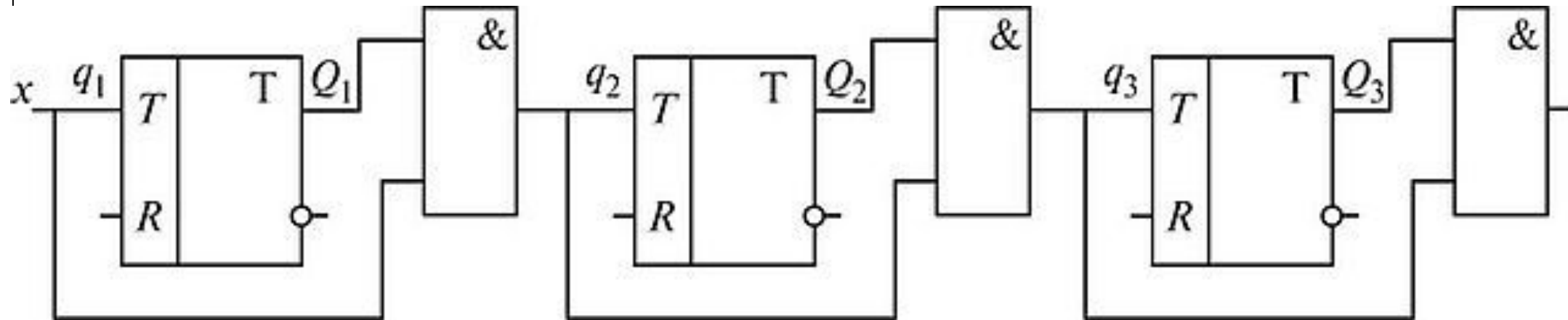


Рис. 1.24. Счетчик со сквозным переносом

Счетчик с групповым переносом. Из-за конечности коэффициентов объединения элементов «И» число разрядов в счетчике с параллельным переносом не может быть очень большим (обычно не более 8 разрядов). Если же требуется больше разрядов, то целесообразно использовать групповой перенос, при котором переносы внутри группы формируются параллельно, а между группами — или последовательно, или параллельно. **Вычитающий счетчик.** Строится по принципу суммирующего счетчика, только подача сигналов осуществляется с инверсных выходов предыдущих разрядов.

Реверсивный счетчик. В зависимости от наличия сигнала сложения или вычитания ведет счет в прямом или обратном направлениях.

Вычитающий счетчик отличается от суммирующего тем, что сигналы на входы последующих триггеров необходимо подавать с инверсных выходов триггеров предшествующих разрядов.

Счетчик с предустановкой. Используется, например, в качестве счетчика команд (СчАК). Позволяет вначале переслать некоторый код в счетчик, а затем продолжить прерванный счет, начиная с этого кода, записанного в счетчике.

Сумматор — узел ЭВМ, выполняющий суммирование двоичных кодов чисел. Он является узлом преобразования информации. Различают комбинационные и накапливающие сумматоры.

В комбинационных сумматорах оба слагаемых подаются одновременно. При этом на выходах сумматоров фиксируется сумма, которая существует до тех пор, пока на входах действуют слагаемые.

В накапливающих сумматорах вначале подается 1-е слагаемое, которое запоминается сумматором. После подачи 2-го слагаемого в сумматоре образуется сумма, которая тоже запоминается.

В зависимости от способов обработки разрядов слагаемых различают сумматоры:

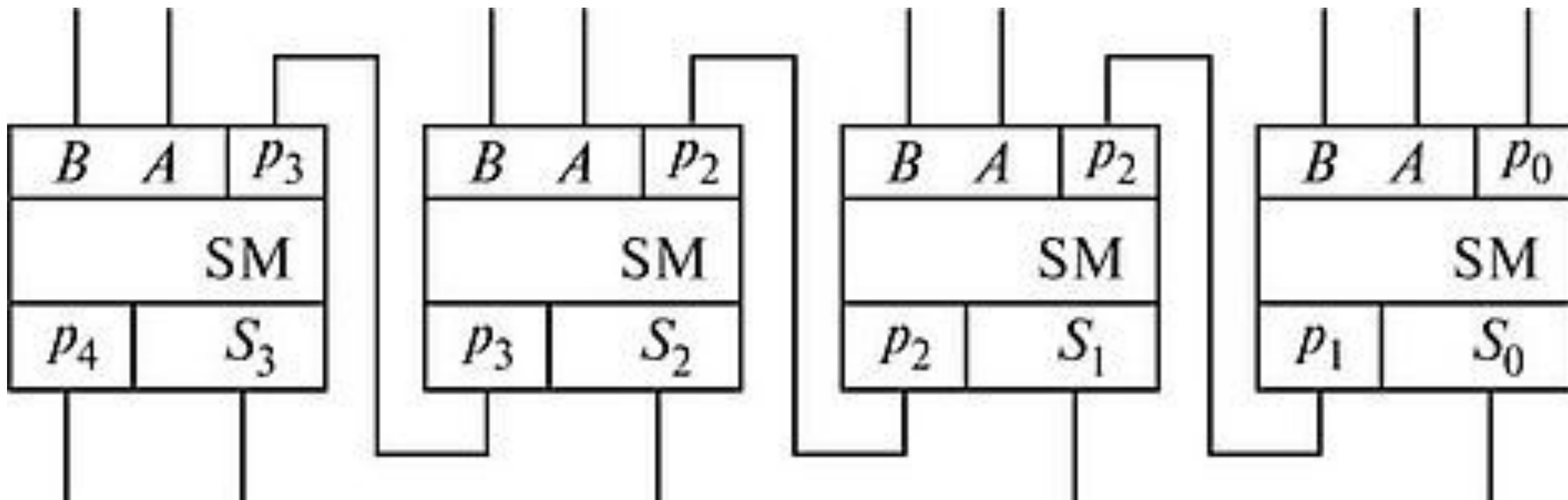
- последовательного действия (разряды обрабатываются последовательно один за другим, начиная с младшего);
- параллельного действия (все слагаемые обрабатываются одновременно, как правило, за один рабочий такт);
- последовательно-параллельного действия (одновременно обрабатывается группа разрядов, а между группами обработка идет последовательно).

В зависимости от способа реализации переносов различают сумматоры:

- с последовательным переносом;
- сквозным переносом;
- параллельным переносом;
- групповым переносом.

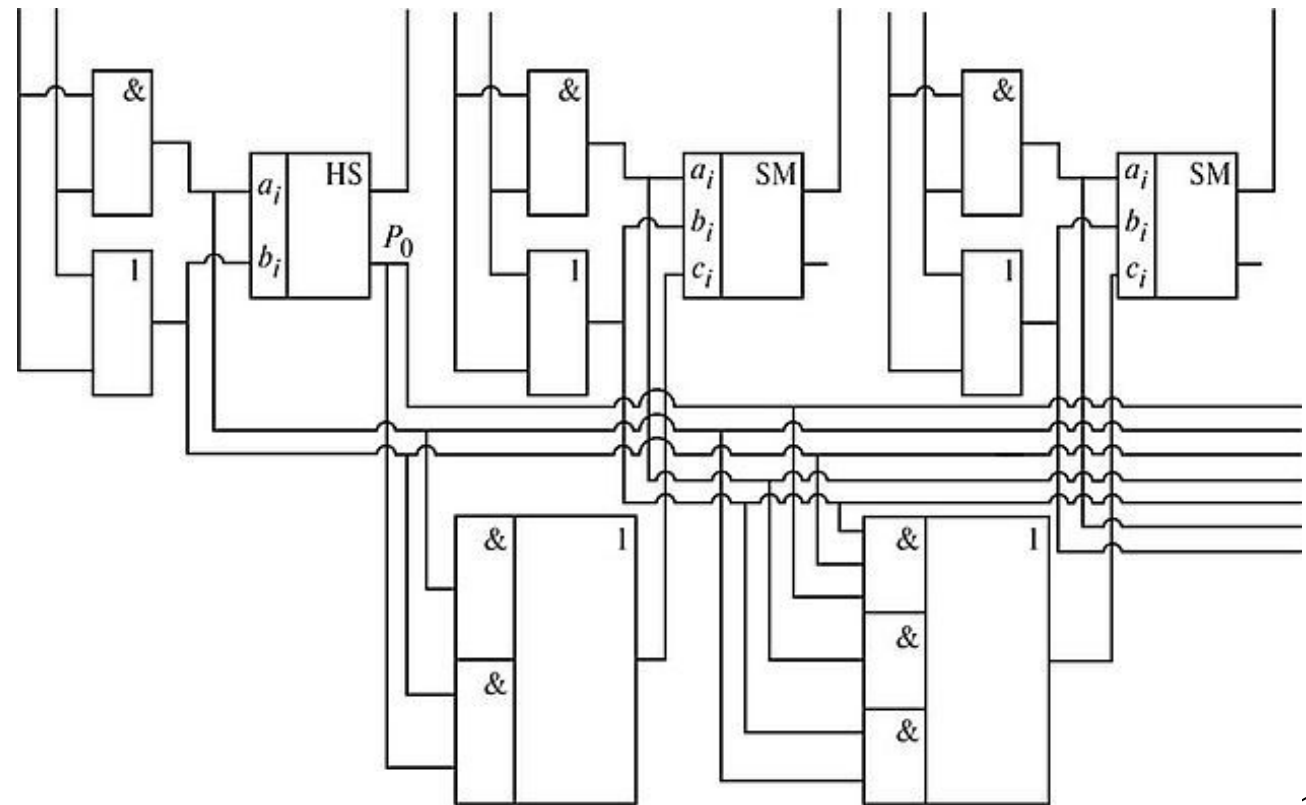
Многоразрядные сумматоры строятся как совокупность одноразрядных.

Комбинационный сумматор параллельного действия с последовательным переносом. Такие сумматоры строятся на основе композиции одноразрядных полных сумматоров. Обработка слагаемых происходит одновременно во всех разрядах. Сигнал переноса, который вырабатывается в младших разрядах, последовательно распространяется в цепях переноса к старшим разрядам.

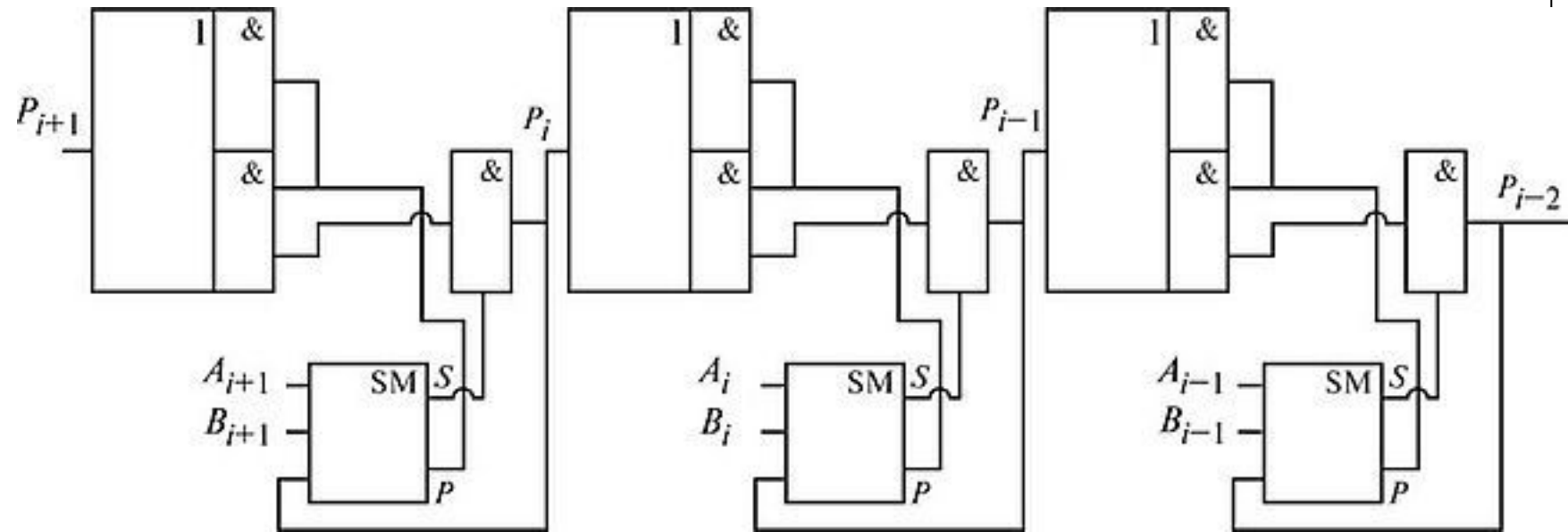


Изображение полного двоичного многоразрядного сумматора на схемах (а); фрагмент (три разряда) принципиальной схемы многоразрядного сумматора

Комбинационный сумматор параллельного действия с параллельным переносом. Применяется схема параллельного переноса (СПП), формирующая перенос каждого разряда сумматора независимо и параллельно (рис. 1.26). Сложность СПП уменьшается, если использовать зависимости между последующим (P_{i+1}) и предыдущим (P_i) переносами, которые выражаются так: $P_{i+1} = a_i \vee b_i \wedge P_i$.



Комбинационный сумматор параллельного действия со сквозным последовательным переносом.
 Повысить быстродействие сумматора можно за счет упрощения цепей распространения переносов, если один вход с одноразрядного сумматора выделяется для этих целей: $P_{i+1} = A_i \vee B_i \vee (A_i \wedge B_i) \wedge P_i$, где $x = A_i \vee B_i$ — сигнал переноса, непосредственно обрабатывается в i -м разряде; $y = A_i \wedge B_i$ — признак распространения сигнала переноса через i -й разряд.



Комбинационный n-разрядный сумматор с групповым переносом. В такой сумматор вводят обходные цепи распространения сигнала переноса, для этого сумматор разбивается на группы разрядов равной длины, как правило, по 4 или 8 разрядов. Внутри каждой группы создается параллельный перенос, а между группами может быть параллельный или последовательный перенос. Сигнал переноса, поступающий на вход младшего разряда группы при наличии условий распространения переносов во всех разрядах группы, подается на вход следующей группы в обход данной группы. Внутри группы находится блок, который вырабатывает сигнал переноса, и схема, которая вырабатывает распространение переноса P . Такой блок называется схемой ускоренного переноса (СУП). В СУП выполняется параллельный перенос, а между группами может осуществляться параллельный или последовательный перенос.

Дешифратор — комбинационный узел, который предназначен для преобразования двоичного кода (х) на входе в управляющий сигнал (г) на одном из выходов (рис. 1.28, а). Если входов p , то выходных шин должно быть $N = 2^p$ (табл. 1.30, $/7 = 3, N = 8$). Если на вход дешифратора подается двоичный код, то на одном из выходов вырабатывается сигнал «1», а на остальных выходах сохраняется «0» (дешифратор преобразует код на входах в унитарный код на выходах).

Виды дешифраторов

По структурному построению дешифраторы делятся на линейные и многокаскадные.

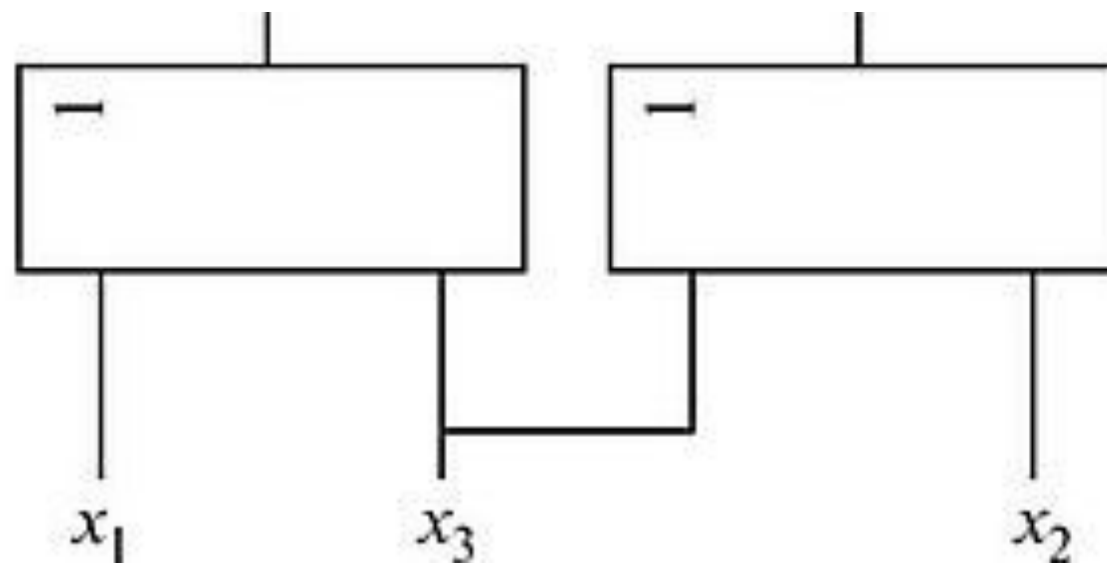
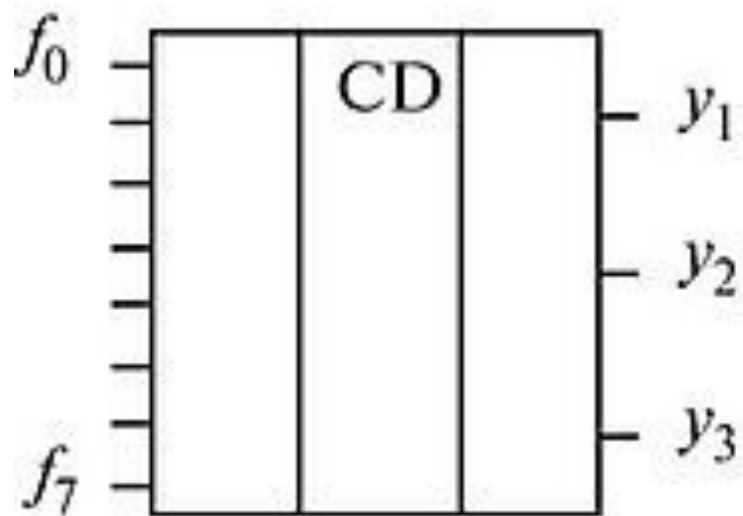
У линейных дешифраторов все переменные x_1, x_2, x_3 подаются одновременно. Схема дешифратора представляет собой набор из восьми трехходовых элементов «И», на входы которых подаются все возможные комбинации прямых и инверсных значений входного кода.

Они обладают более высоким быстродействием, но более трех переменных одновременно подать нельзя, поэтому чаще применяются многокаскадные дешифраторы. Здесь количество элементов в каждом следующем разряде больше, чем в предыдущем. На вход первого каскада подается один слог, на вход следующего каскада — второй слог и результаты конъюнкций, произведенных в первом каскаде.

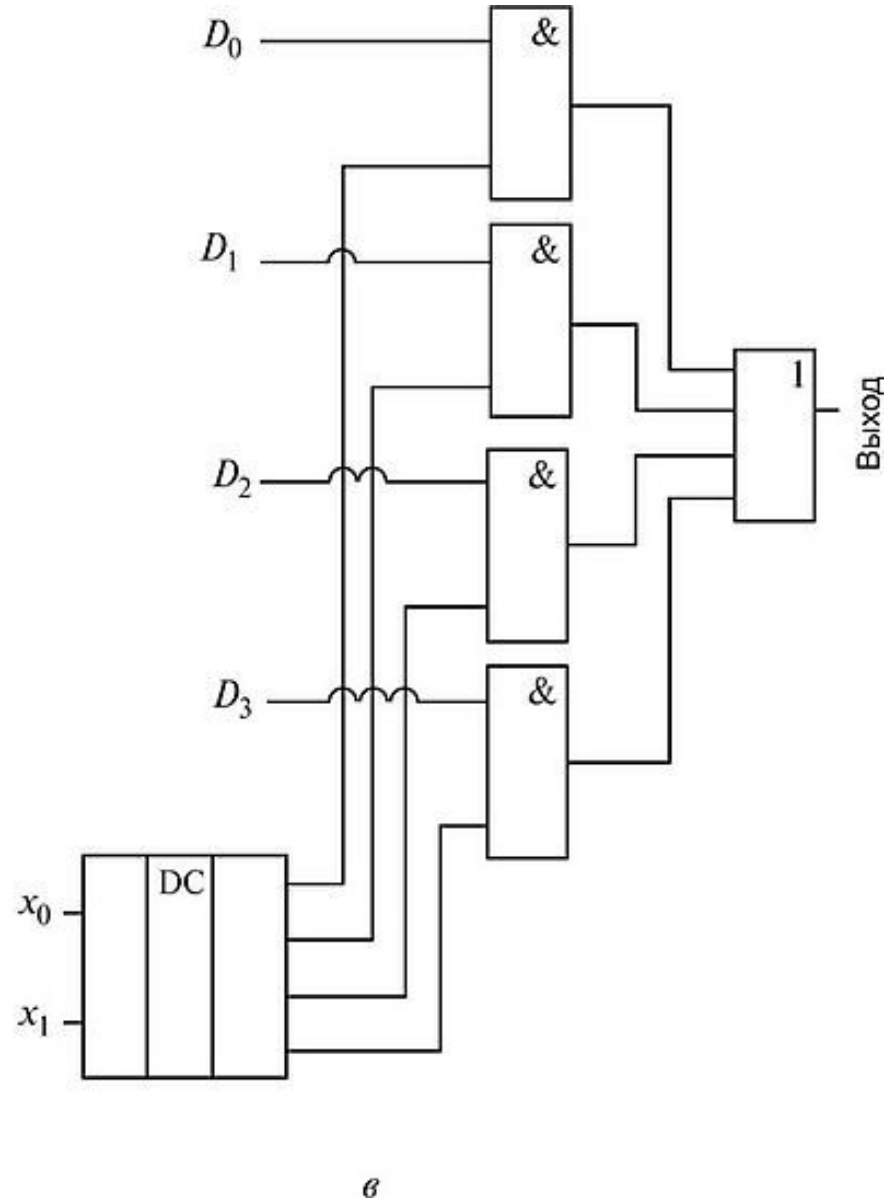
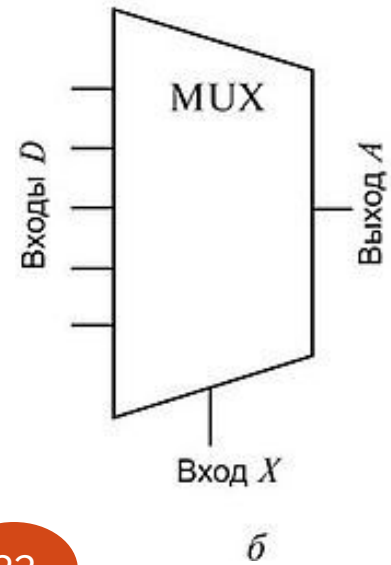
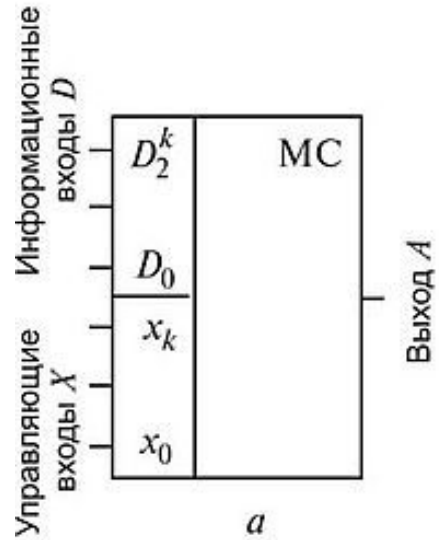
Простейший **линейный дешифратор** можно построить на диодной матрице. В этой схеме используется **тальная логика**. При подаче «1» на анод (коллектор) диода он закрывается. Если закрыты все три диода, подсоединенные к одной горизонтальной линии, то на этой линии появляется потенциал $-E$, соответствующий уровню «1».

Многокаскадный дешифратор можно организовать так, как это изображено на рис. Два линейных дешифратора обрабатывают по два слова. В последнем каскаде образуются конъюнкции выходного сигнала первого каскада. Многокаскадные дешифраторы обладают меньшим быстродействием.

Шифратор — это узел ЭВМ с несколькими входами и выходами, преобразующий сигнал на одном из входов в код этого входа (рис. 1.30, а). Шифратор выполняет функцию, обратную относительно дешифратора. Примером шифратора является клавиатура, преобразующая сигналы клавиш в код этой клавиши.



Мультиплексор — узел ЭВМ, осуществляющий передачу сигналов с одной из входных линий в выходную



Демультимплексор — узел ЭВМ, осуществляющий передачу информации, поступающей на общий вход, на одну из выходных линий (рис. 1.32). Выполняет функцию, обратную функции мультиплексора, и используется для временного разделения информации, поступающей от одного источника, по каналам. Выбор линии выхода производится кодом, поступающим на управляющие входы демультимплексора, т. е. он имеет одну информационную линию и несколько управляющих.

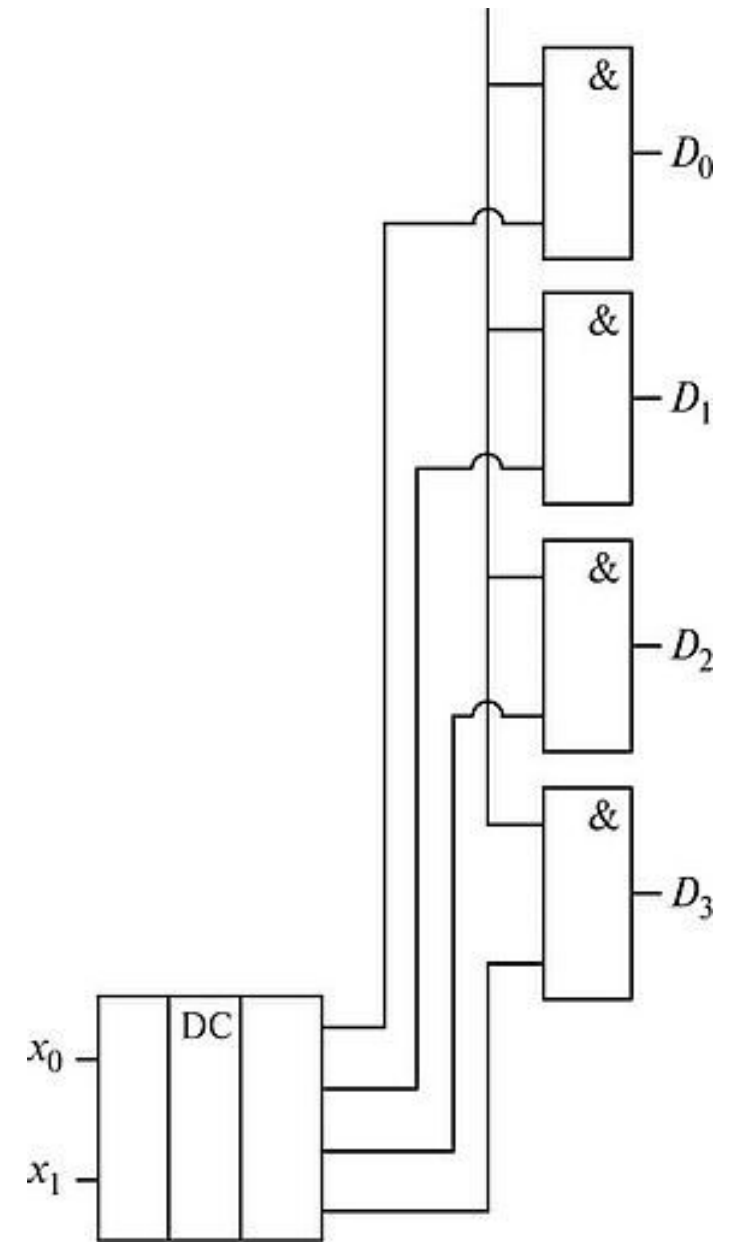
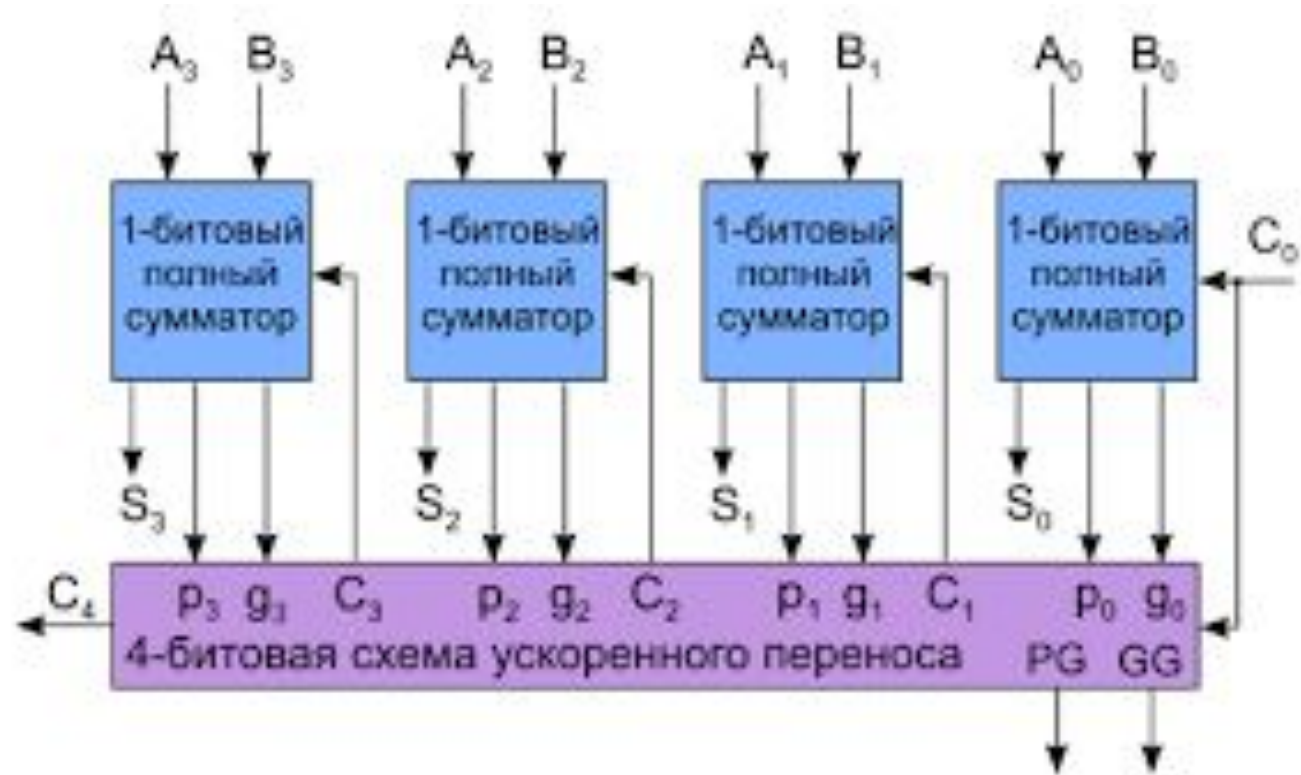


Схема ускоренного переноса — комбинационная логическая схема, входит в арифметико-логическое устройство большинства современных ЭВМ микропроцессоров и микроконтроллеров. Предназначена для параллельного формирования битов переноса при сложении двоичных чисел в сумматоре.



Цифровые компараторы выполняют сравнение двух чисел, заданных в двоичном коде. Они могут определять равенство двух двоичных чисел A и B с одинаковым количеством разрядов либо вид неравенства $A > B$ или $A < B$. Цифровые компараторы имеют три выхода.

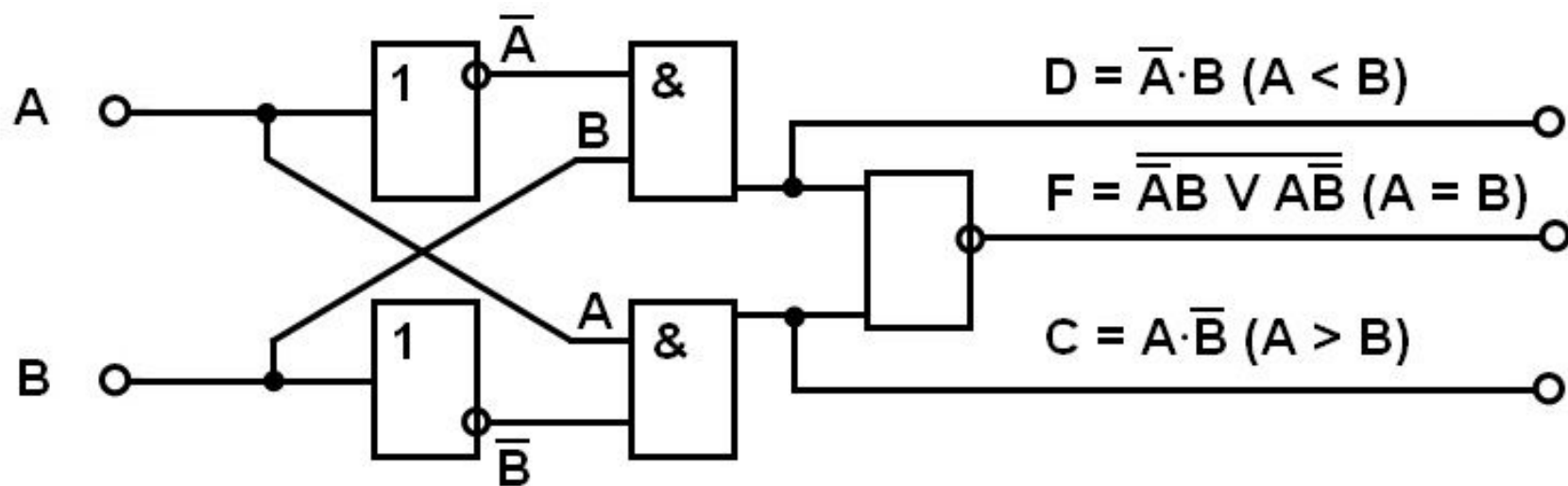


Рис. 3.51

Цифровые компараторы выпускают, как правило, в виде самостоятельных микросхем. Так, микросхема К564ИП2 (рис. 3.52) является четырехразрядным компаратором, в котором каждый из одноразрядных компараторов аналогичен рассмотренной ранее схеме. Данная микросхема имеет расширяющие входы $A < B$, $A = B$, $A > B$, что позволяет наращивать разрядность обоих чисел. Для этого компараторы соединяют каскадно или параллельно (пирамидально).

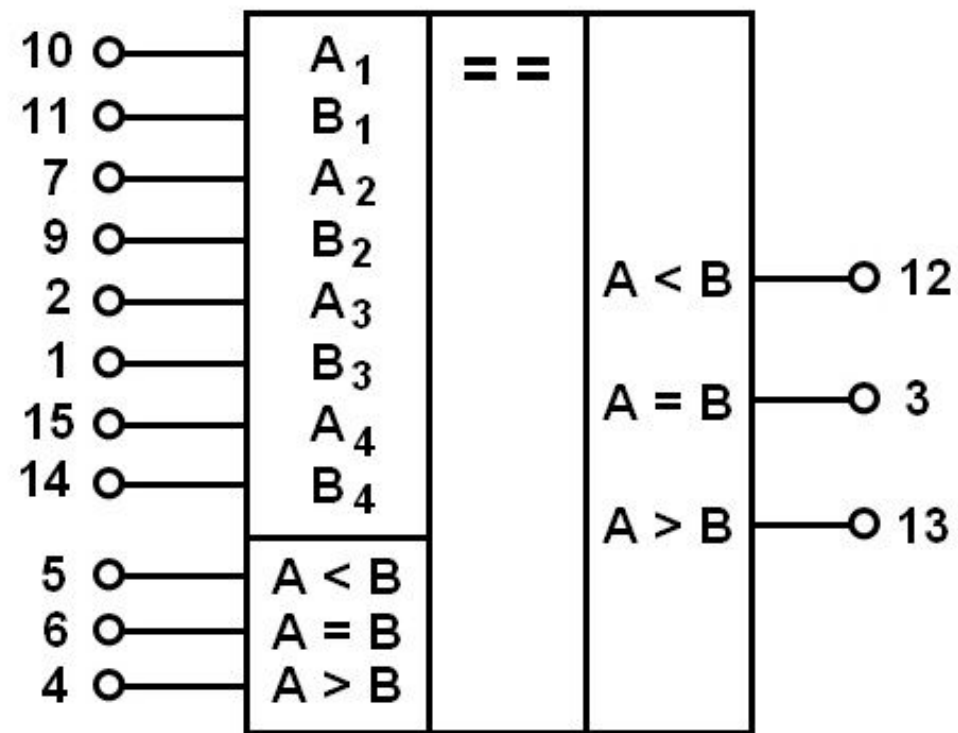


Рис. 3.52

Цифро-аналоговый преобразователь (ЦАП) — устройство для преобразования цифрового (обычно двоичного) кода в аналоговый сигнал (ток, напряжение или заряд). Цифро-аналоговые преобразователи являются интерфейсом между дискретным цифровым миром и аналоговыми сигналами.

ЦАП применяется всегда в телекоммуникационных системах и системах управления. Например:

- В системах воспроизведения аудио;

- В дисплеях;

- Формирование информационного сигнала для смесителей и управляемых генераторов;

- В системах управлением двигателем;

- В системах прямого цифрового синтеза (DDS - Direct digital synthesizer);

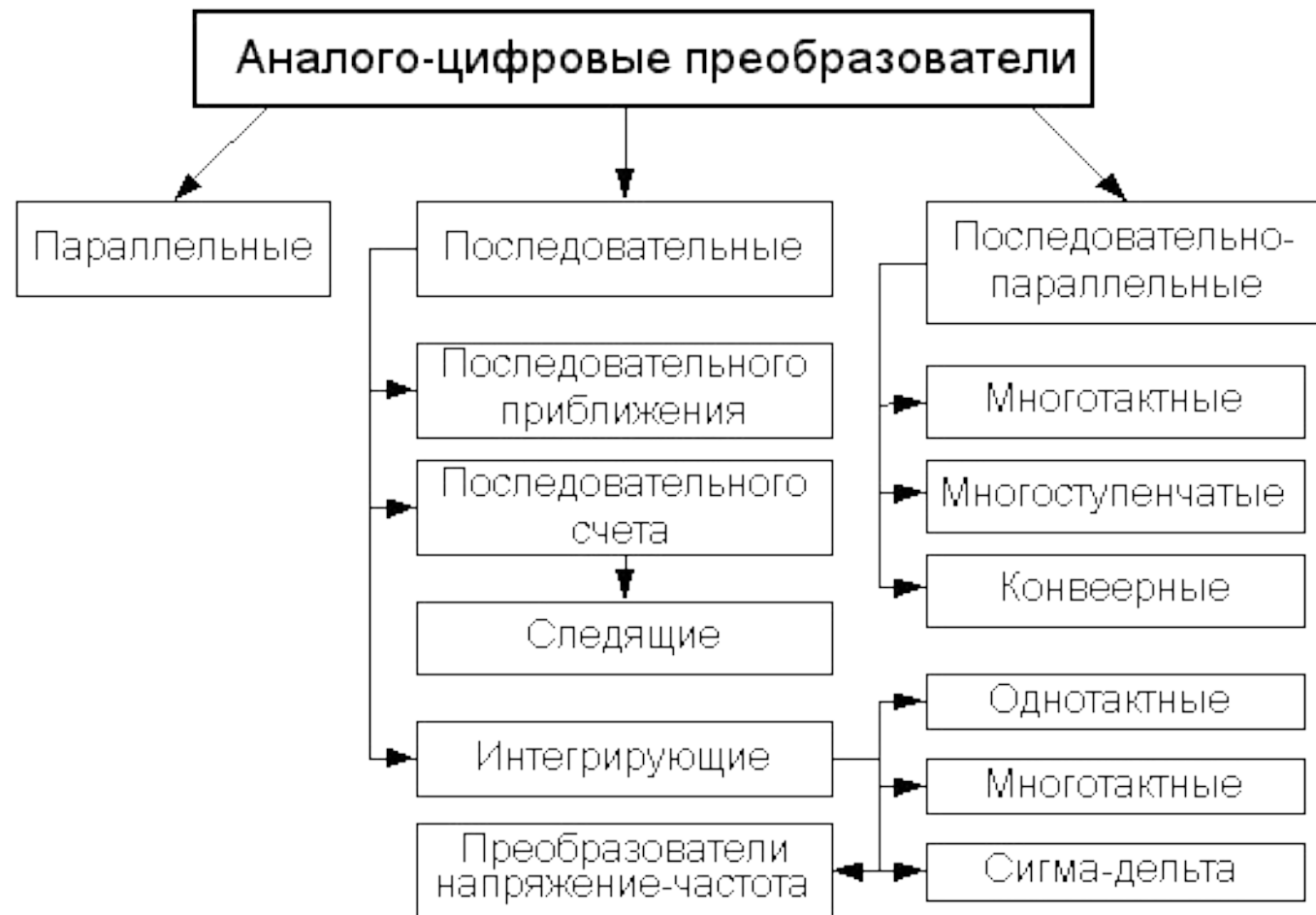
Аналого-цифровой преобразователь (АЦП, англ. Analog-to-digital converter, ADC) — устройство, преобразующее входной аналоговый сигнал в дискретный код (цифровой сигнал).

Обратное преобразование осуществляется при помощи цифро-аналогового преобразователя (ЦАП, DAC).

Как правило, АЦП — электронное устройство, преобразующее напряжение в двоичный цифровой код. Тем не менее, некоторые неэлектронные устройства с цифровым выходом следует также относить к АЦП, например, некоторые типы преобразователей угол-код. Простейшим одноразрядным двоичным АЦП является компаратор.

Классификация

В настоящее время известно большое число методов преобразования напряжение-код. Эти методы существенно отличаются друг от друга потенциальной точностью, скоростью преобразования и сложностью аппаратной реализации. На схеме представлена классификация АЦП по методам преобразования.



1. АЦП параллельного преобразования. Обладают низкой разрядностью и высоким быстродействием. Принцип действия заключается в поступлении входного сигнала на «плюсовые» входы компараторов, а ряд напряжений подается на «минусовые». Работа компараторов осуществляется параллельно, время задержки схемы складывается из времени задержки в одном компараторе и времени задержки в шифраторе. Исходя из этого, шифратор и компаратор можно сделать быстрыми и схема получит высокое быстродействие.

2. АЦП последовательного приближения. Осуществляет измерение величины входного сигнала, производя ряд «взвешиваний» или сравнений величин входного напряжения и ряда величин. Характеризуется высокой скоростью преобразования и ограничен точностью внутреннего ЦАП.

3. АЦП с балансировкой заряда. Принцип действия заключается в сравнении входного напряжения со значением напряжения, которое накоплено интегратором. Импульсы подаются на вход интегратора отрицательной или положительной полярности, исходя из результата сравнения. В итоге, напряжение на выходе «прослеживает» за входным напряжением. Характеризуется высокой точностью при низком уровне собственного шума