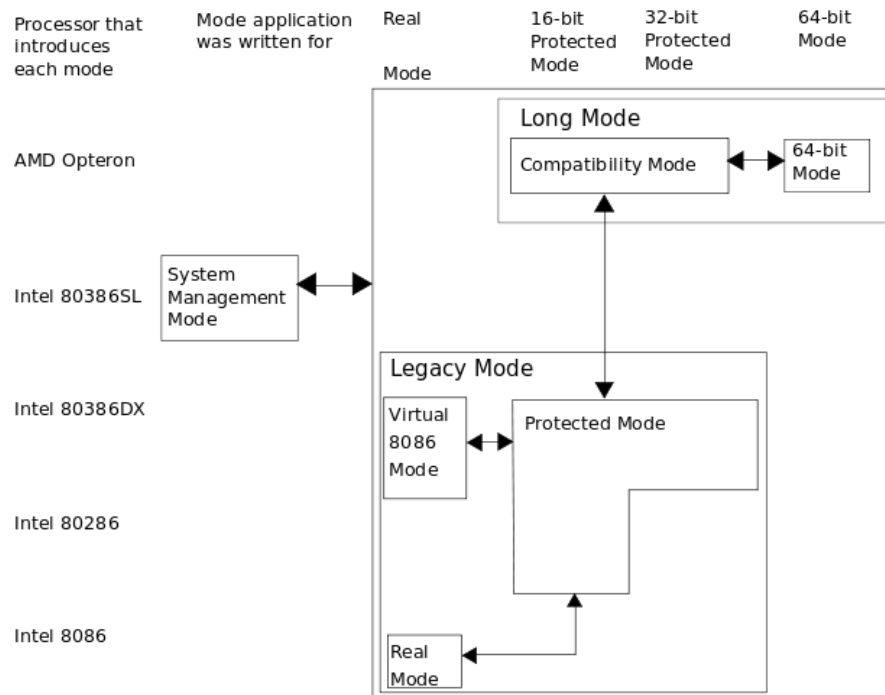


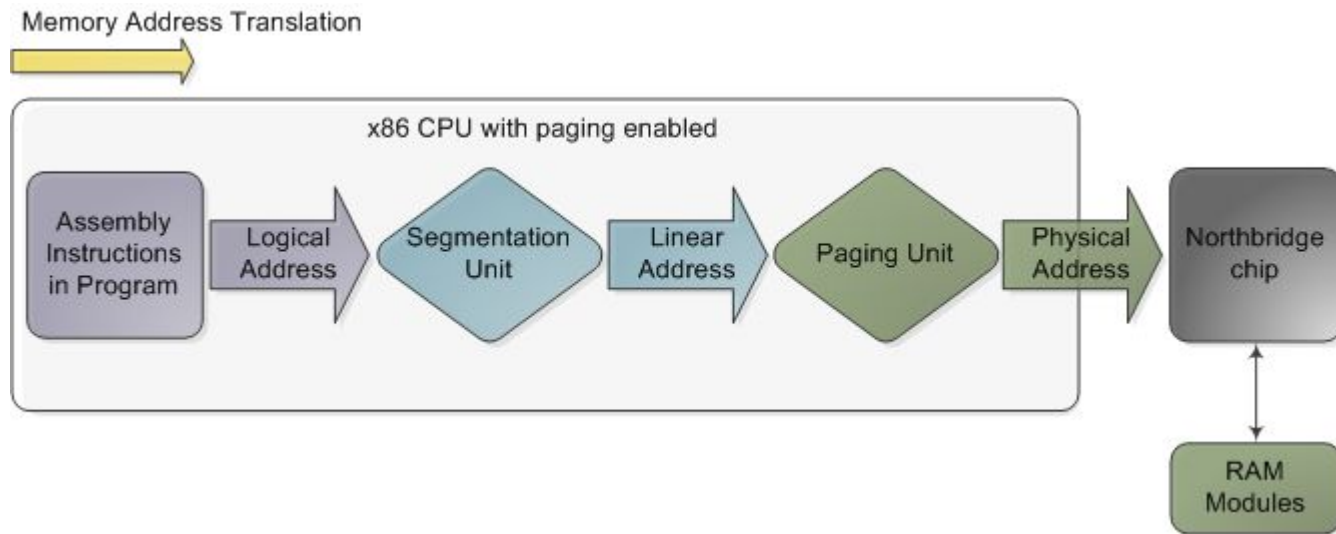
Управление памятью в процессорах с архитектурой EMТ64. Линейное и физическое адресное пространство. Ограничения на размер адресуемой памяти. Логические, линейные и физические типы адресов. Механизм управления страницами на аппаратном уровне. Преобразования адресов: роль блока сегментации и блока управления страницами. Сегментация в 64-битном режиме, устройство и назначение таблиц дескрипторов сегментов, быстрый доступ к дескрипторам сегментов. Аппаратная схема защиты. Механизм расширения физических адресов (РАЕ). Механизм управления страницами в 64-разрядном режиме.



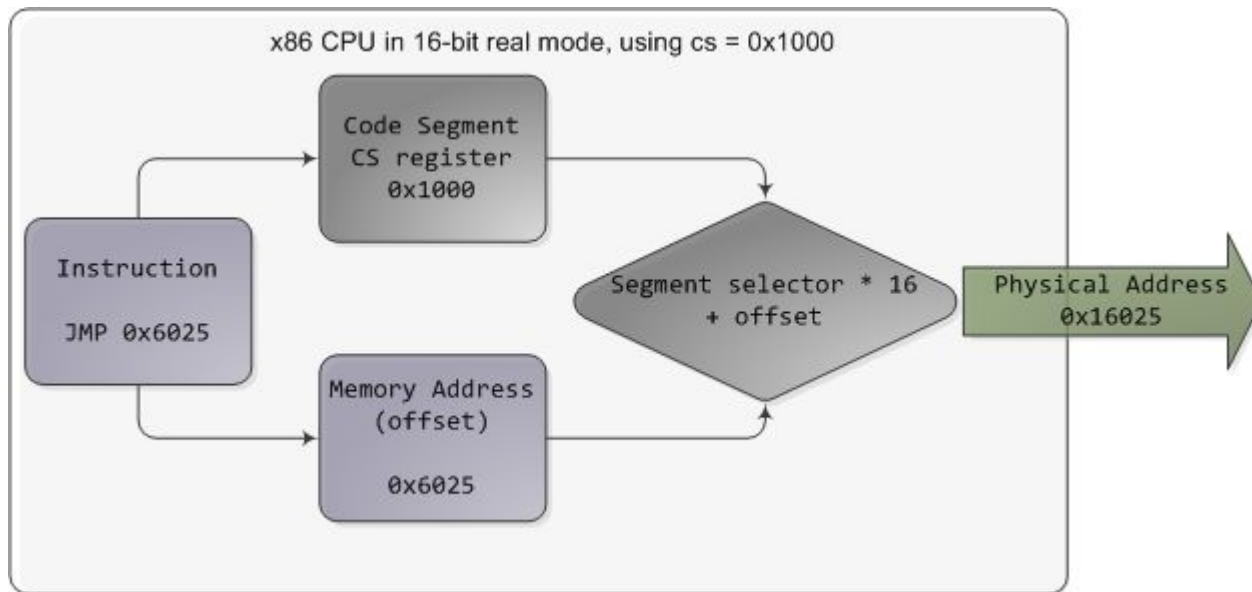
# Режимы работы процессора



# Трансляция адресов в памяти

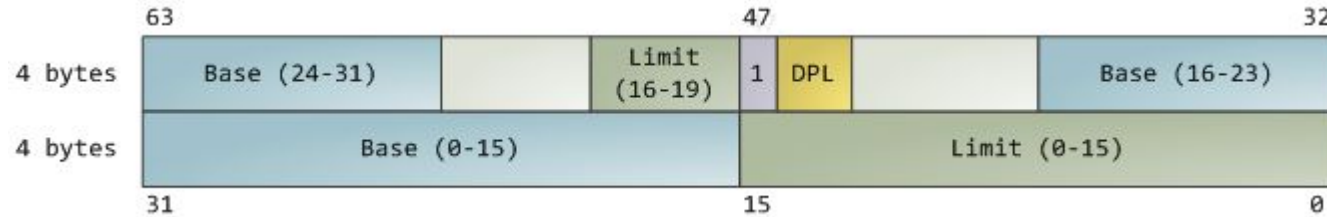


# Сегментация

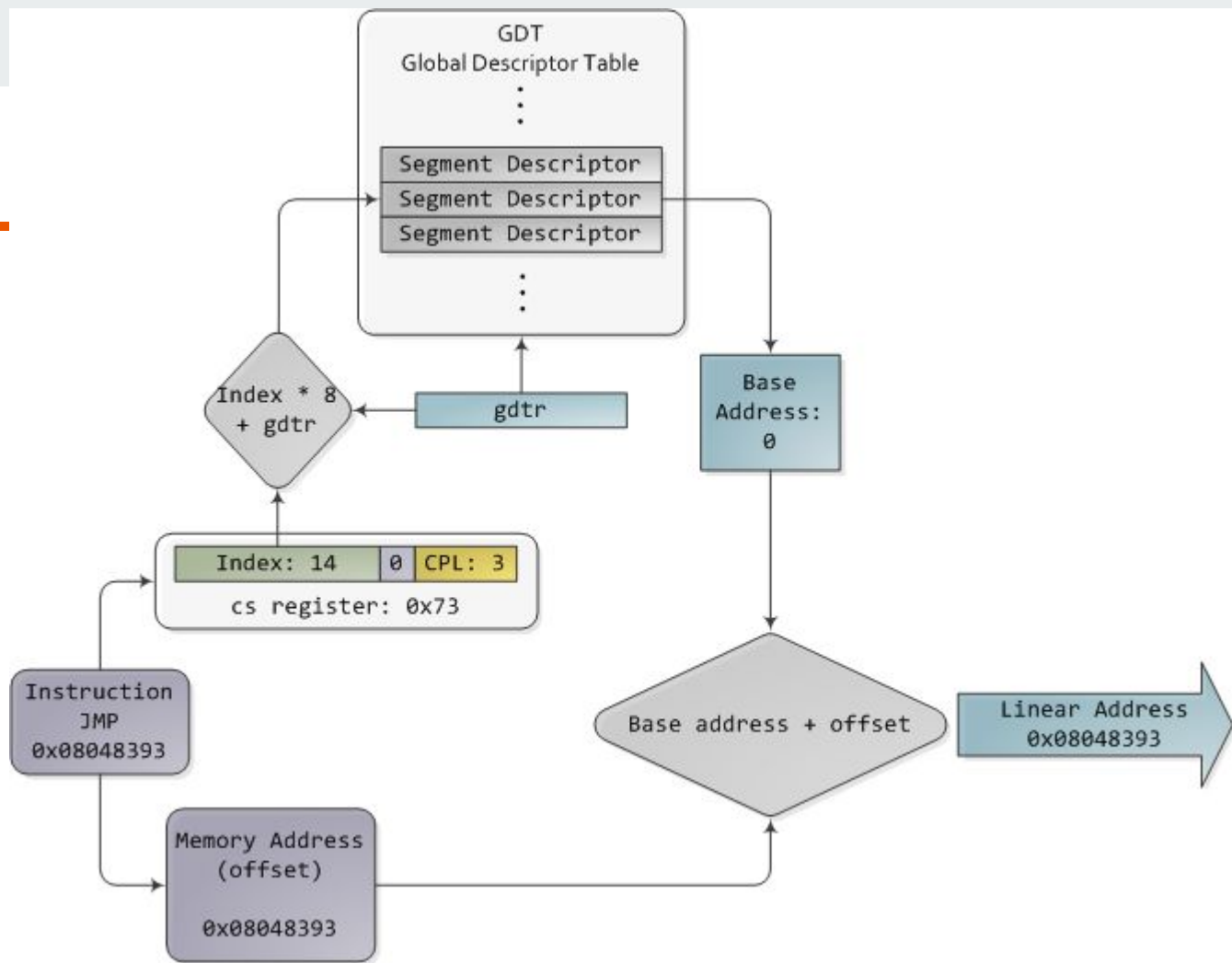


Реальный режим

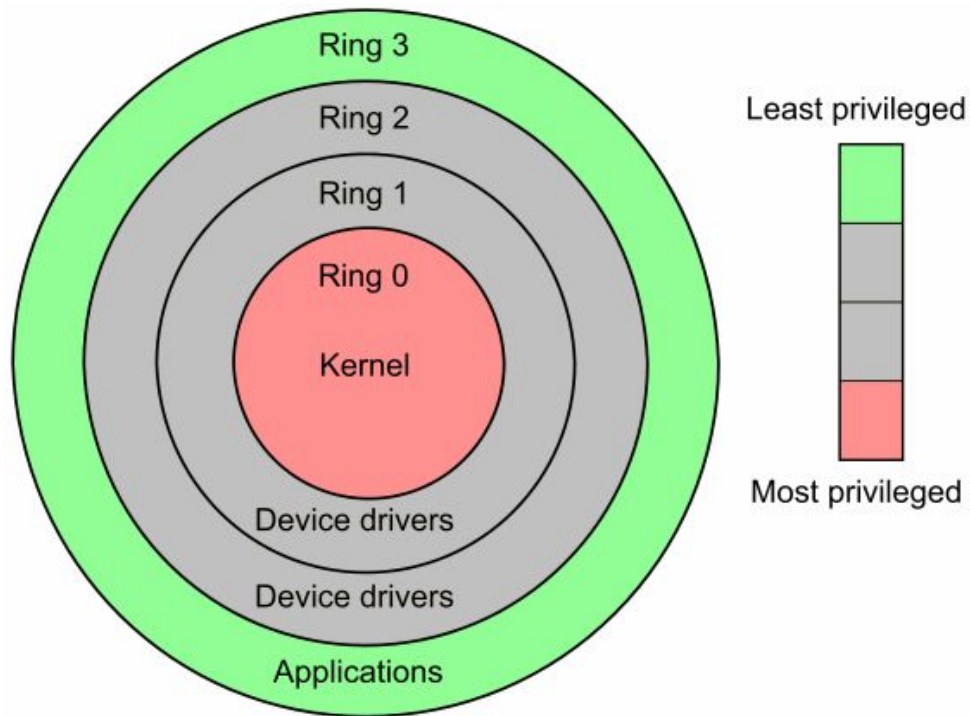
# Сегментация



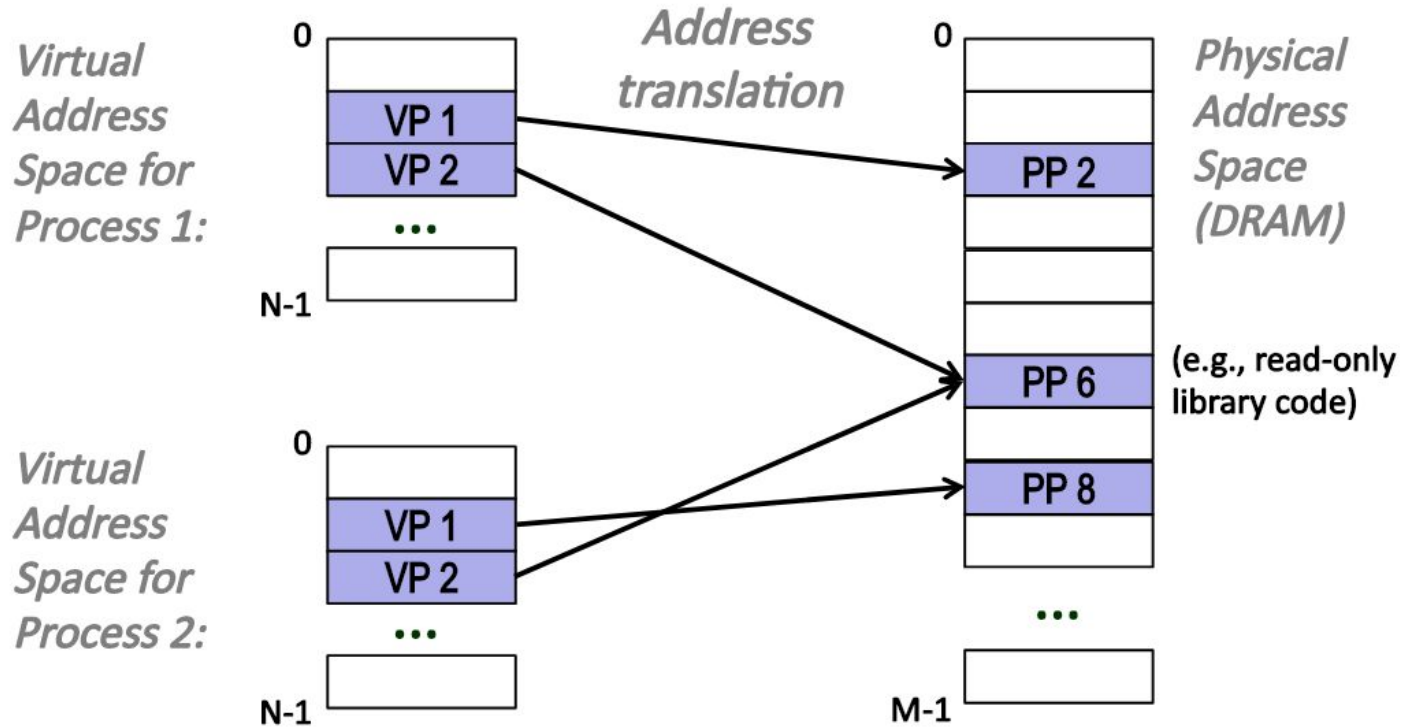
Защищённый режим



# Кольца защиты



# Страничная организация памяти



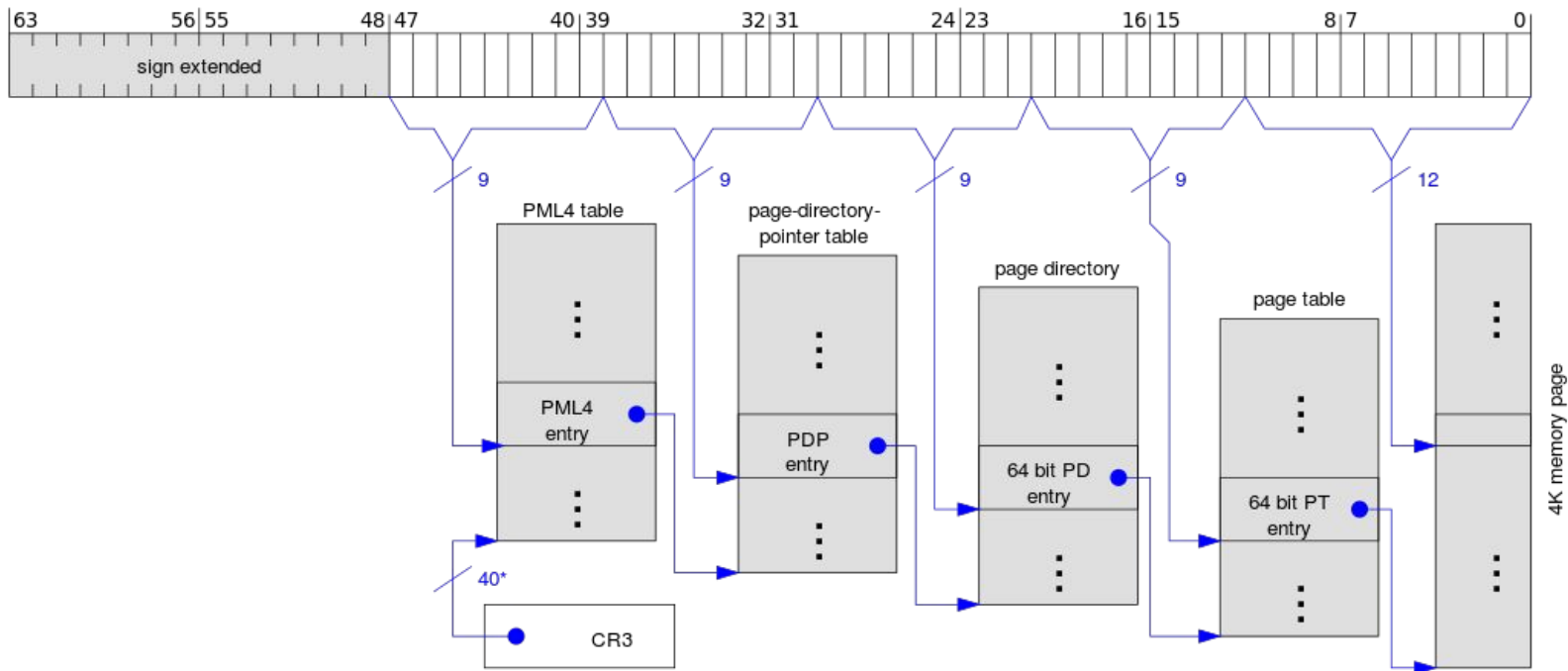


# Виртуальное адресное пространство



# Структура таблицы страниц

Linear address:



\*) 40 bits aligned to a 4-KByte boundary

