

Аппаратурная реализация кодера

- Естественно, при аппаратурной реализации кодера циклического кода умножение, деление и сложение многочленов осуществляется при помощи регистров сдвига с обратной связью и сумматоров по модулю 2.
- Совместная работа регистра сдвига с обратной связью и сумматора по модулю 2 (рис. 4) широко используется в схемах кодирования и декодирования циклических кодов. Пример схемы, состоящей из регистра на три ячейки и сумматора по модулю 2, представлен на рис. 5 а. Так как в дальнейшем подобные и более сложные схемы будут неоднократно повторяться, эту схему заменим упрощенной схемой рис. 5 б, в которой отдельные ячейки регистра сдвига обозначены через X^i , а сумматоры — знаком \oplus . Если ни в одну ячейку регистра (рис. 5, б) ничего не записано, то его состояние определится как 000. Пусть в ячейку X^0 записан сигнал 1, а в ячейки X^1 и X^2 —0. В этом

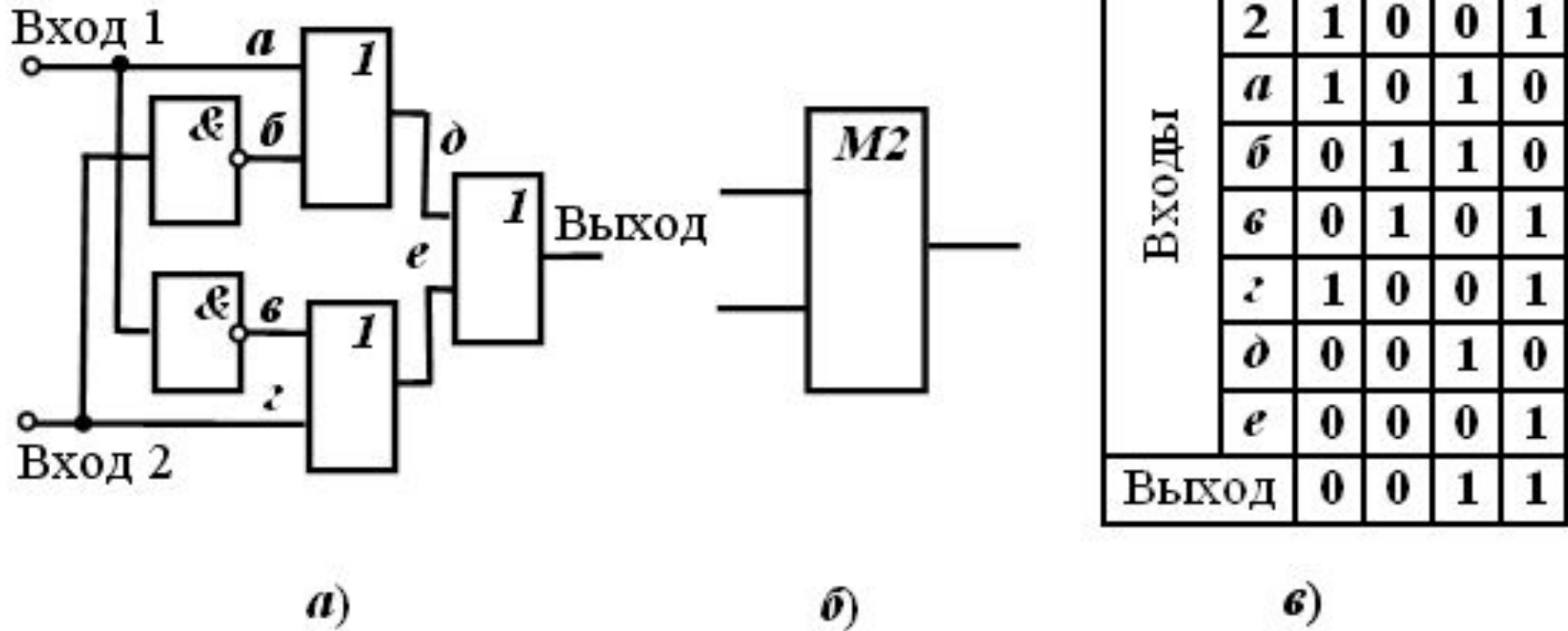
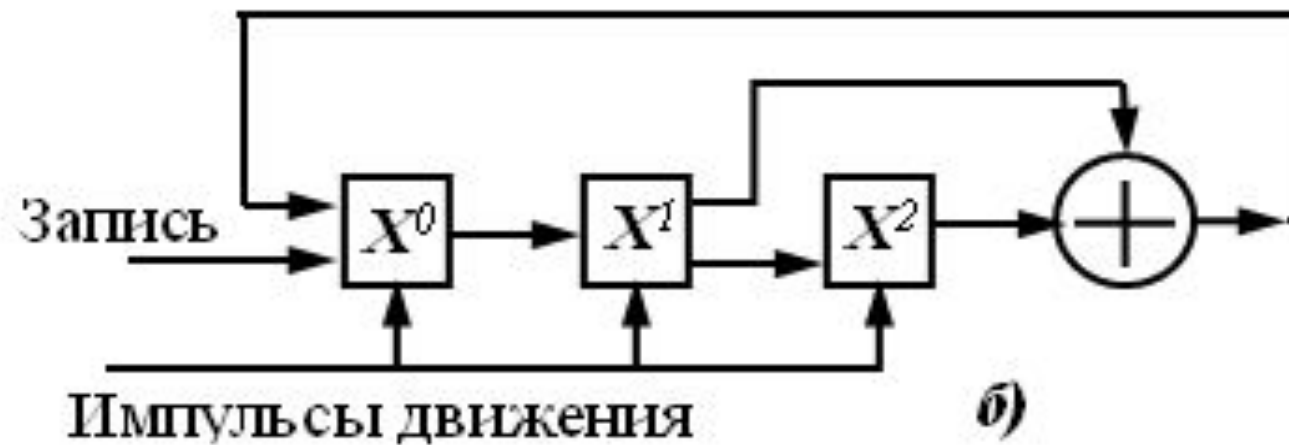
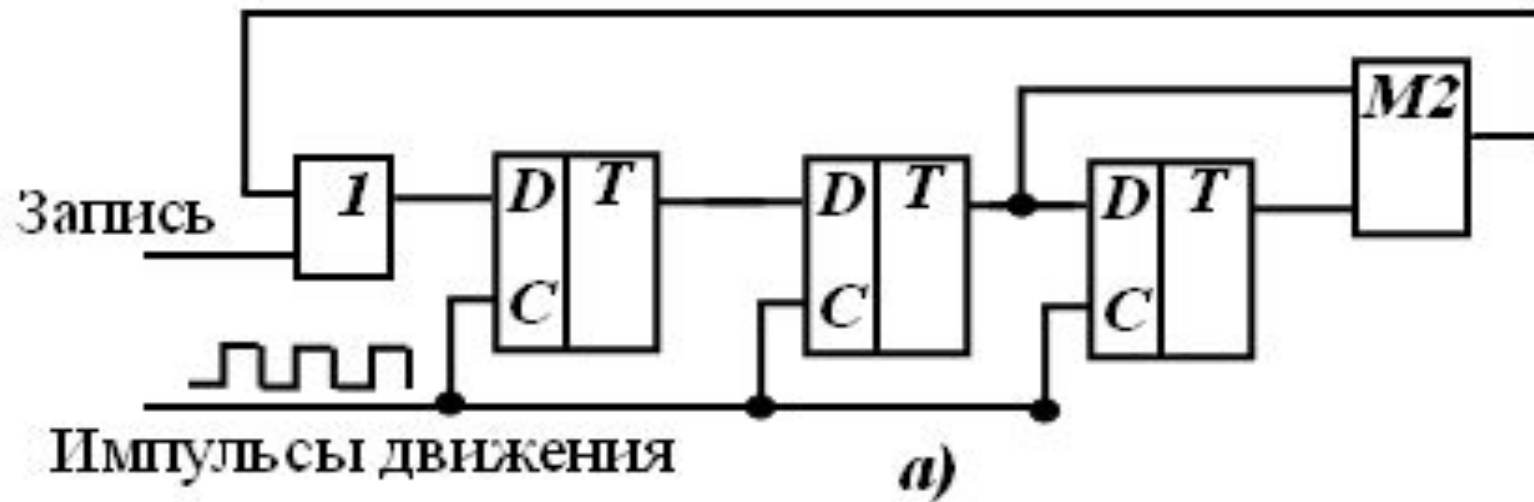


Рис. 4. Логический элемент сложения по модулю 2;
 а — функциональная схема; б - условное обозначение;
 в - таблица функционирования



- Рис. 5. Работа регистра сдвига с сумматором по модулю 2 ;
- а – функциональная схема ; б – условное обозначение

- Если сумматор отсутствует, то получается обычный регистр сдвига и при первом переключении сигнал 1 из ячейки X^0 перейдет в ячейку x и состояние регистра будет 010. В следующем такте состояние определится как 001.
- Таким образом, при отсутствии сумматора по модулю 2 число состояний регистра $N = n$, где n — число ячеек регистра.
- В каждом такте (от I до VII, исключая нулевой) показано состояние ячеек регистра после записи и считывания информации. В исходном состоянии во всех ячейках регистра записан сигнал 0. В такте I ячейку X^0 регистра записывается сигнал 1. Далее вторым тактовым импульсом происходит переписывание сигнала 1 из ячейки X^0 в ячейку X^1 (косая стрелка из ячейки X^0 в ячейку X^1). Работа схемы представлена в табл. 5.

Совместная работа регистра и сумматора по модулю 2

Номер такта	Вход	Состояние ячеек регистра		
		X^0	X^1	X^2
<i>0</i>		0	0	0
<i>I</i>	1 →	1	0	0
<i>II</i>		0	1	0
<i>III</i>		1	0	1
<i>IV</i>		1	1	0
<i>V</i>		1	1	1
<i>VI</i>		0	1	1
<i>VII</i>		0	0	1

В такте I I I сигнал 1 из ячейки X^1 переписывается в ячейку X^2 и через сумматор — в ячейку X^0 , что показано соответствующими стрелками. Сигнал 1 из ячейки X^2 через сумматор переходит в ячейку X^0 , а из ячейки X^0 — в ячейку X^1 (такт IV). В такте V во всех ячейках будут записаны сигналы 1, что показано стрелками. В тактах VI и VII сумматор не пропускает два сигнала 1 с ячеек X^1 и X^2 в ячейку X^0 и в ней записывается 0.

Сигналы 1 с ячеек X^0 и X^1 переписываются в ячейки X^1 и X^2 соответственно (такт VI), а в такте VII 1 заполнит только ячейку X^2 . В дальнейшем состояние ячеек регистра начнет повторяться, начиная с такта I.

Таким образом, применение сумматора позволяет увеличить число состояний схемы с трех до семи, а в общем случае до $N = 2^n - 1$, так как нулевая комбинация никогда далее не повторяется.

Деление многочленов с помощью регистра и сумматоров

Регистр с сумматорами по модулю 2 может быть использован для деления многочлена на многочлен.

Для деления любого многочлена на заранее фиксированный многочлен

$$h(X) = a_0X^0 + a_1X^1 + a_2X^2 + \dots + a_{n-2}X^{n-2} + a_{n-1}X^{n-1}$$

где $a_i = 1$ или 0 , может быть использована схема рис. 6. а., в которой перед каждой ячейкой регистра имеется сумматор по модулю 2. Ячейка регистра для члена со старшей степенью и соответствующий ей сумматор отсутствуют. Это следует из процесса деления многочлена на многочлен, из которого вытекает, что старшие члены делимого и делителя, в которых всегда стоят единицы, складываясь по модулю 2, дают нуль. Для случая

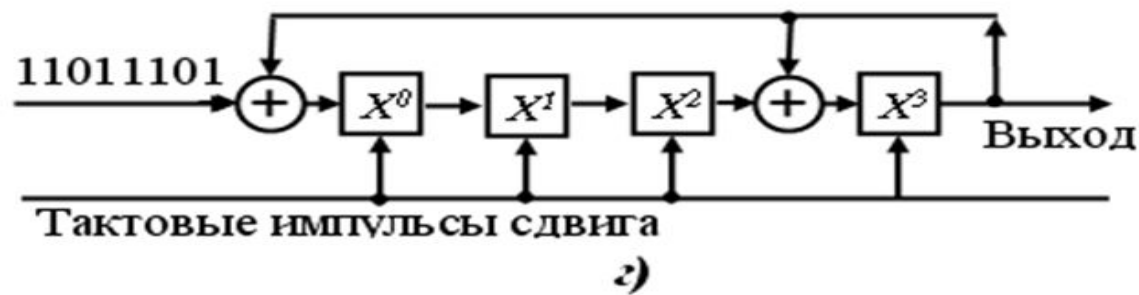
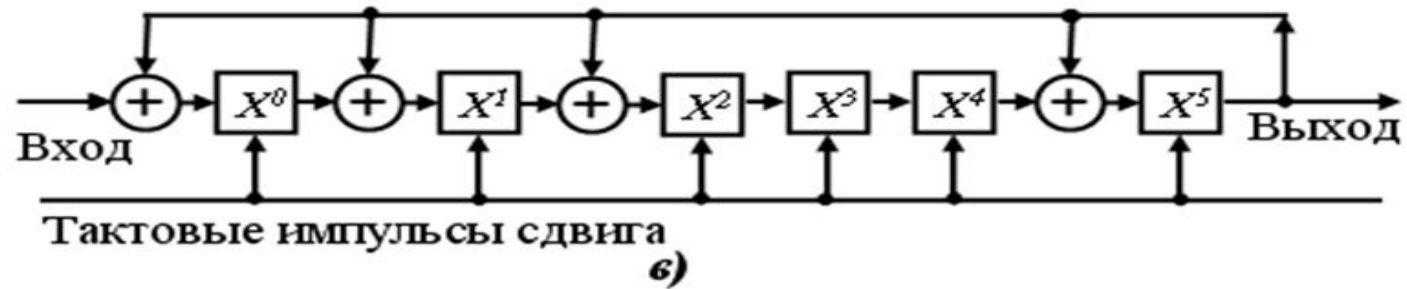
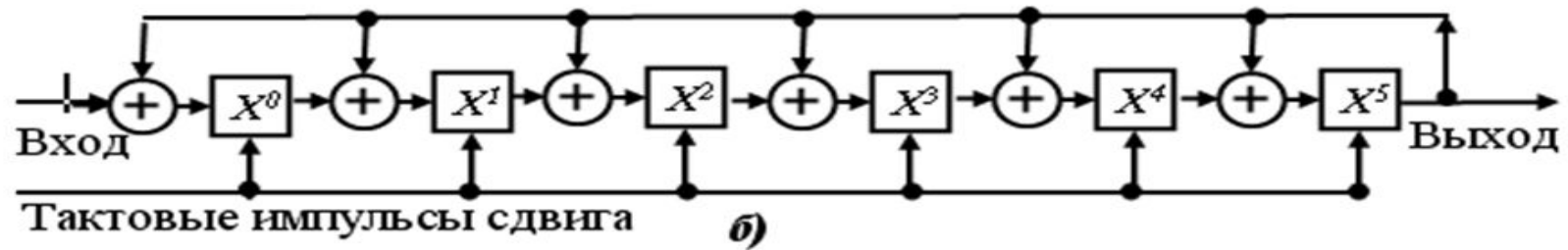
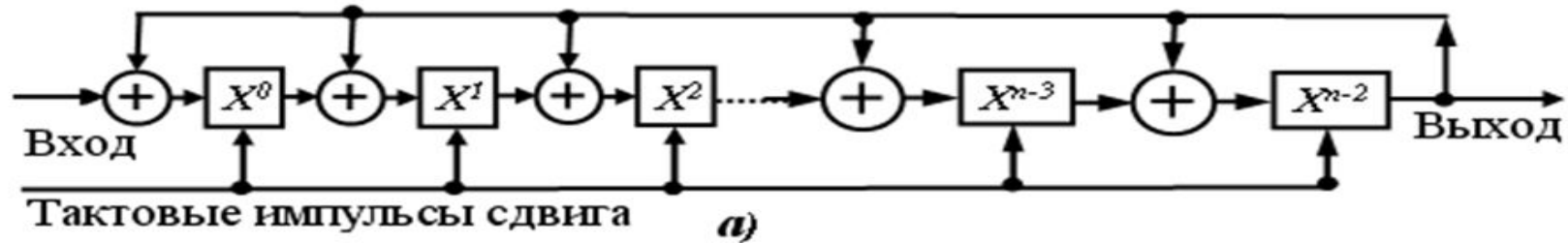
$$h(X) = X^0 + X^1 + X^2 + X^3 + X^4 + X^5 + X^6$$

схема делителя представлена на рис. 6, б. Ниже приведена схема для деления на многочлен, если в нем некоторая $a_i = 0$.

Например, если $P(X^6) = X^6 + X^5 + X^2 + X + 1$, то сумматоры перед ячейками X^3 и X^4 регистра отсутствуют. Поэтому схема имеет вид, показанный на рис. 6, в. Однако все ячейки регистра (исключая старшую степень) в схеме присутствуют.

На схеме рис. 6.г дан пример деления на многочлен $P(X^4) = X^4 + X^3 + 1$ (делитель). Делимым является многочлен $G(X) = X^7 + X^5 + X^4 + X^3 + X + 1$. Результат деления записан в виде табл. 6. Из табл. 6 следует, что в такте I единица старшего разряда делимого записывается в ячейку X^0 , в такте II эта единица считывается с ячейки X^0 и записывается в ячейку X^1 (косая стрелка из ячейки X^0 в ячейку X^1). Одновременно нуль делимого записывается в ячейку X^0 , а нули из ячеек X^1 и X^2 переходят соответственно в ячейки X^2 и X^3 , что также показано косыми стрелками. Нуль из ячейки X^3 появляется на выходе. В тактах III и IV ячейки регистра продолжают заполняться, но на выход пока поступают только сигналы 0. Вследствие того что с ячейки X^3 сигнал 1 через сумматор X^0 поступает в ячейку X^0 одновременно с 1 делимого, в ней записывается 0 (такт V)

Схемы деления многочлена на многочлен



Схемы деления многочлена на многочлен.

a – многочлен n – степени, b – многочлен $X^6+X^5+X^4+X^3+X^2+X+1$,

v – многочлен $X^6+X^5+X^2+X+1$, z – многочлен X^4+X^3+1

В том же такте на выходе появляется 1 и через сумматор X^3 происходит запись 1 в ячейку X^3 (обратная связь с ячейки X^3 на ячейку X^0 регистра и на ту же ячейку X^3 показана косыми стрелками влево и вниз). В такте VI, хотя на вход поступает 0 делимого по обратной связи с ячейки X^3 , в ячейку X^0 записывается 1. Однако из-за той же обратной связи в ячейке X^3 происходит запись 0, так как сумматор X^3 не пропустил два сигнала 1

Заполнение ячеек регистра в такте VII происходит без обратной связи, которая вновь сказывается в такте VIII. Частное читается сверху вниз.

Деление многочленов

Номер такта	Делимое (ВХОД)	Состояние ячеек регистра				Частное (ВЫХОД)
		X^0	X^1	X^2	X^3	
<i>0</i>		0	0	0	0	
<i>I</i>	1 →	1	0	0	0	0
<i>II</i>	0 →	0	1	0	0	0
<i>III</i>	1 →	1	0	1	0	0
<i>IV</i>	1 →	1	1	0	1	0
<i>V</i>	1 ←	0	1	1	1	1
<i>VI</i>	0 ←	1	0	1	0	1
<i>VII</i>	1 →	1	1	0	1	0
<i>VIII</i>	1 ←	0	1	1	1	1

Умножение многочленов

Умножение многочленов с помощью регистра и сумматоров. Для умножения на заранее фиксированный многочлен (34) может быть использована схема, представленная на рис. 7, а). Схема умножения на многочлен $X^6+X^5+X^4+X^3+X^2+X+1$ дана на рис. 7, б). На рис. 7, в) изображена схема умножителя на многочлен $P(X) = X^4+X^3+1$

В табл. 7 приведен процесс умножения многочлена $X^7+X^5+X^4+X^3+X+1$ на многочлен $P(X)=X^4+X^3+1$. В такте I единица старшего разряда записывается одновременно в ячейки X^0 , X^3 и поступает на выход. В такте II на выход проходит сигнал 1 с ячейки X^3 , а с ячейки X^0 он переходит в ячейку X^1

В такте III сигнал 1 записывается в ячейки X^0 , X^3 и проходит на выход, а сигнал I с ячейки X^1 переходит в ячейку X^2 . В такте IV сигнал 1 записывается только в ячейку X^0 , но на выход он не проходит и не записывается в ячейку X^3 . Этому препятствуют сигналы 1 с ячеек X^2 и X^3 .

Рис. 7. Схемы для умножения многочлена на многочлен и одночлен:
а – многочлена n -степени, б – многочлена $X^6+X^5+X^4+X^3+X^2+X+1$,
в- многочлена X^4+X^3+1 , г- одночлена X^3

Начиная с такта IX информация в регистр не поступает и регистр очищается, т. е. информация, записанная в такте VIII, такт за тактом подается на выход. Результат умножения (111011010011) читается сверху вниз.

Для умножения на одночлен X^n используют регистр без сумматора. Схема для умножения на одночлен X^3 представлена на рис. 7, г). Пока на выход поступает множимое, ключ разомкнут и с регистра, в котором записаны нули, ничего не снимается. После поступления на выход последнего символа множимого ключ замыкается и в течение трех тактов с регистра считываются на выход три нуля, так как умножение на X^n эквивалентно приписыванию к множимому n нулей справа.

Умножение многочленов.

Номер такта	Множимое (ВХОД)	Состояние ячеек регистра				Произведение (ВЫХОД)
		X^0	X^1	X^2	X^3	
<i>0</i>		0	0	0	0	
<i>I</i>	1	1	0	0	1	1
<i>II</i>	0	0	1	0	0	1
<i>III</i>	1	1	0	1	1	1
<i>IV</i>	1	1	1	0	0	0
<i>V</i>	1	1	1	1	1	1
<i>VI</i>	0	0	0	1	0	1
<i>VII</i>	1	1	0	1	0	0
<i>VIII</i>	1	1	1	0	0	1
<i>IX</i>		0	1	1	0	0
<i>X</i>		0	0	1	1	0
<i>XI</i>		0	0	0	1	1
<i>XII</i>		0	0	0	0	1

- Сравнивая схемы умножителей и делителей, можно сделать следующие выводы:
- 1) число ячеек регистра равно старшей степени многочлена, на который происходит умножение или деление. Ячейка регистра для старшей степени многочлена отсутствует, но всегда присутствует ячейка X^0 ;
- 2) число сумматоров на единицу меньше числа ненулевых членов многочлена, на который производится деление или умножение, или на единицу меньше его веса;
- 3) при делении отбрасывается сумматор, соответствующий старшему члену многочлена, а при умножении - младшему. Например, при делении на многочлен
- $P(X)=X^4 + X^3 + 1$ остаются сумматоры для X^3 , X^0 , а при умножении на этот же многочлен — сумматоры до ячейки X^3 и после нее;

- 5) при умножении множимое подается одновременно на вход и на все сумматоры;
- 6) при делении делимое подается только на первый сумматор, а частное - на выход и на все сумматоры;
- 7) множимое или делимое поступает на вход начиная со старшего разряда.