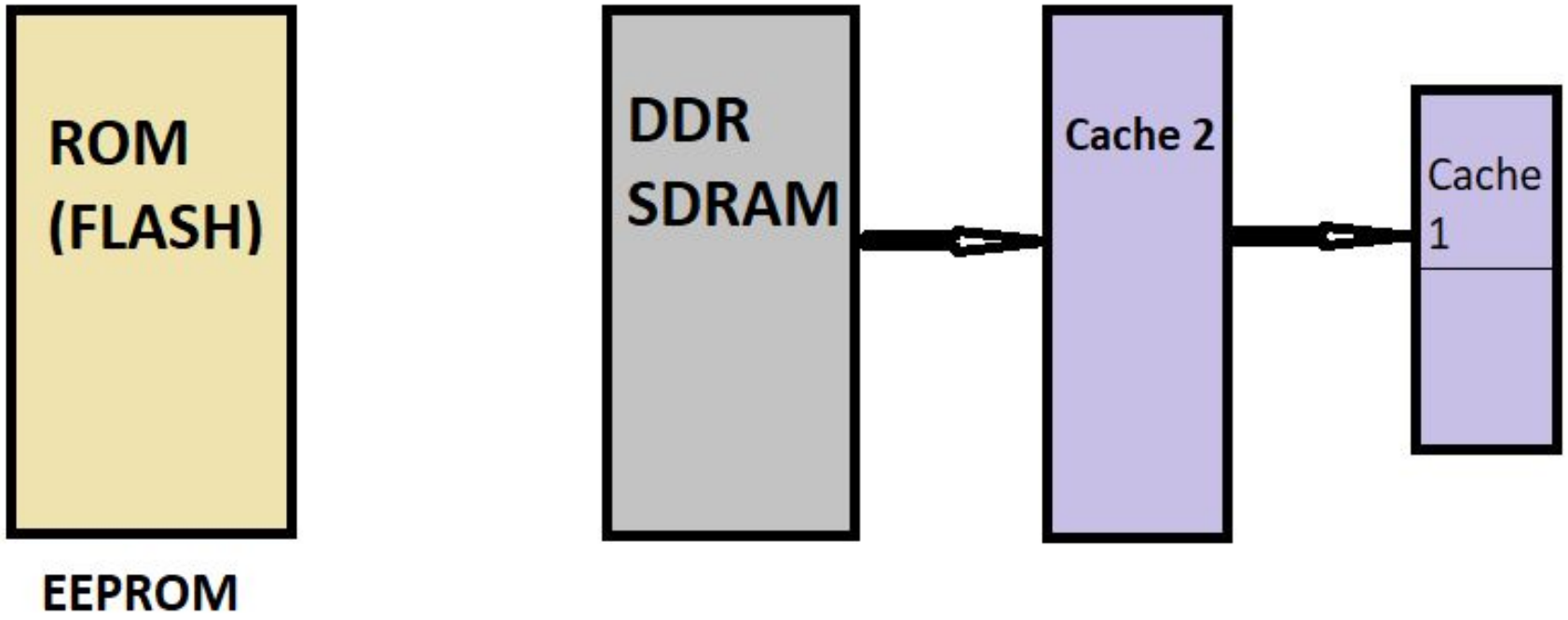
Машинно-зависимые языки программирования.

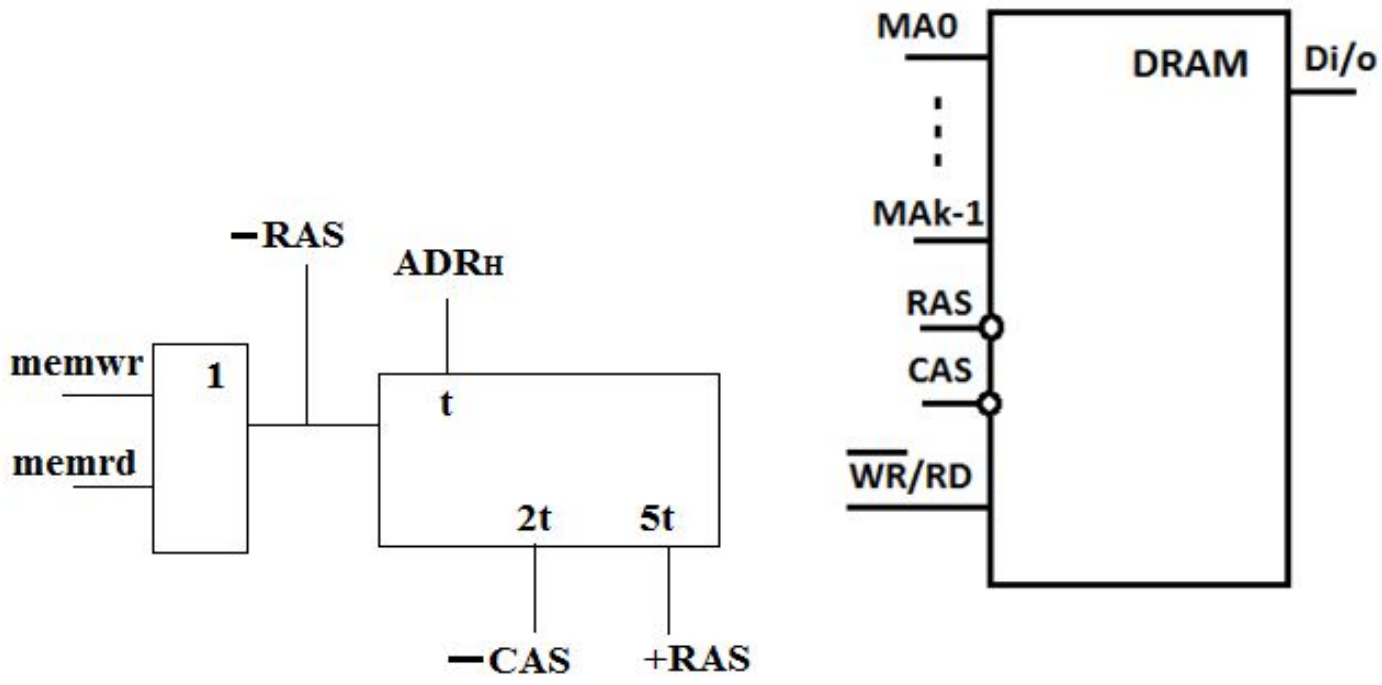
Лекция 2

Внутренняя память процессорной системы

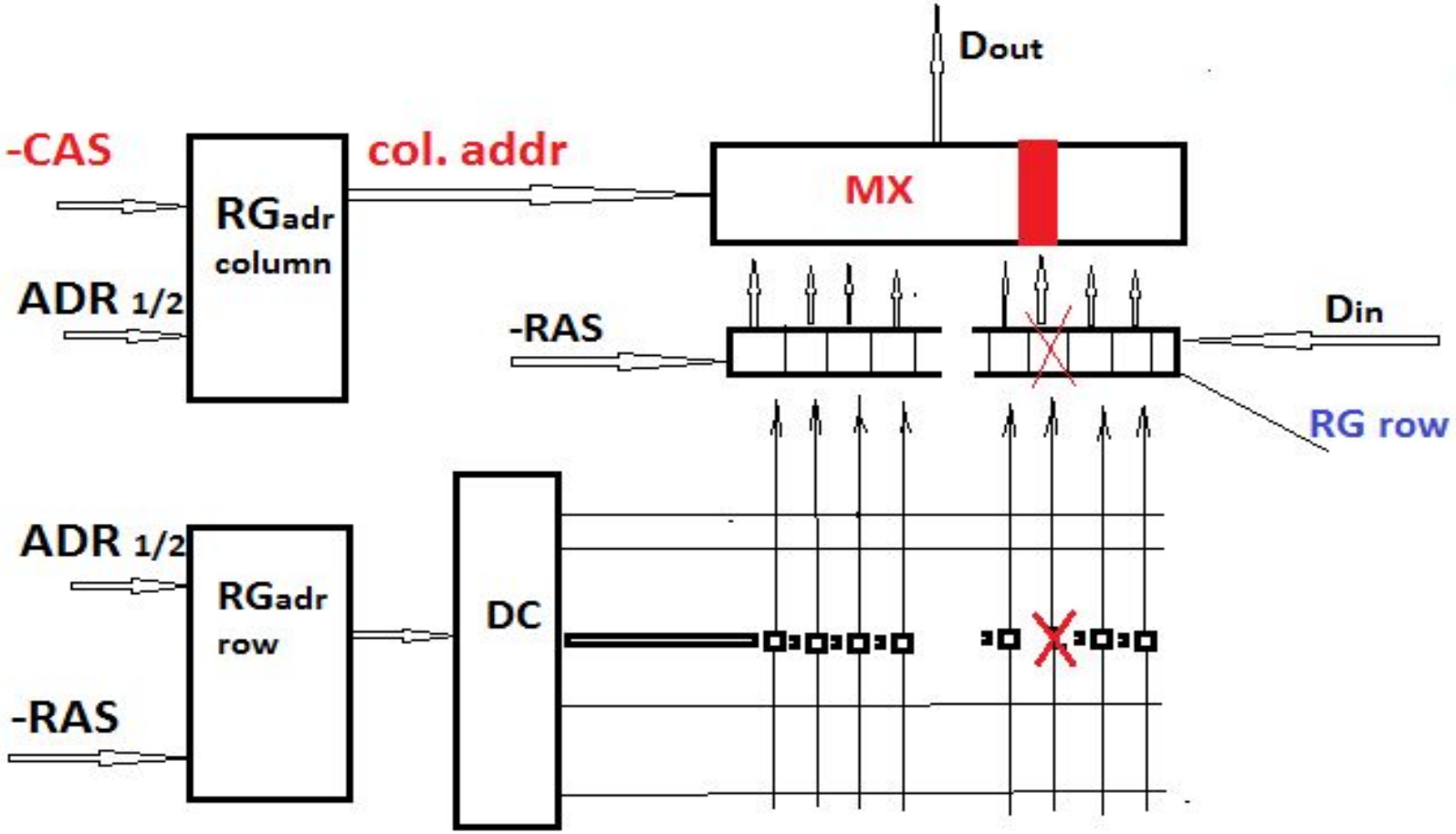


Структура DRAM

- Формирование обращения к DRAM

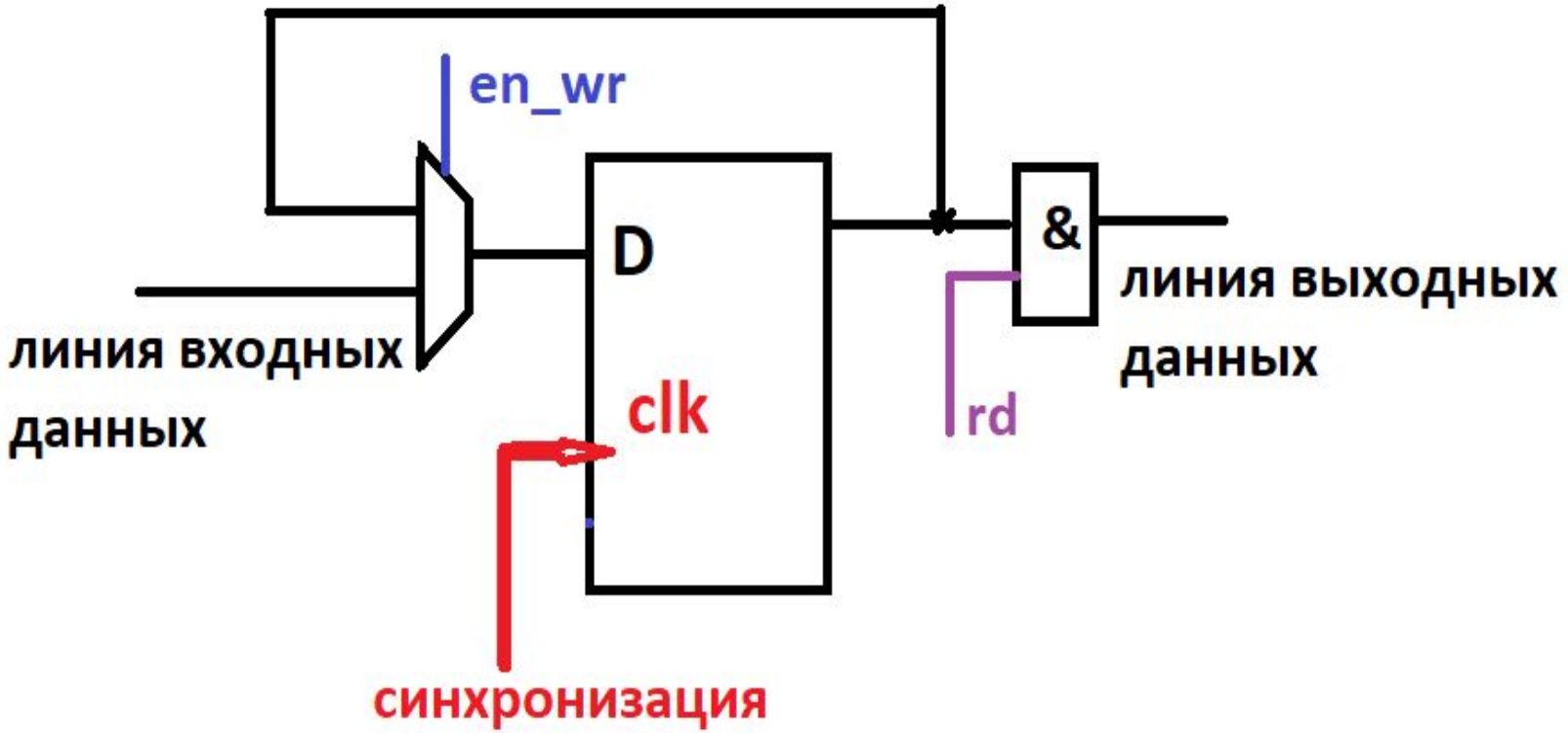


Алгоритм обращения к внутренней структуре DRAM



Статическая память - SRAM

- Ячейка накопителя SRAM – триггер.

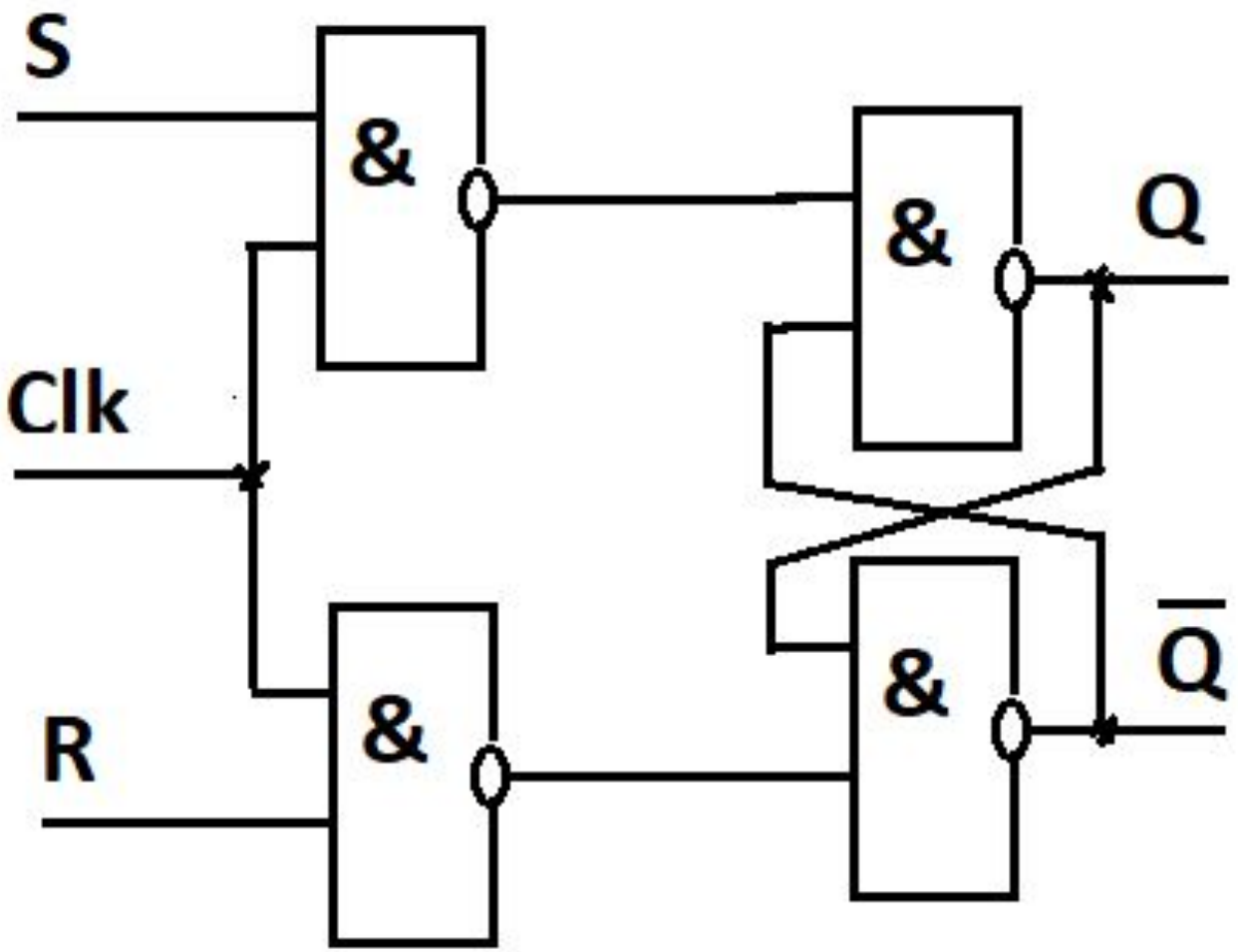


Статическая память - SRAM

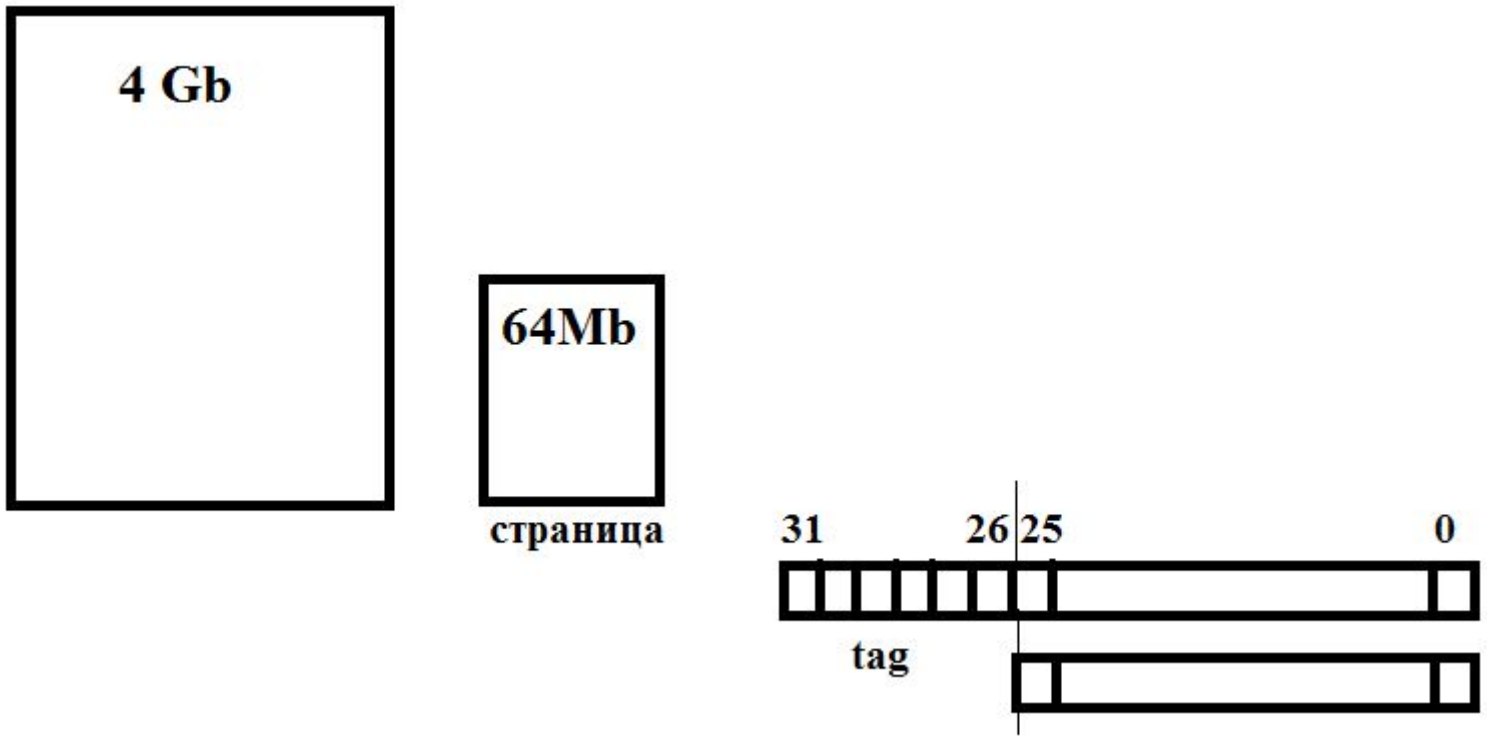
Простейшая ячейка накопителя – синхронный RS-триггер.

Вход синхронизации – статический (по уровню).

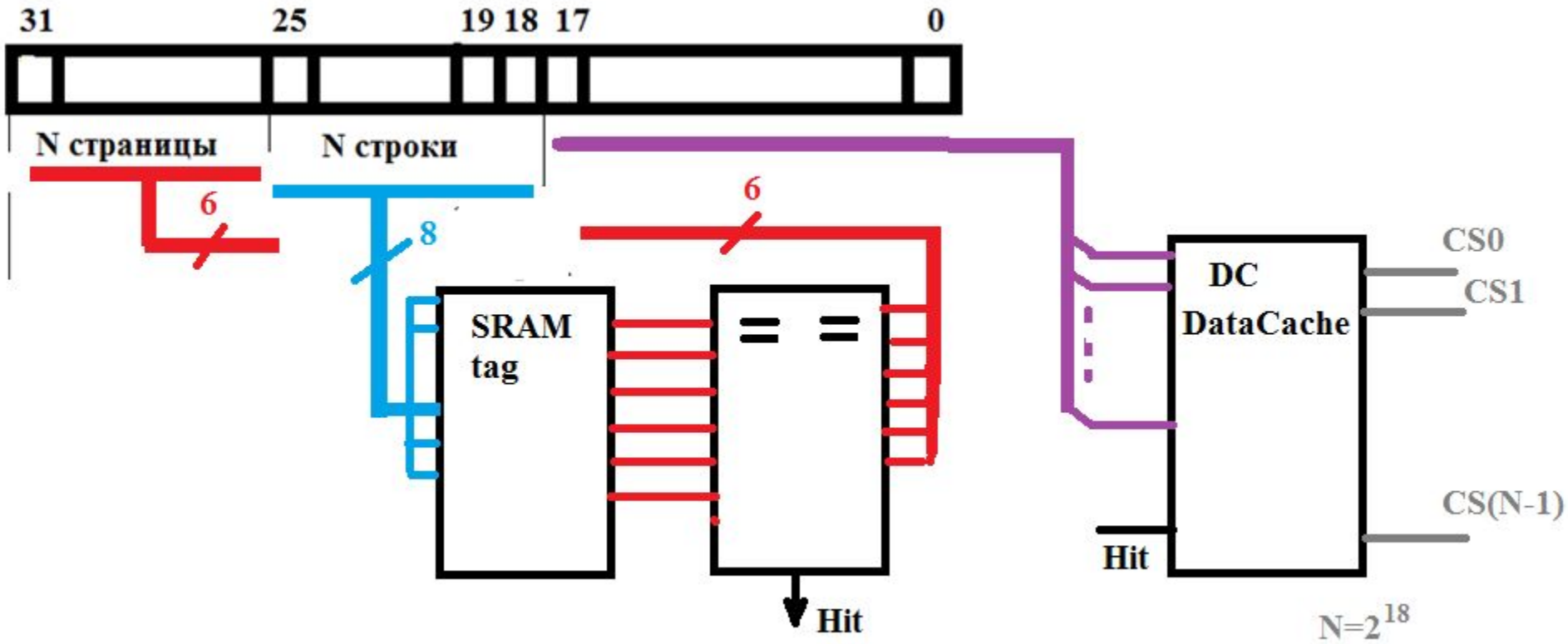
Внешний уровень сигналов S и R 1



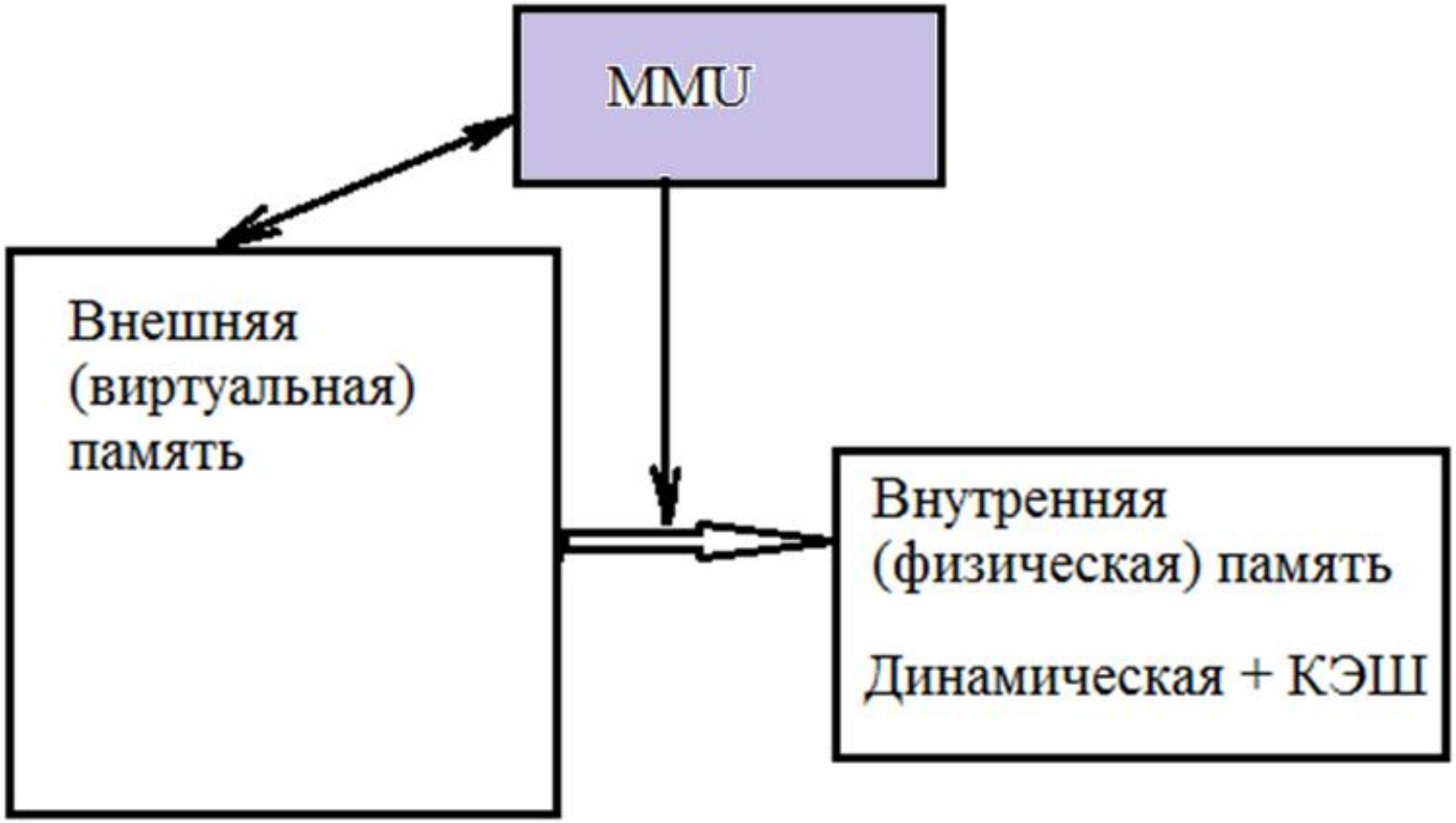
Определение тега для кэш прямого отображения



Структура адресной части Cache прямого отображения

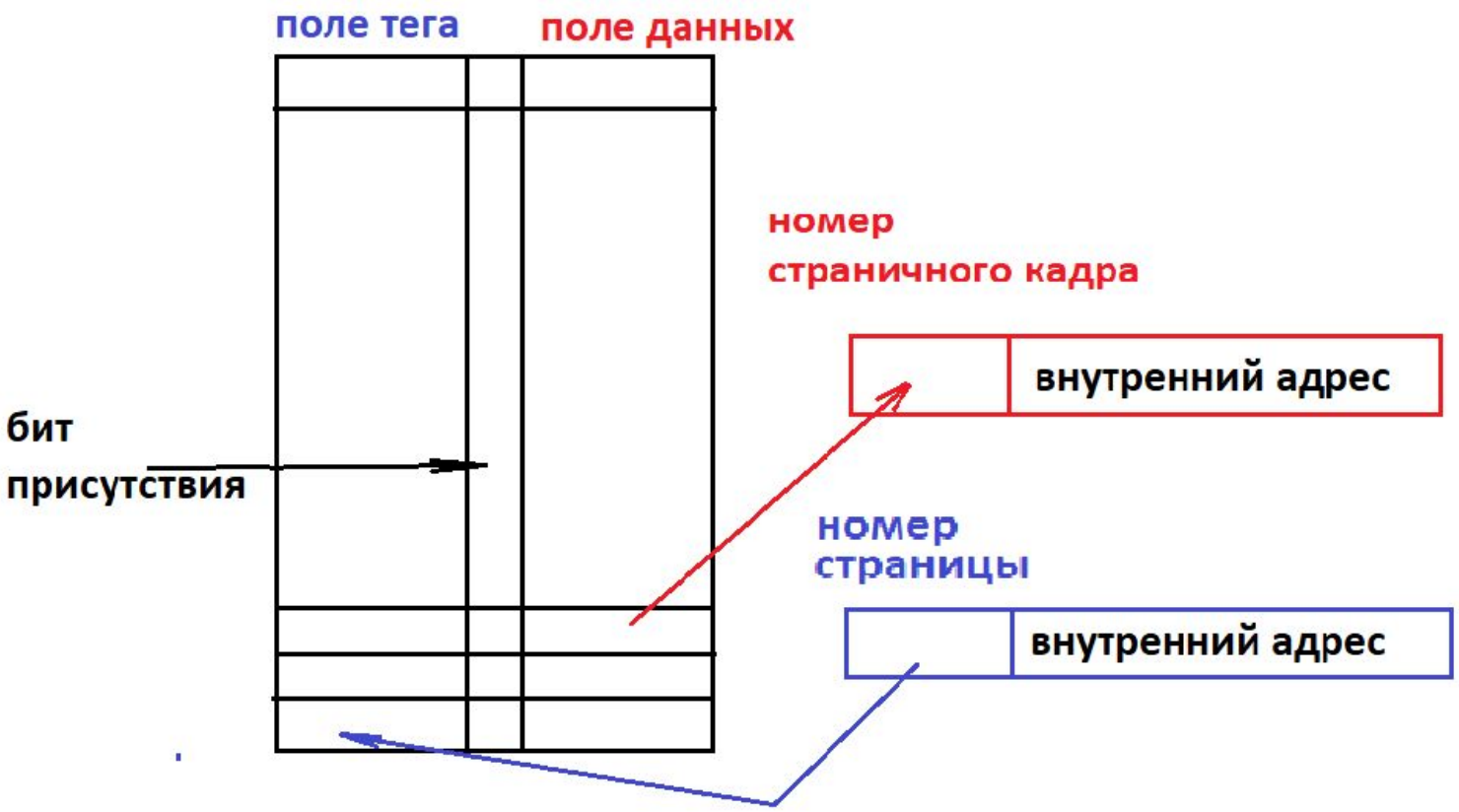


Преобразование памяти



Структура MMU.

- Страничное преобразование.
- TLB –Translation Look-aside Buffers.
- Сегментация.
- Байтовое представление сегмента: таблицы дескрипторов.
- Страничное представление сегмента: таблицы дескрипторов + TLB.

Страничное преобразование памяти

- TLB – Translation Lookaside Buffers