

Уровни представления и описания ЭВМ

№ ур.	Объекты	Структурный базис	Функциональный базис	Тип схемы	Единицы информации
0	Логические и запоминающие элементы	Электронные компоненты: транзисторы, диоды, резисторы, конденсаторы	Теория электрических цепей	Электрическая принципиальная	----
1	Операционные элементы, управляющие автоматы	Логические и запоминающие элементы	Прикладная теория цифровых автоматов	Функциональная	Биты
2	Операционные устройства	Операционные элементы, управляющие автоматы	Микропрограммы	Функциональная, структурная	Слова, поля
3	ЭВМ, сети ЭВМ	Операционные устройства	Программы	Структурная	Слова, поля, массивы

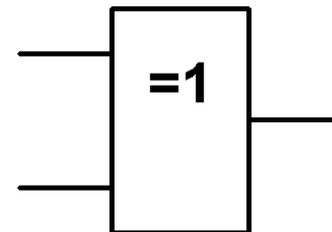
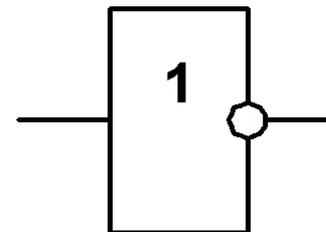
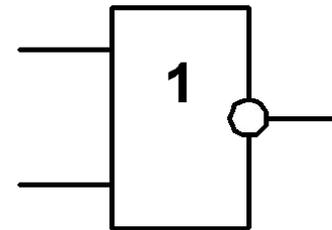
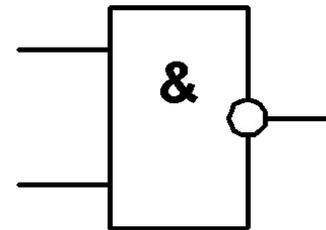
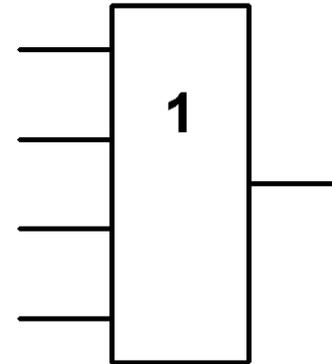
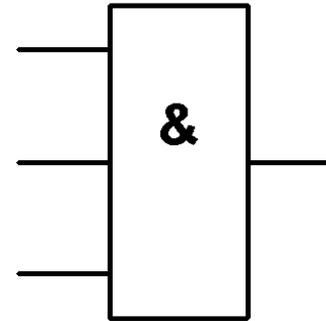
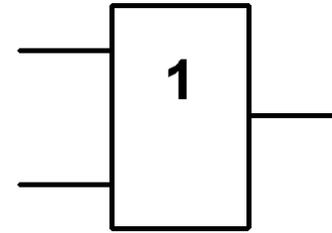
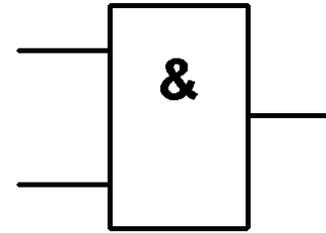
Уровень 0: Логические и запоминающие элементы

Логические элементы

Сигналы:

На вход можно подать потенциал логического нуля или логической единицы.

На выходе – результат выполнения соответствующей функции (потенциал логического нуля или логической единицы)



i-ые биты слов А и В		AND \wedge	OR \vee	XOR \oplus	NOT $\overline{A_i}$
A_i	B_i	$A_i \& B_i$	$A_i B_i$	$A_i \wedge B_i$	$\sim A_i$
0	0	0	0	0	1
0	1	0	1	1	1
1	0	0	1	1	0
1	1	1	1	0	0

Структура элементов этого уровня подробно рассматривается в дисциплине «Компьютерная электроника и схемотехника».

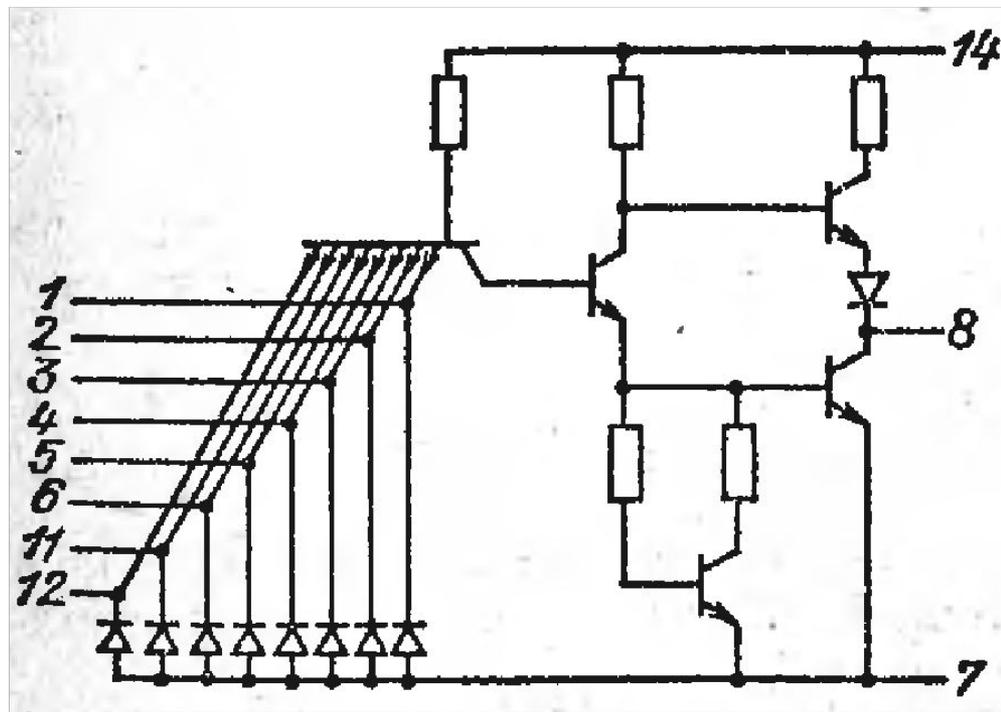
Структурный базис: транзисторы, диоды, резисторы, конденсаторы.

Микросхема К155ЛА2:

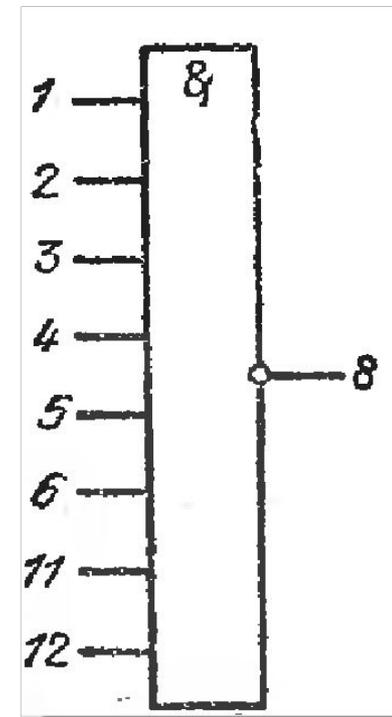
а) – схема электрическая (14 вывод должен быть подключен к VCC (+5В), 7 – к GND (общему проводу));

б) – условно-графическое обозначение

VCC (Voltage
Collector)



а)



б)

Для микросхемы К155ЛА2 (серия К155, транзисторно-транзисторная логика, напряжение источника питания: +5В) в справочнике даются следующие данные:

- ✓ потенциал логической единицы должен быть не менее 2,4 В;**
- ✓ потенциал логического нуля – не более 0,4 В;**
- ✓ время переключения из 1 в 0 – не более 15 нс;**
- ✓ время переключения из 0 в 1 – не более 22 нс;**
- ✓ коэффициент разветвления (число входов, которые можно подключить к одному выходу) – 10.**

С помощью логических элементов можно построить схемы **преобразователей информации** (операционных элементов), т.е. комбинационные схемы, выходные сигналы которых являются функциями от входных сигналов.

Комбинационная схема (КС) вычисляет некоторую булеву функцию (систему булевых функций) от входных сигналов и не производит запоминания информации (выход схемы моментально (задержка измеряется в наносекундах) реагирует на изменение комбинации на входах схемы)

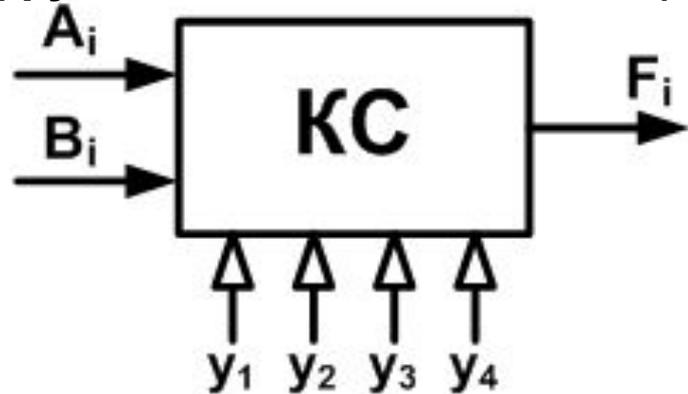
Пример (из лабораторной работы №1).

Построить схему i -го разряда формирователя кодов, выполняющего для двоичных векторов A и B операции конъюнкции, дизъюнкции, инверсии A , инверсии B . Конкретная (j -ая) операция формирователя выбирается управляющим сигналом u_j .

Операнды – n-разрядные слова :
A (1:n) и B(1:n).

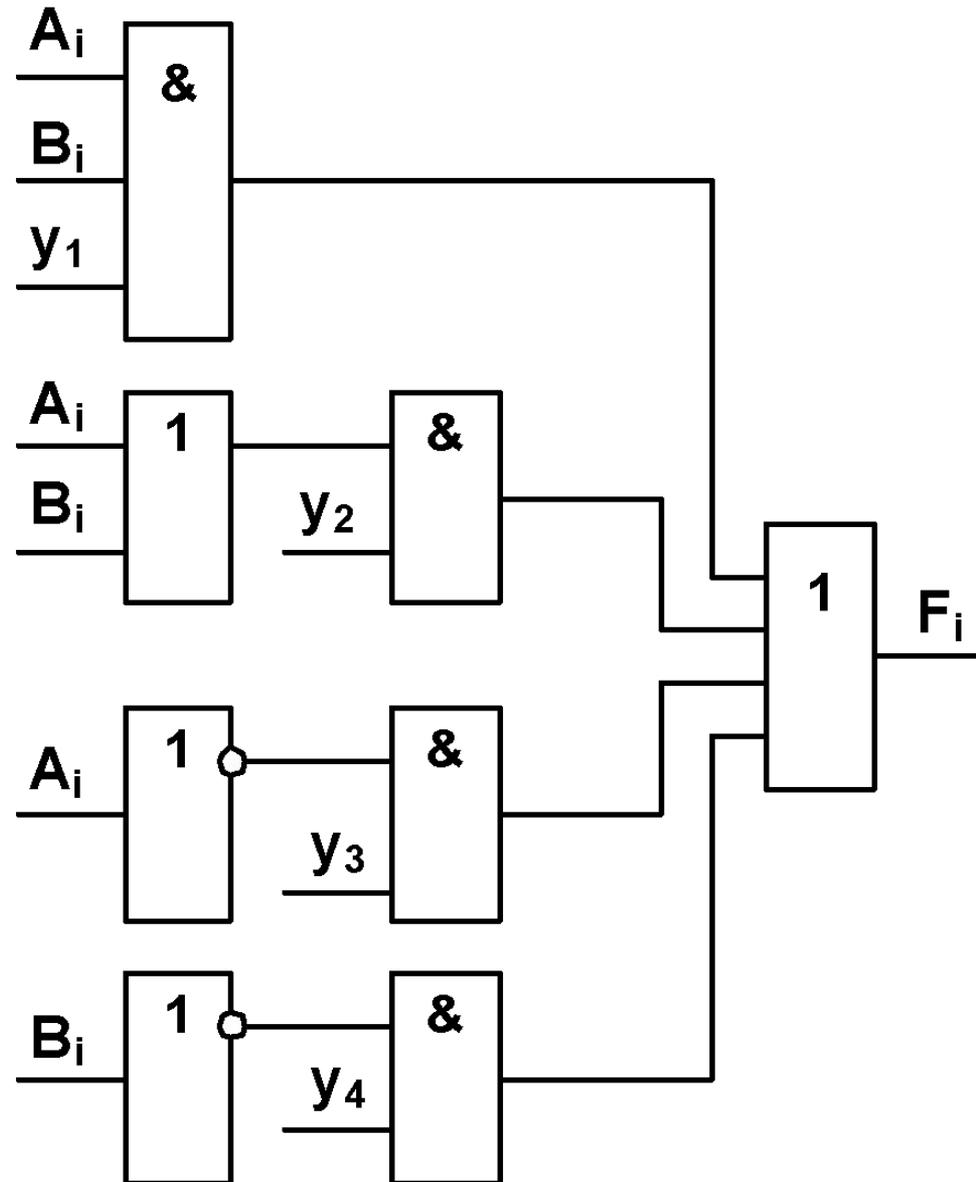
Подход к синтезу n-разрядных
операционных элементов:
синтез типового i-го разряда и
дублирование этой схемы n раз.

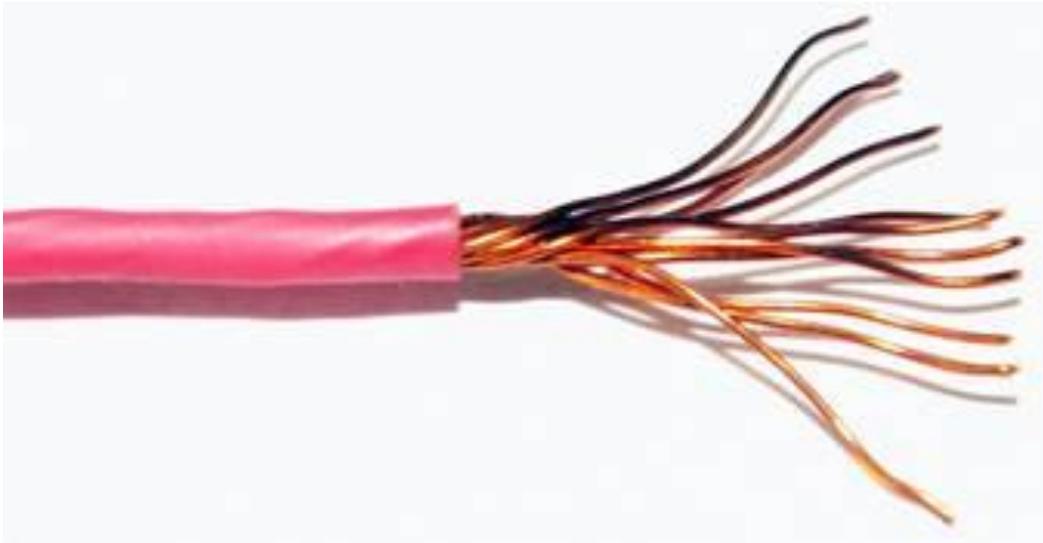
Модель элемента
(функциональное описание)



$$F_i = f(A_i, B_i, y_1, y_2, y_3, y_4)$$

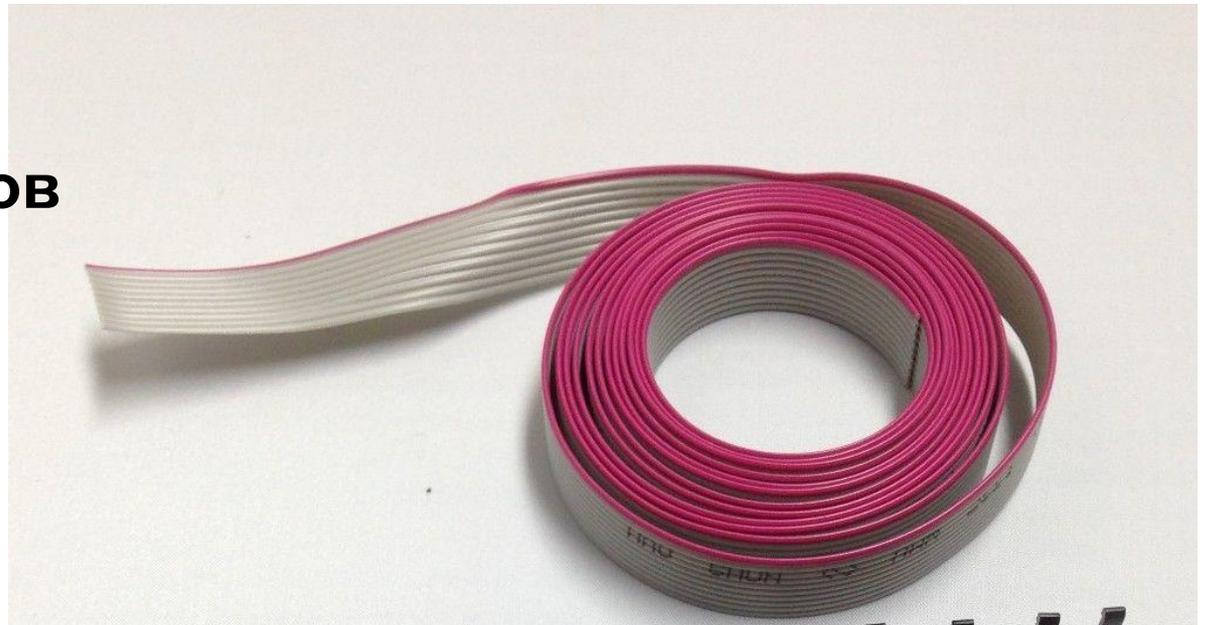
y_1 инициирует выполнение
конъюнкции входных битов A_i
и B_i , y_2 – дизъюнкцию, y_3 –
инверсию A_i , y_4 – инверсию B_i .

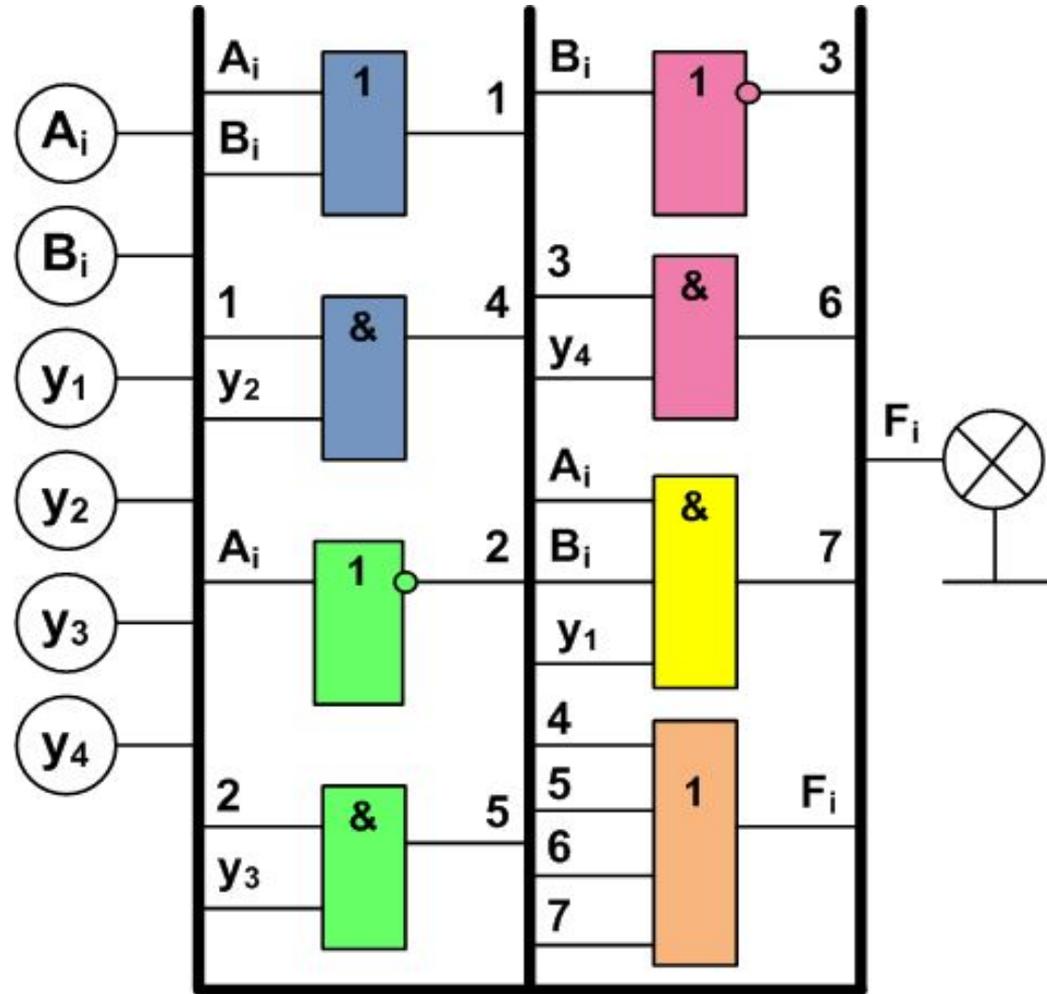
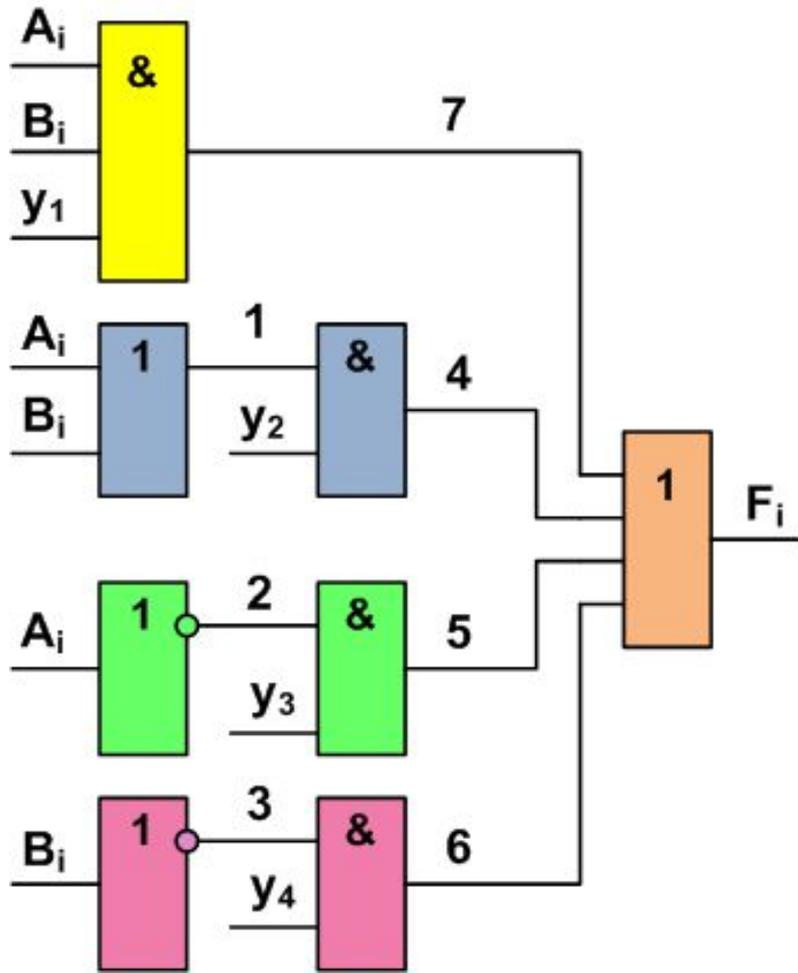




Жгут из проводов

Шлейф из проводов





*Условное обозначение жгута (шлейфа).
 Каждому проводу присвоено
 символическое или цифровое
 обозначение*

Тестирование схемы

Тест – набор входных данных и соответствующий ему набор выходных данных.

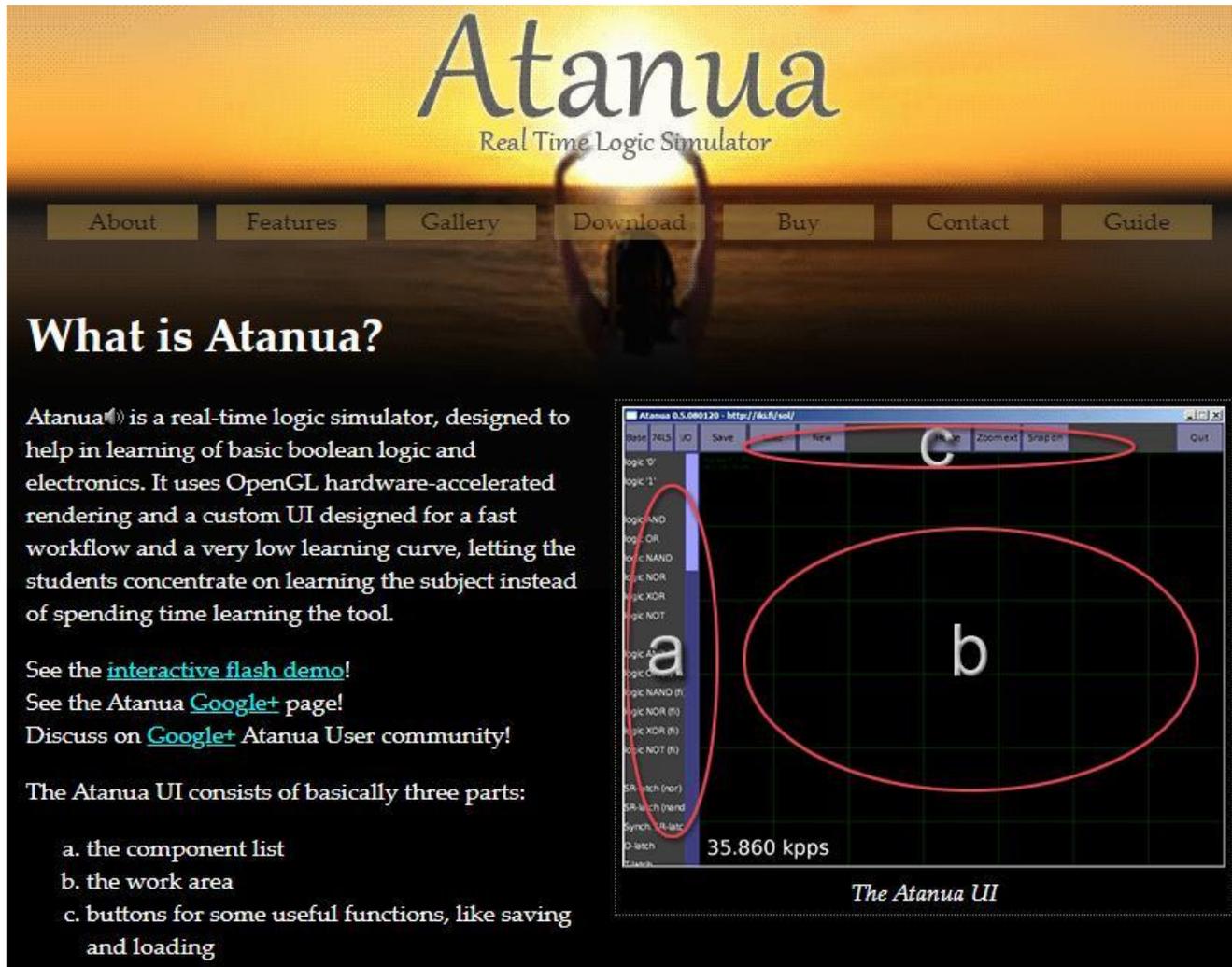
Совокупность тестов для проверки правильности работы схемы должна быть полной (проверять все возможные ситуации), но не избыточной.

Для проверки приведенной выше схемы нужно выполнить 16 тестов.

Y_1	Y_2	Y_3	Y_4	A_i	B_i	F_i
1	0	0	0	0	0	0
1	0	0	0	0	1	0
1	0	0	0	1	0	0
1	0	0	0	1	1	1
0	1	0	0	0	0	0
0	1	0	0	0	1	1
0	1	0	0	1	0	1
0	1	0	0	1	1	1
0	0	1	0	0	0	1
0	0	1	0	0	1	1
0	0	1	0	1	0	0
0	0	1	0	1	1	0
0	0	0	1	0	0	1
0	0	0	1	0	1	0
0	0	0	1	1	0	1
0	0	0	1	1	1	0

Для тестирования электронных схем мы будем использовать простой, свободно распространяемый симулятор логики Atanua:

<https://sol.gfxile.net/atanua/index.html>



Atanua

Real Time Logic Simulator

About Features Gallery Download Buy Contact Guide

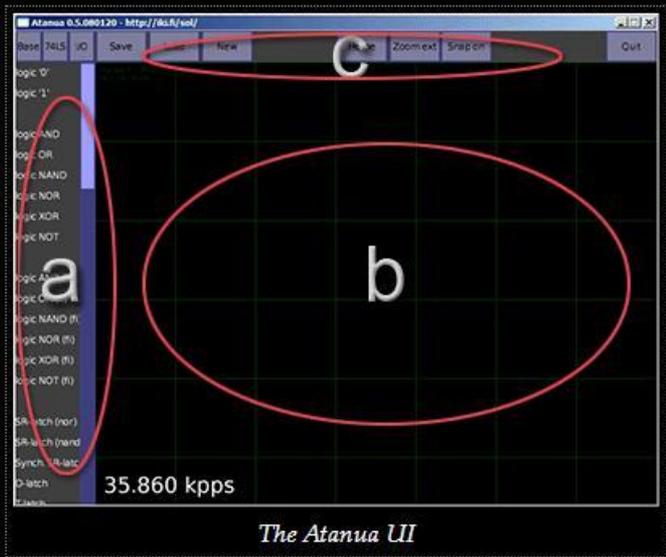
What is Atanua?

Atanua is a real-time logic simulator, designed to help in learning of basic boolean logic and electronics. It uses OpenGL hardware-accelerated rendering and a custom UI designed for a fast workflow and a very low learning curve, letting the students concentrate on learning the subject instead of spending time learning the tool.

See the [interactive flash demo!](#)
See the Atanua [Google+](#) page!
Discuss on [Google+](#) Atanua User community!

The Atanua UI consists of basically three parts:

- the component list
- the work area
- buttons for some useful functions, like saving and loading



Atanua 0.5.000120 - http://sol.gfxile.net/

File IO Save New Zoom ext Snap on Quit

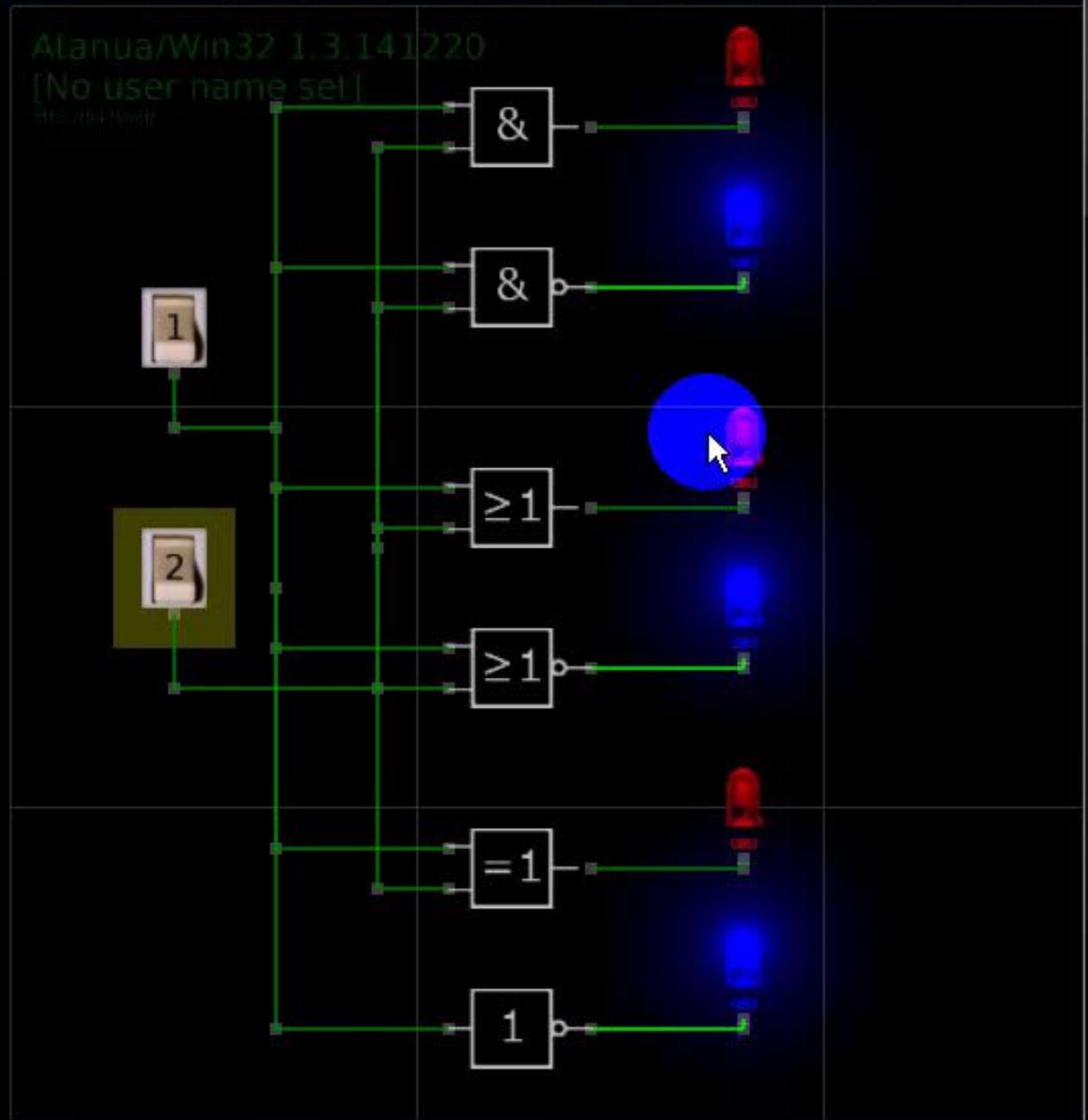
logic 0
logic 1
logic AND
logic OR
logic NAND
logic NOR
logic XOR
logic NOT
logic NAND (n)
logic NOR (n)
logic XOR (n)
logic NOT (n)
SR-latch (nor)
SR-latch (and)
Synch SR-latch
D-latch
latch

35.860 kpps

The Atanua UI

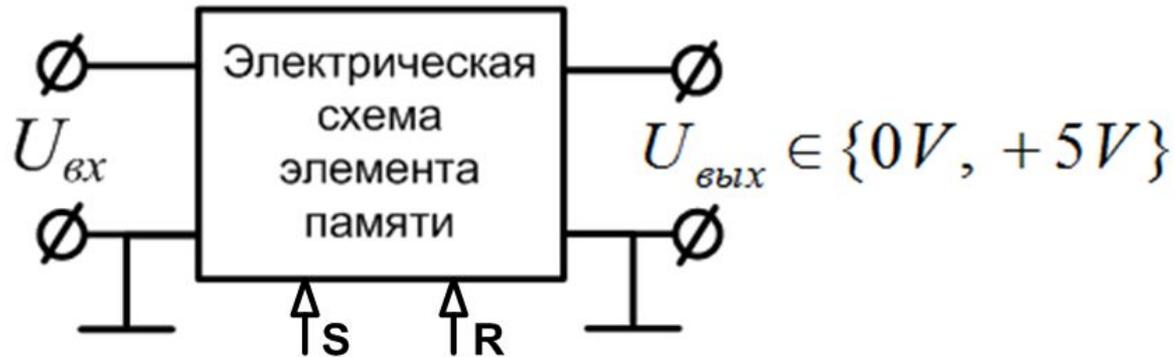
- Base Chips
- In
- Out
- Misc
- New Ctrl-N
- Load Ctrl-L
- Merge Ctrl-M
- Box Ctrl-B
- Save Ctrl-S
- Undo Ctrl-Z
- Redo Ctrl-Y
- Home
- Zoom ext
- Snap (on)
- View (li)

- LED (red)
- LED (green)
- LED (blue)
- LED (br.blue)
- LED (cyan)
- LED (magenta)
- LED (yellow)
- LED (white)
- 7-seg (red)
- 7-seg (green)
- 7-seg (blue)
- 7-seg (br.blue)
- 7-seg (cyan)
- 7-seg (magenta)
- 7-seg (yellow)
- 7-seg (white)
- 16-seg (red)
- 16-seg (green)
- 16-seg (blue)
- 16-seg (br.blue)



Запоминающие элементы

Обозначения схем, хранящих 1 бит информации



Если на выходе схемы 0, будем использовать следующее обозначение:

0

Если на выходе схемы 1, будем использовать следующее обозначение:

1

Обозначения схем, хранящих 1 байт = 8бит информации

0 1 1 0 1 1 0 1

или просто

01101101

Представление данных

Зн 2^6 2^5 2^4 2^3 2^2 2^1 2^0

0	1	1	0	1	1	0	1
---	---	---	---	---	---	---	---

$$= 1 \cdot 2^0 + 0 \cdot 2^1 + 1 \cdot 2^2 + 1 \cdot 2^3 + 0 \cdot 2^4 + 1 \cdot 2^5 + 1 \cdot 2^6 =$$
$$= 1 + 4 + 8 + 32 + 64 = +109$$

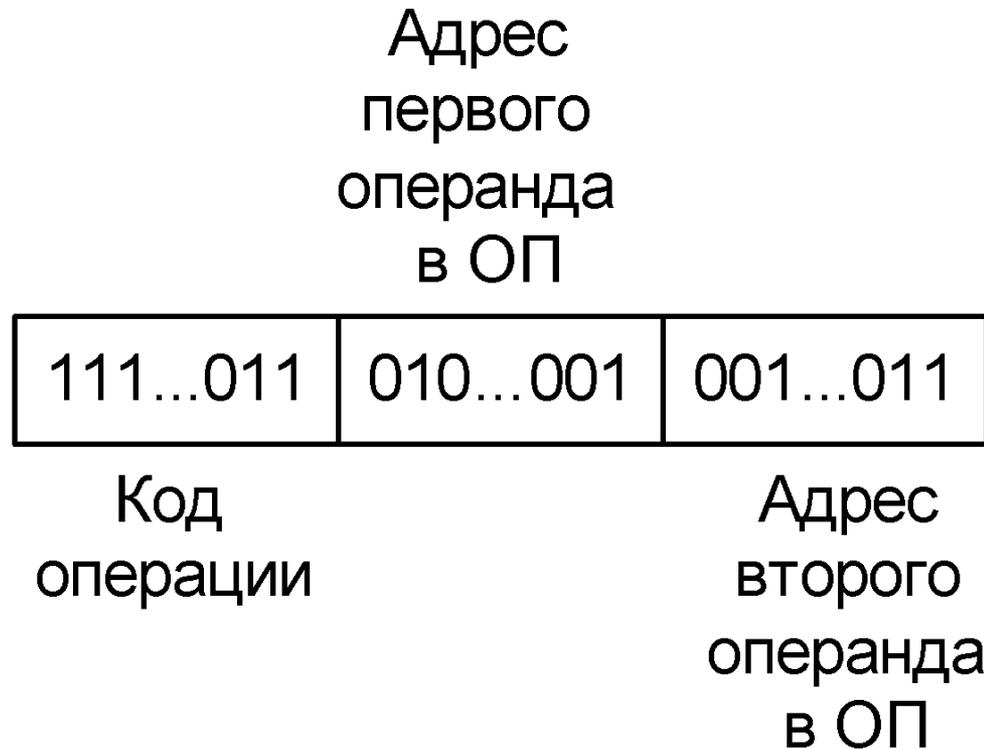
0 – число положительное,
1 – число отрицательное

Числа представляются в ЭВМ в двоичной системе счисления

Представление команд

Команда – это приказ компьютеру на выполнение какой-либо операции, например, операции сложения двух чисел (операндов), которые хранятся в оперативной памяти.

Можно представить команду в следующем формате:



Результат, как правило, помещается в память на место первого операнда

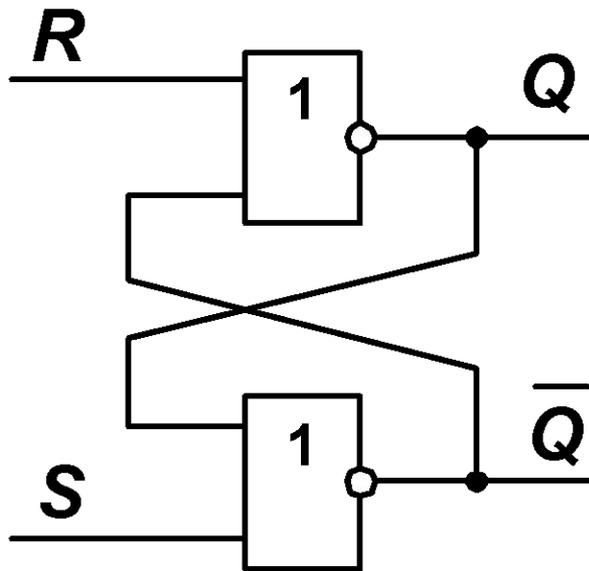
Терминология:

Электрические схемы, хранящие 1 бит информации называют триггерами.

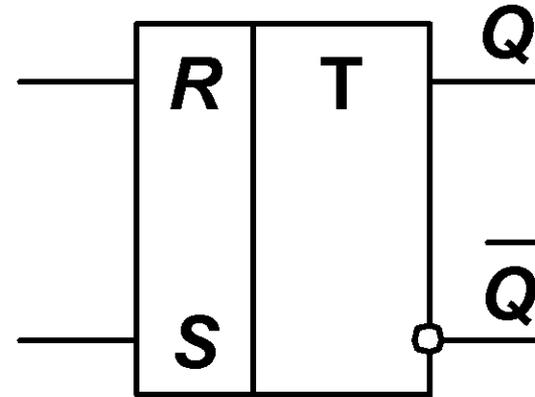
Электрические схемы, хранящие n бит информации ($n > 1$) называют n -разрядными регистрами. Регистр можно построить на n триггерах (триггер – типовой разряд регистра). Есть регистры в интегральном исполнении (в виде микросхемы).

Электрические схемы, хранящие n бит информации ($n > 1$) и умеющие при помощи специальных электрических цепей прибавлять к своему содержимому константу, называют n -разрядными счетчиками.

Асинхронный RS-триггер с отдельными входами



а)



б)

а) – реализация в базисе ИЛИ-НЕ;

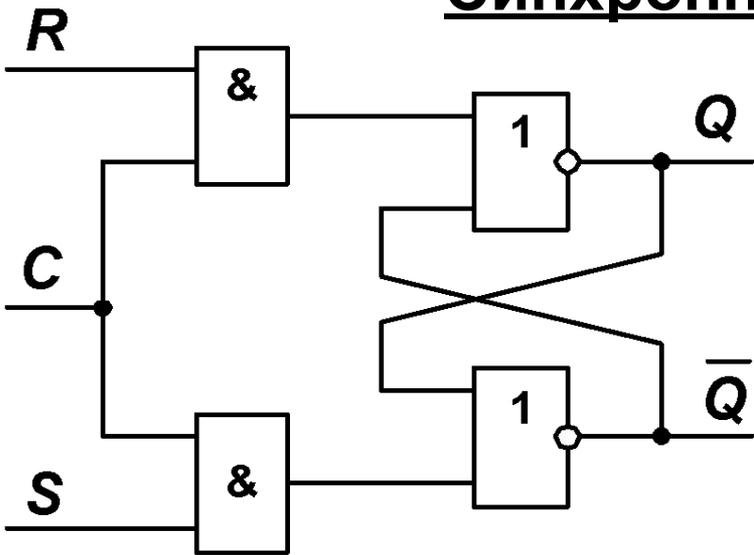
б) – условно-графическое обозначение

Комбинация 11 на RS-входах считается запрещенной. Проанализируйте, почему.

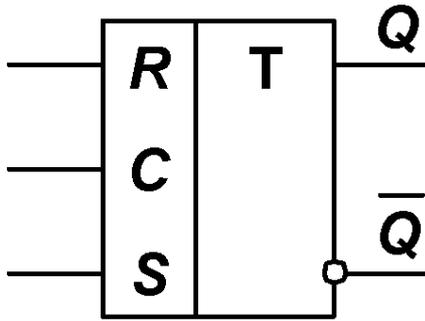
Таблица истинности триггера

R	S	Q
0	0	Сохраняется предыдущее состояние
0	1	1
1	0	0
1	1	Не определено

Синхронный RS-триггер

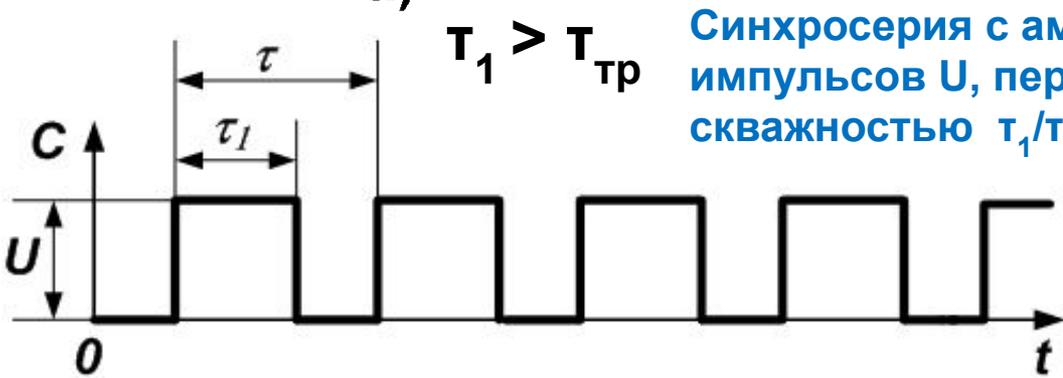


а)



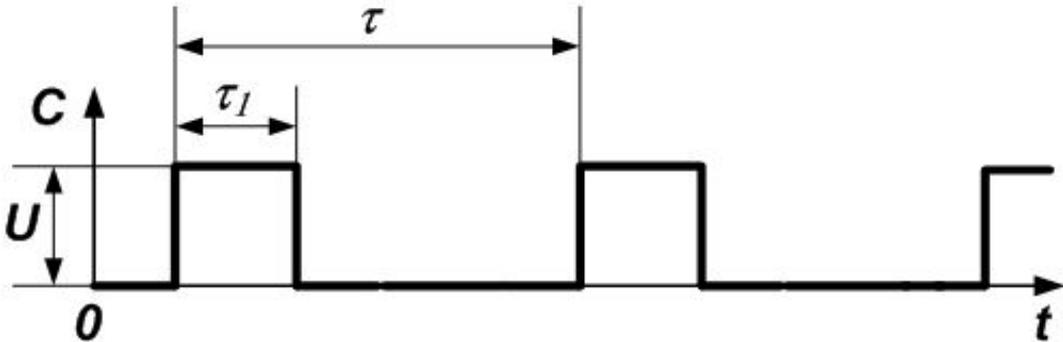
б)

R	S	C	Q^{t+1}
0	0	0	Q^t
0	0	1	Q^t
0	1	0	Q^t
0	1	1	1
1	0	0	Q^t
1	0	1	0
1	1	X	—



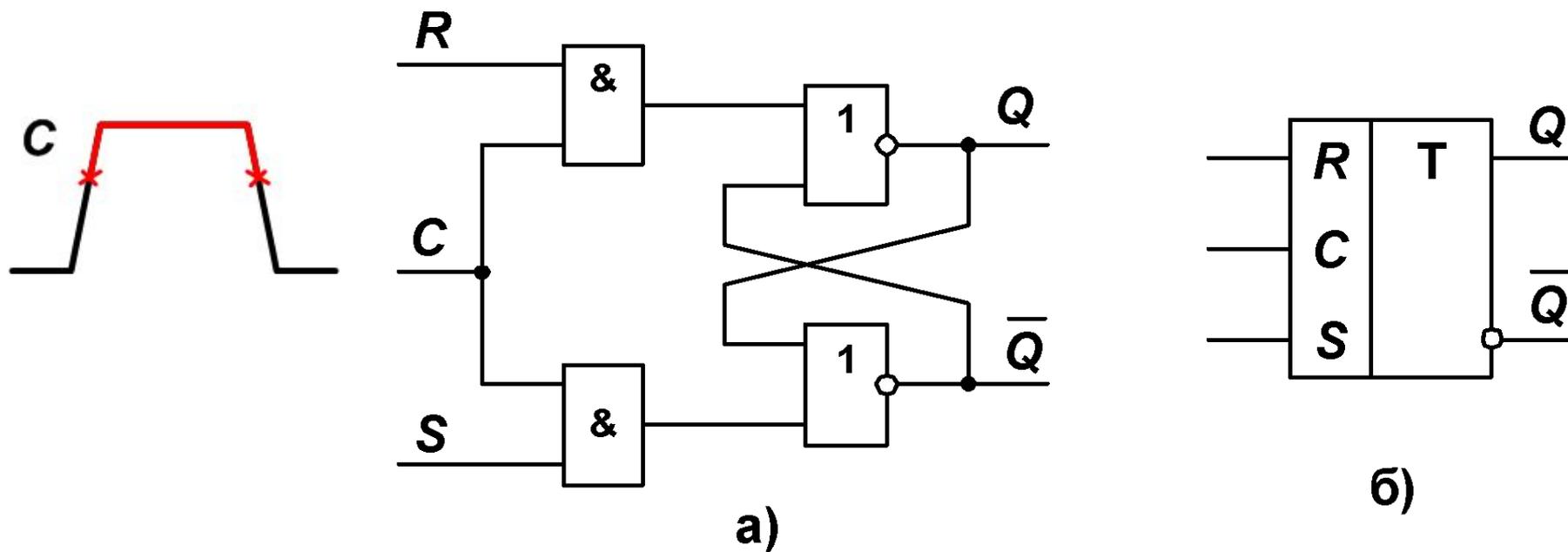
Синхросерия с амплитудой импульсов U , периодом τ и скважностью τ_1/τ

1 такт работы устройства равен периоду синхросерии T

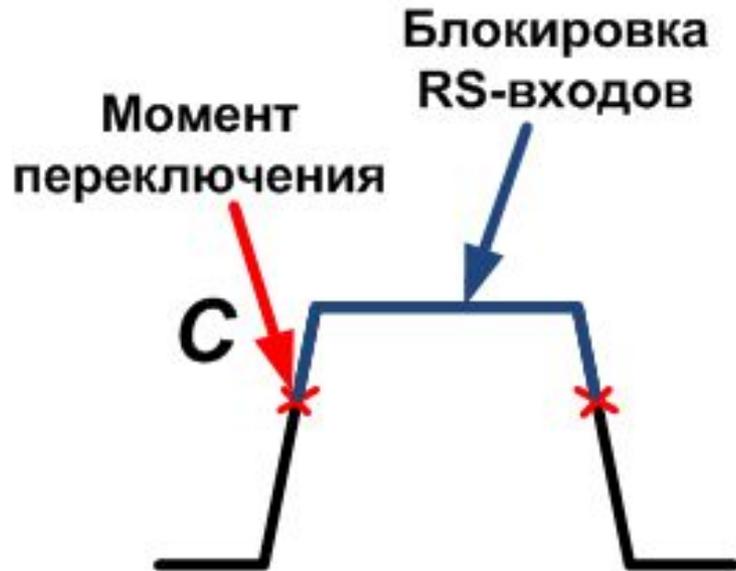


При подаче на вход C нижней синхросерии, триггер будет срабатывать реже (можно управлять частотой срабатывания триггера).

Рассмотренный триггер является триггером с так называемым потенциальным С-входом. Особенностью (недостатком) этого триггера является то, что входы RS являются активными все время, пока на входе С наблюдается уровень логической единицы (выделено красным). Другими словами, если во время единичной части синхроимпульса информация на RS-входах изменится несколько раз, то и на выходах триггера она может измениться несколько раз (запишется результат последнего изменения на входах).

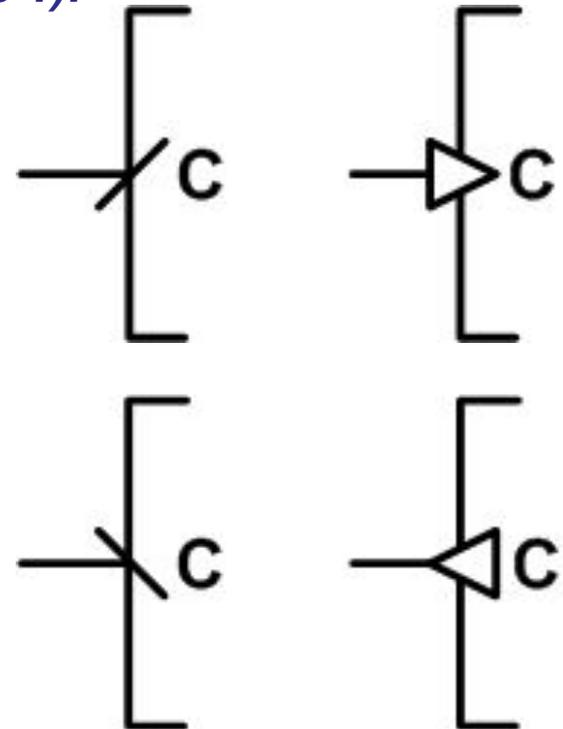


Этого недостатка лишены триггеры с импульсным С-входом. Они срабатывают однократно по фронту сигнала (перепаду из 0 в 1 или из 1 в 0). Эти триггеры снабжены электронной схемой, которая после переключения триггера блокирует изменение сигнала на информационных (RS) входах на все время, пока $C=1$.

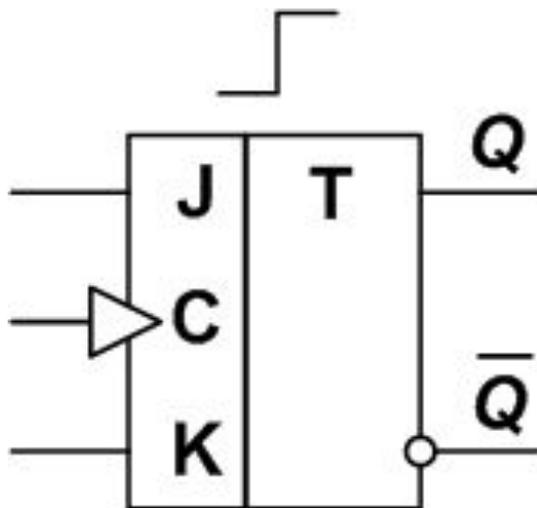


Обозначение С-входа для триггера переключающегося по ниспадающему фронту синхроимпульса (перепаду из 1 в 0).

Обозначение С-входа для триггера переключающегося по нарастающему фронту синхроимпульса (перепаду из 0 в 1).



Одноступенчатый JK-триггер



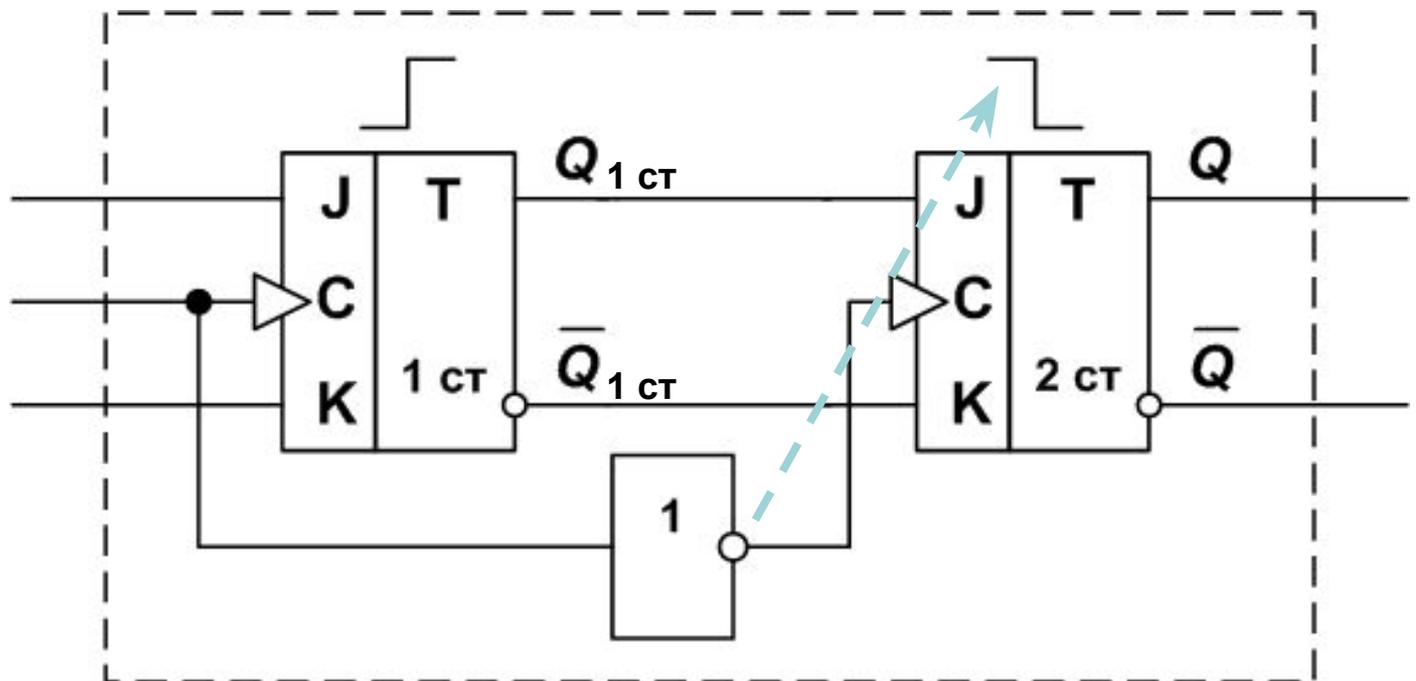
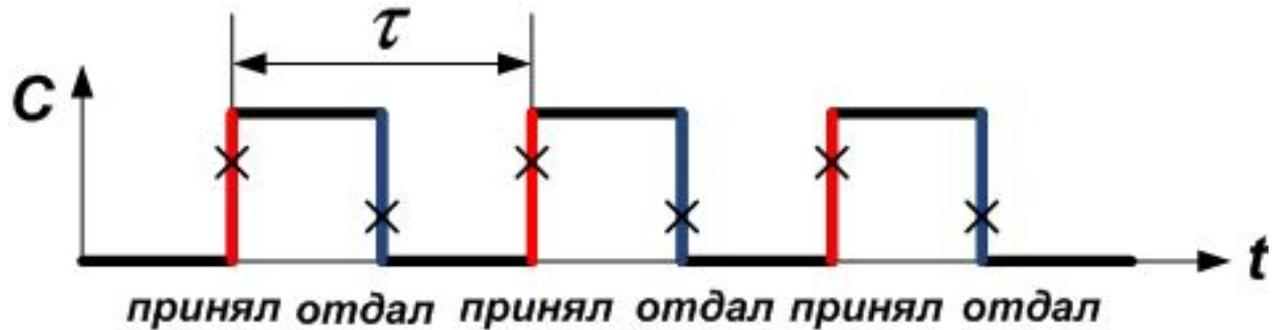
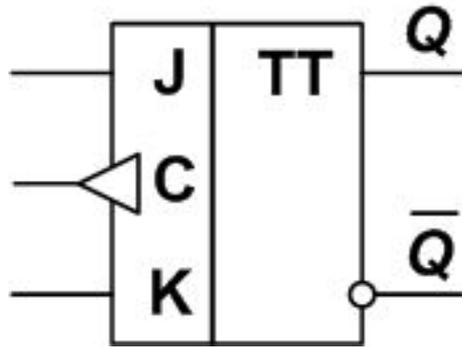
Вход J аналогичен входу S,
вход K аналогичен входу R.

Отличие: входная комбинация 11
разрешена и переключает триггер в
противоположное состояние.

Set - **Reset**
Jump - **Kill**

K	J	C	Q^{t+1}
0	0	0	Q^t
0	0	1	Q^t
0	1	0	Q^t
0	1	1	1
1	0	0	Q^t
1	0	1	0
1	1	0	Q^t
1	1	1	$\overline{Q^t}$

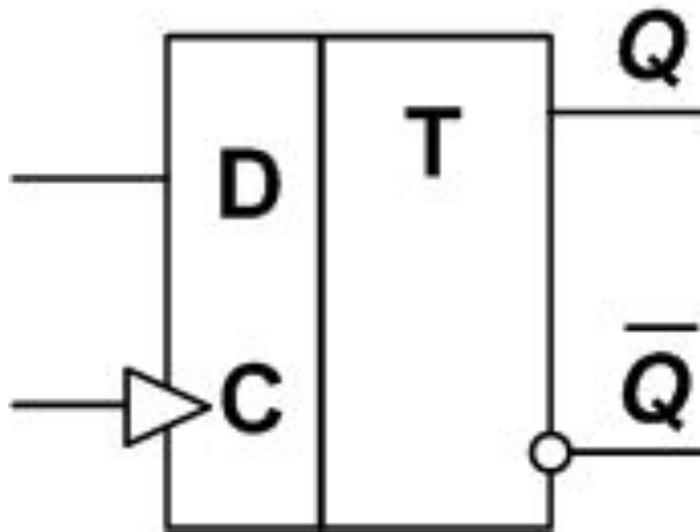
Двухступенчатый JK-триггер



Моменты чтения информации с триггера и записи информации на триггер разделены (на величину единичной части синхроимпульса). В одном и том же такте триггер может быть и источником и приемником информации, т. е. можно, например, за время одного такта без риска выполнить операцию $Q = f(Q)$.

D-триггер (триггер-защелка или триггер задержки)

Delay

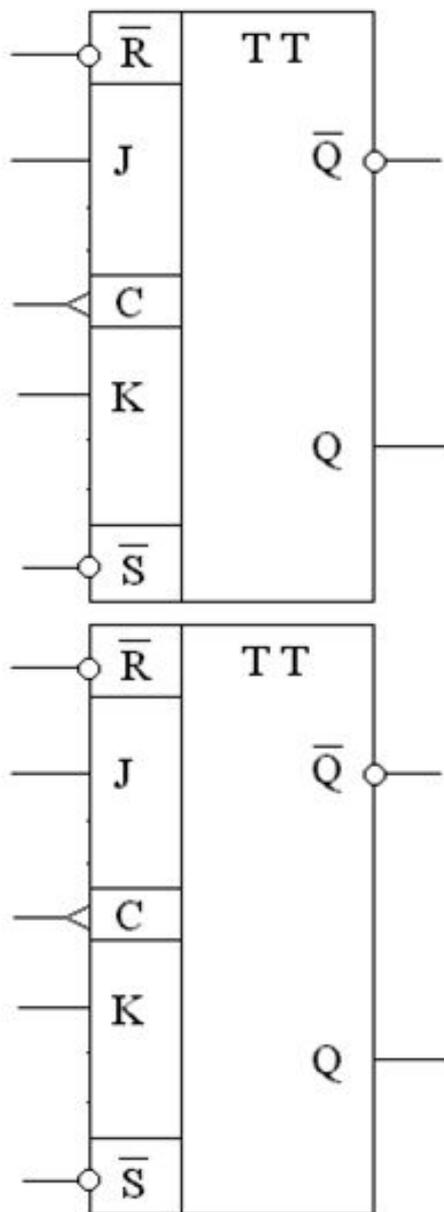


В момент прихода синхроимпульса сигнал со входа D записывается на выход триггера.

D	C	Q^{t+1}
0	0	Q^t
0	1	0
1	0	Q^t
1	1	1

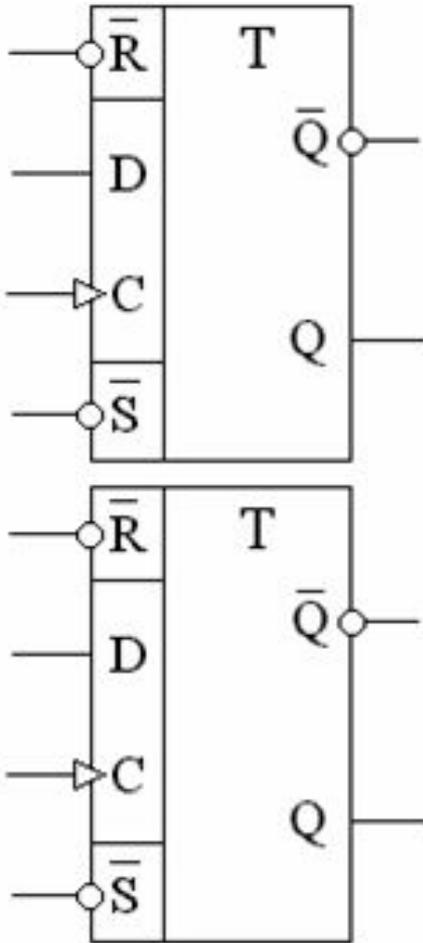
Микросхемы серии 74НС**

**74НС112 – два двухступенчатых JK-триггера с
установочными RS- входами
(аналог – К155ТВ9)**



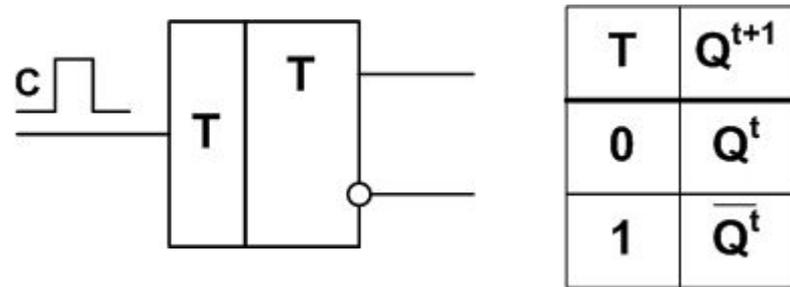
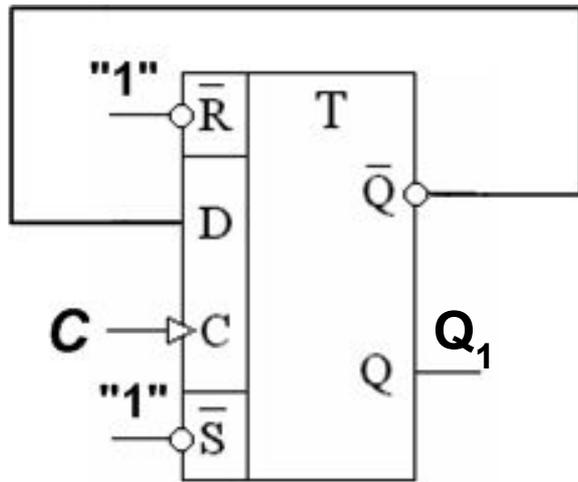
$C(t)$	$J(t)$	$K(t)$	$\bar{R}(t)$	$\bar{S}(t)$	$Q(t+1)$
X	X	X	0	0	Не определено
X	X	X	0	1	0
X	X	X	1	0	1
0	X	X	1	1	$Q(t)$
1	0	0	1	1	$Q(t)$
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	1	1	$\bar{Q}(t)$

**74HC74 – два D-триггера с установочными RS- входами
(аналог – К155ТМ2)**



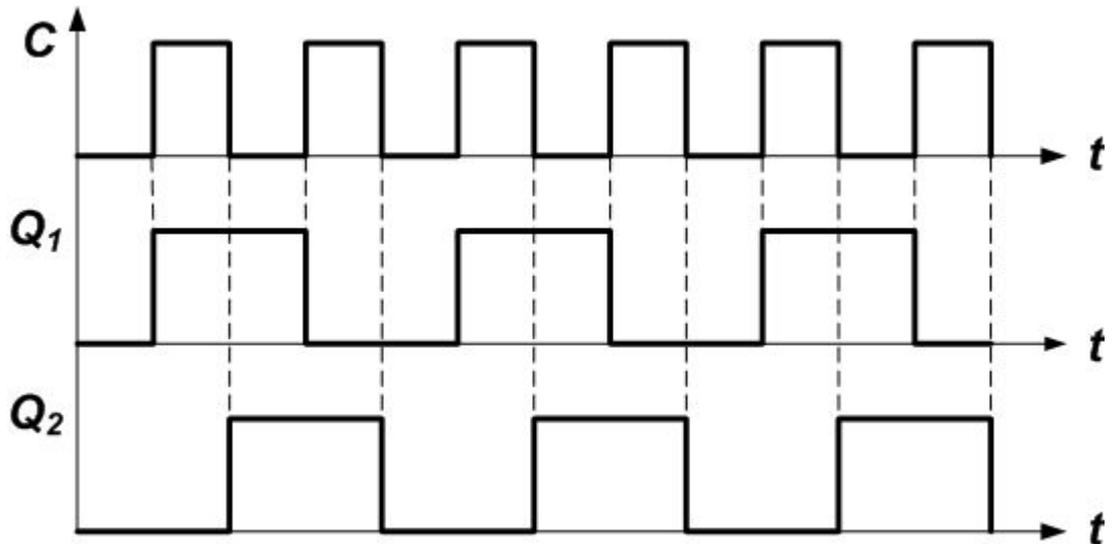
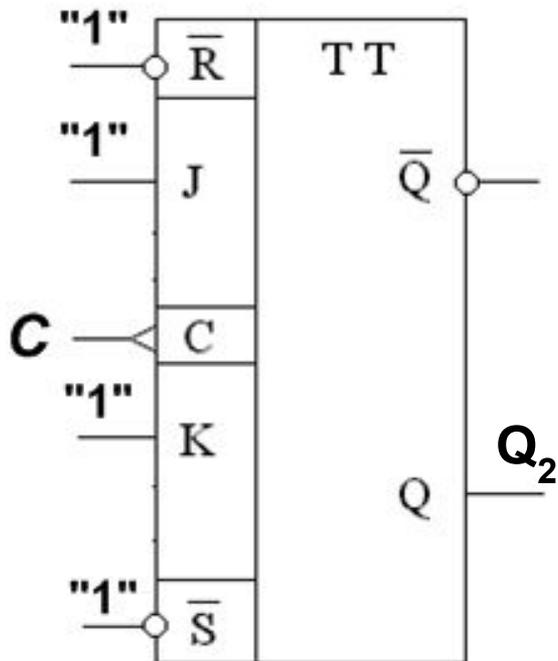
$C(t)$	$D(t)$	$\bar{R}(t)$	$\bar{S}(t)$	$Q(t+1)$
X	X	0	0	Не определено
X	X	0	1	0
X	X	1	0	1
0	X	1	1	$Q(t)$
1	0	1	1	0
1	1	1	1	1

Реализация Т-триггера на D-триггере и JK-триггере

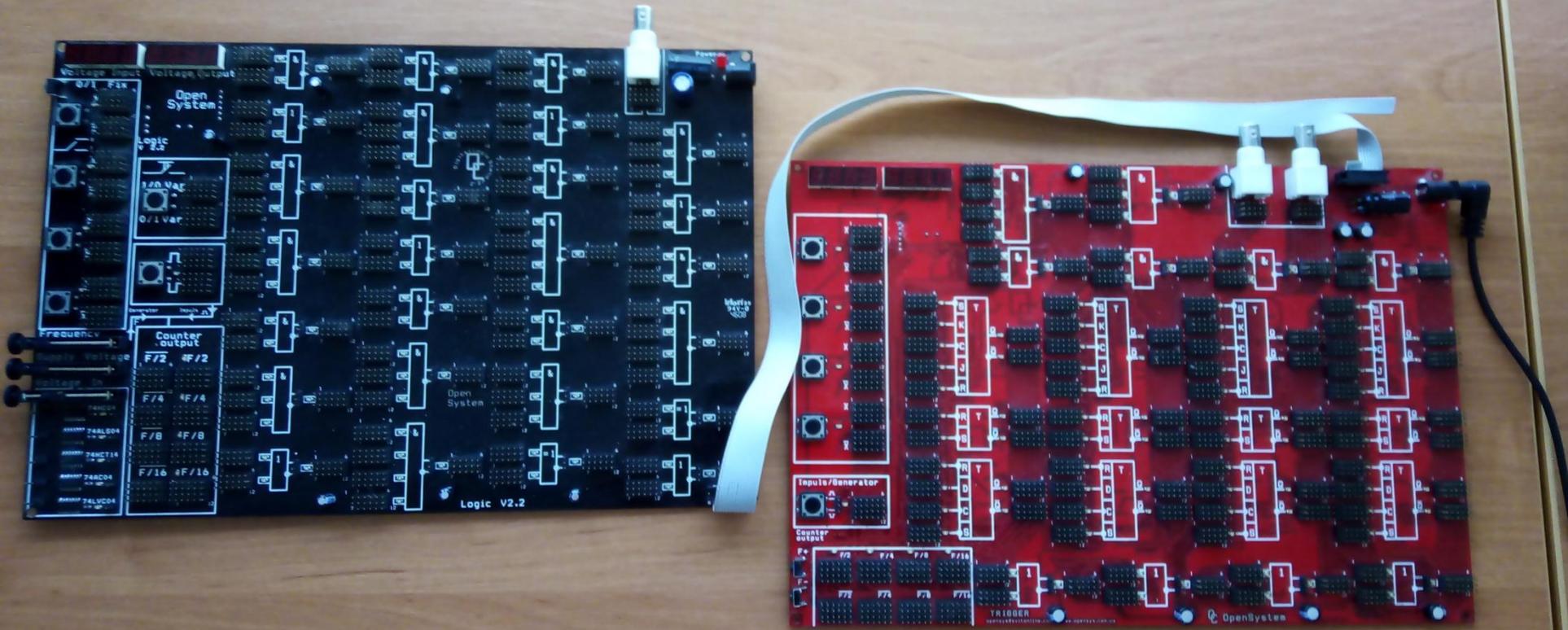


T	Q^{t+1}
0	Q^t
1	$\overline{Q^t}$

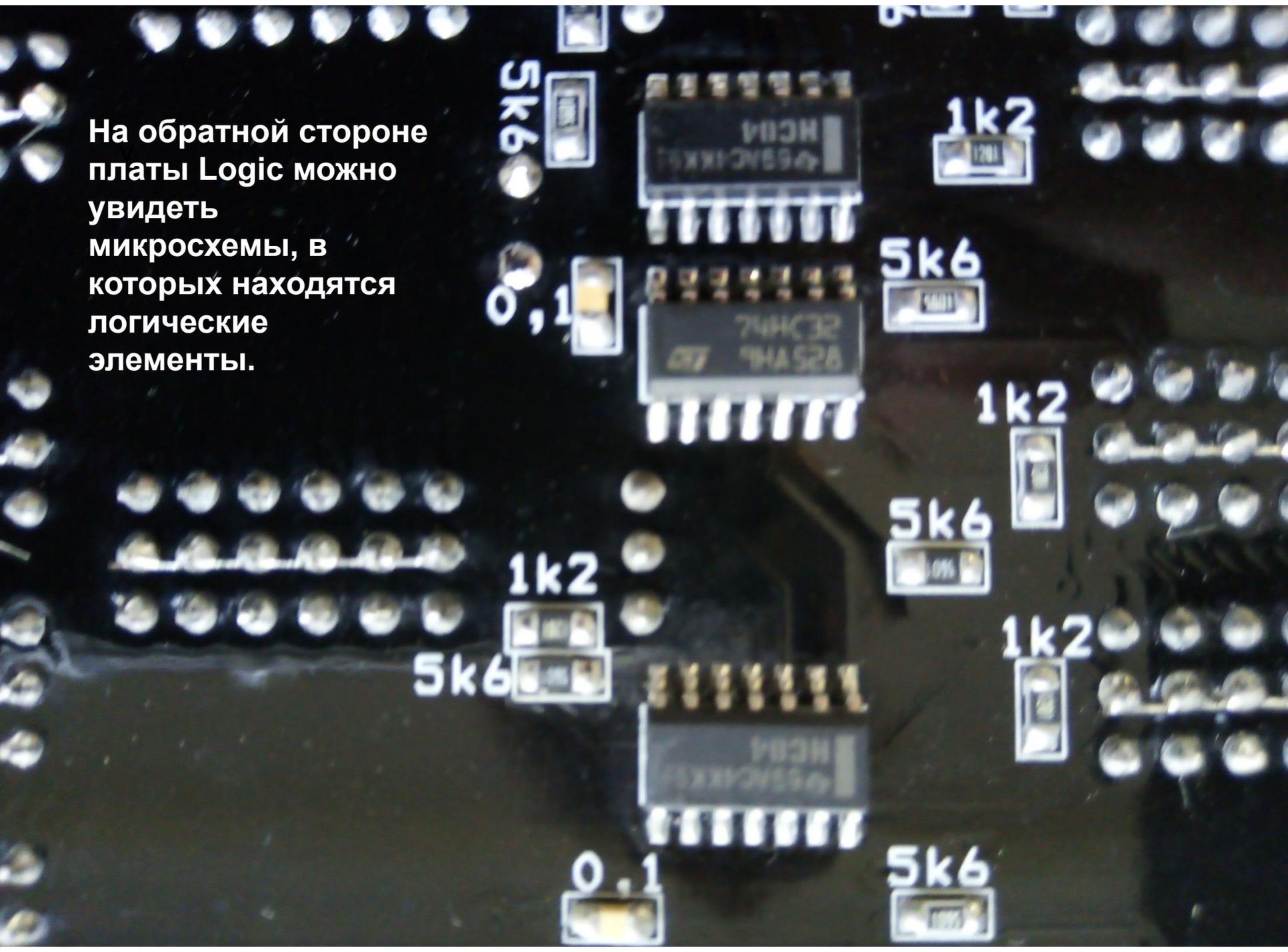
T – тактовый (счетный) вход

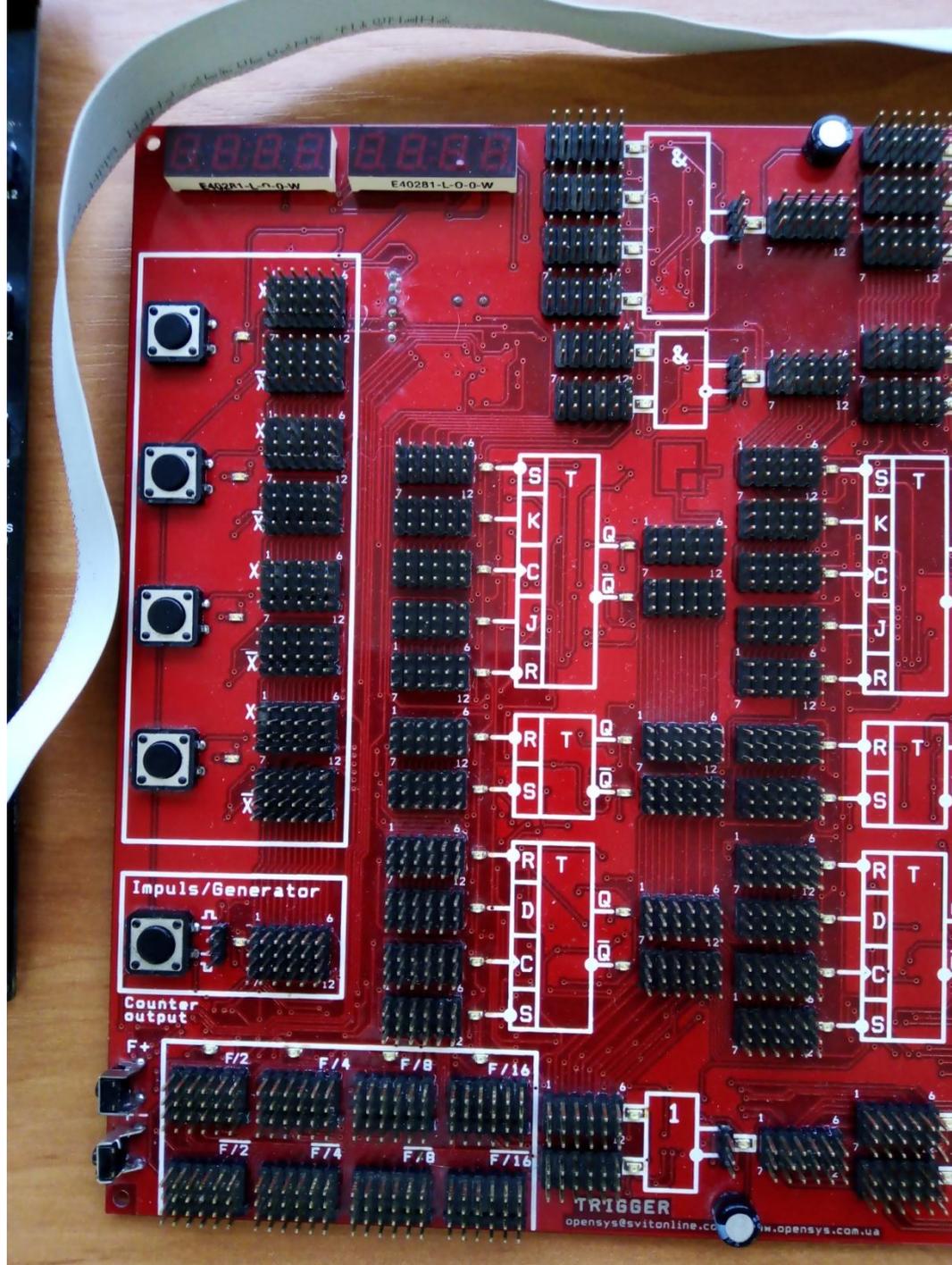


Для получения навыков проектирования, сборки и
наладки схем будем использовать макет Logic-Trigger.



На обратной стороне
платы Logic можно
увидеть
микросхемы, в
которых находятся
логические
элементы.





На лицевой стороне платы Trigger видим условно-графические изображения запоминающих элементов (триггеров), с которыми мы познакомились на этой лекции.

Присутствуют также и логические элементы.

