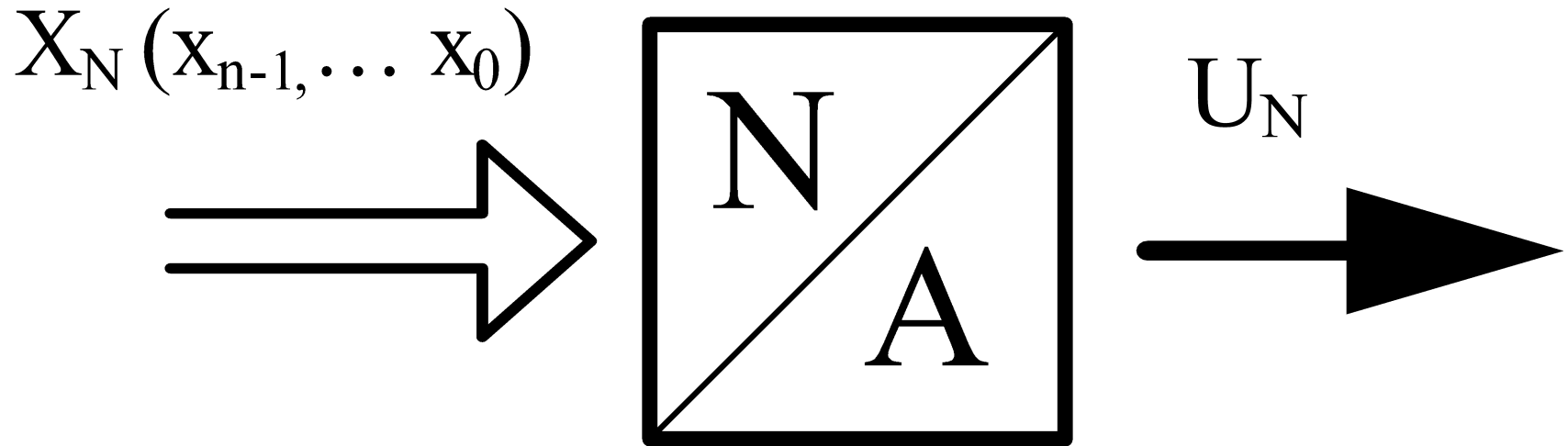


Цифроаналоговые преобразователи

- **Задание для всех бригад:**
- Ознакомится с типами ЦАП, приведенными в презентации;
- Статические параметры для исследуемого ЦАП;
- Динамические параметры для исследуемого ЦАП;
- Исследовать принцип работы каждого типа ЦАП;
- **ЗАДАНИЯ ПО БРИГАДАМ** типов ЦАП, приведенными в презентации на соответствующих слайдах:
 - Бригада 1 слайд 6;
 - Бригада 2 слайд 7;
 - Бригада 3 слайд 8;
 - Бригада 4 слайд 9;
 - Бригада 5 слайд 10.
- В отчете привести расчеты параметров, элементов схем соответствующих ЦАП, привести графики изменения напряжения при изменении кодов на входе ЦАП;
- Сравнить по эффективности и затратам элементов схем.

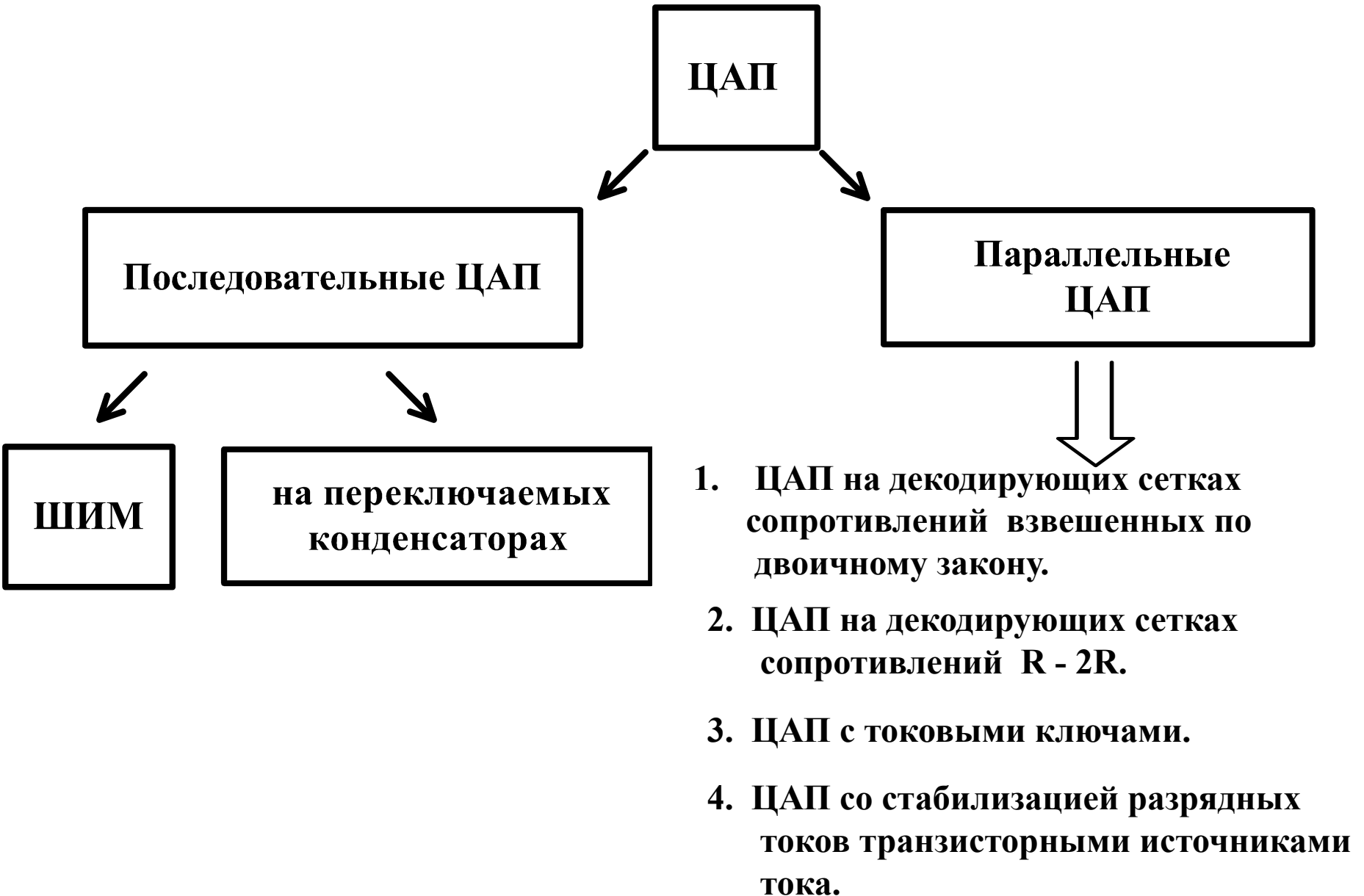
Цифроаналоговые преобразователи

Условное графическое обозначение:

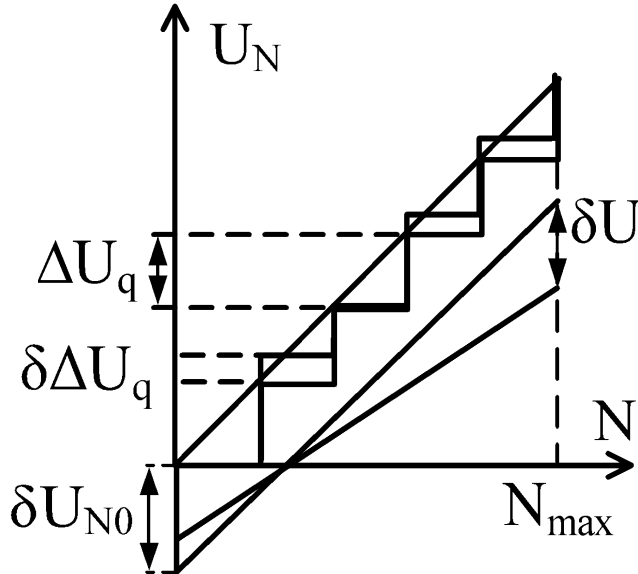


n -разрядность ЦАП

Классификация ЦАП.



Статические параметры ЦАП



1. Разрешающая способность.

Шаг квантования ΔU_q или приращение выходного напряжения U_N при увеличении входного кода на единицу младшего разряда (МЗР). Среднее значение шага квантования:

$$\Delta \bar{U}_q = \frac{(U_N)_{max}}{N_{max}} = \frac{(U_N)_{max}}{2^n - 1} \quad n \text{ -разрядность ЦАП}$$

2. Погрешность смещения нуля.

Значения напряжения δU_{N0} на выходе ЦАП при нулевом значении входного кода. Погрешность аддитивная. Измеряется в % от ПШ или в долях МЗР.

3. Погрешность полной шкалы (интегральная нелинейность).

Разность между реальным и идеальным пределами шкалы при отсутствии смещения нуля, измеряется в % от ПШ или долях МЗР :

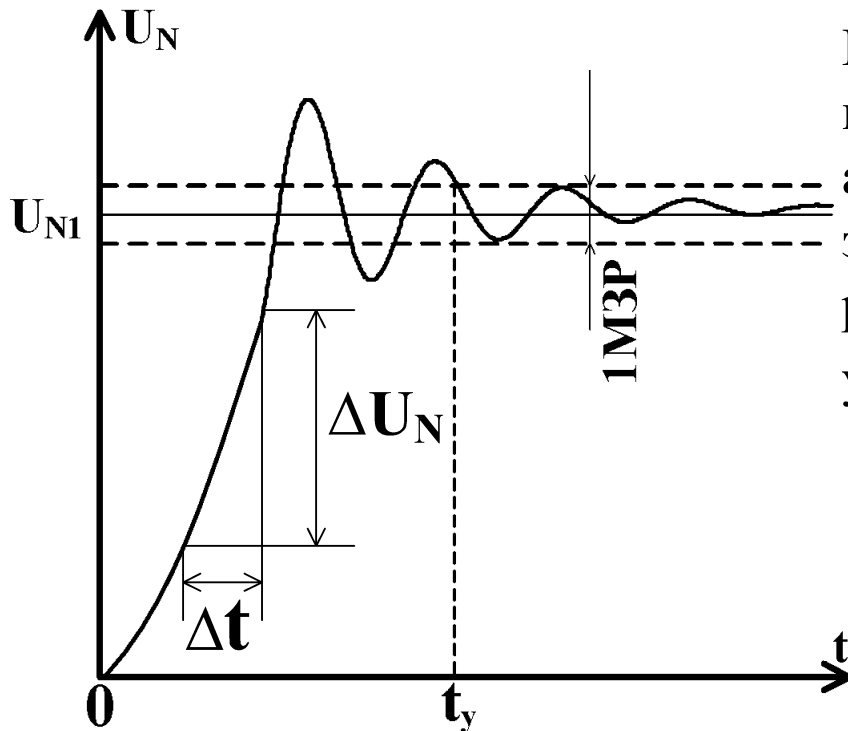
$$\delta U = N \cdot \Delta \bar{U}_q - \sum_1^N \Delta U_{qi}$$

4. Дифференциальная нелинейность.

Максимальное отклонение реального шага квантования от номинального, Измеряется в % от ПШ или в долях МЗР.

$$\delta \Delta U_q = (\Delta \bar{U}_q - \Delta U_{qi})_{max}$$

Динамические параметры ЦАП



1. Время установления t_y .

Интервал времени от момента изменения входного кода до момента, когда выходной аналоговый сигнал окончательно войдет в зону заданной ширины, симметрично расположенную относительно установившегося значения U_{N1} .

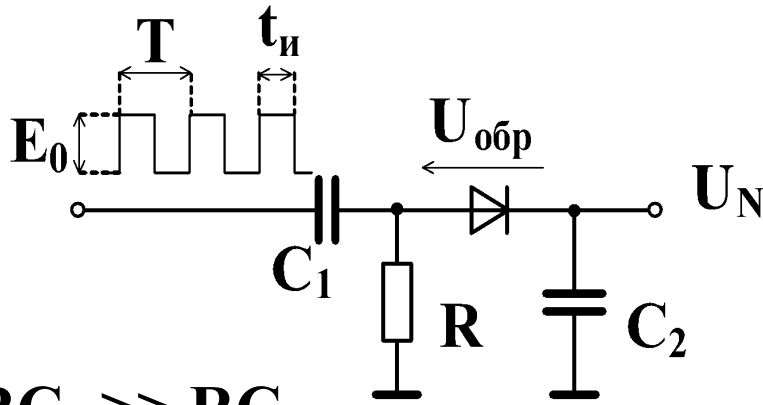
2. Частота обновления f_{max} .

Максимальная частота, с которой может происходить смена содержимого входных регистров ЦАП. $f_{max} \leq 1/[(2...3)t_{ymax}]$

3. Скорость нарастания.

Максимальная скорость изменения $U_N(t)$ во время переходного процесса. Определяется как отношение ΔU_N ко времени Δt , за которое произошло это приращение.

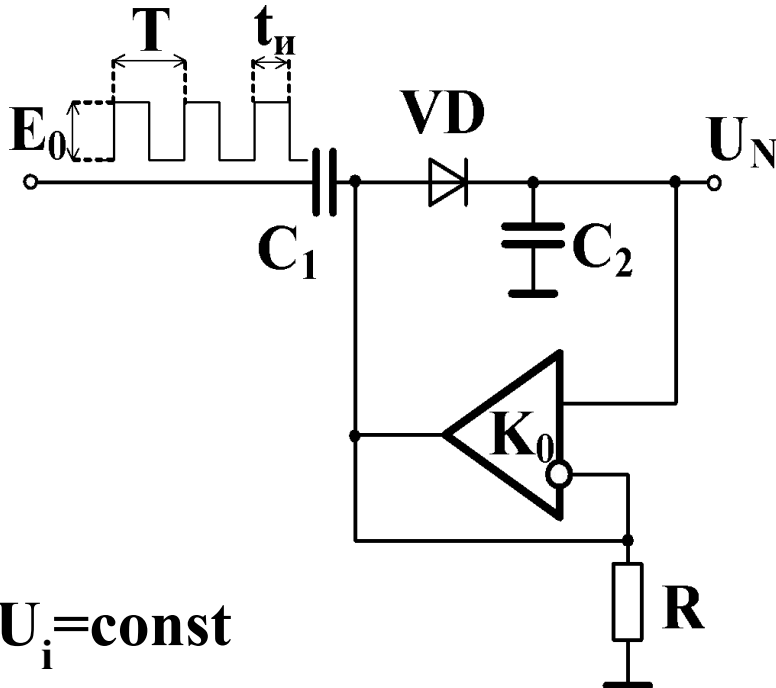
ЦАП последовательного типа унитарного кода



$$RC_1 \gg RC_2$$

$$C_1 \gg C_2$$

$$(T - t_n) \gg RC_1$$



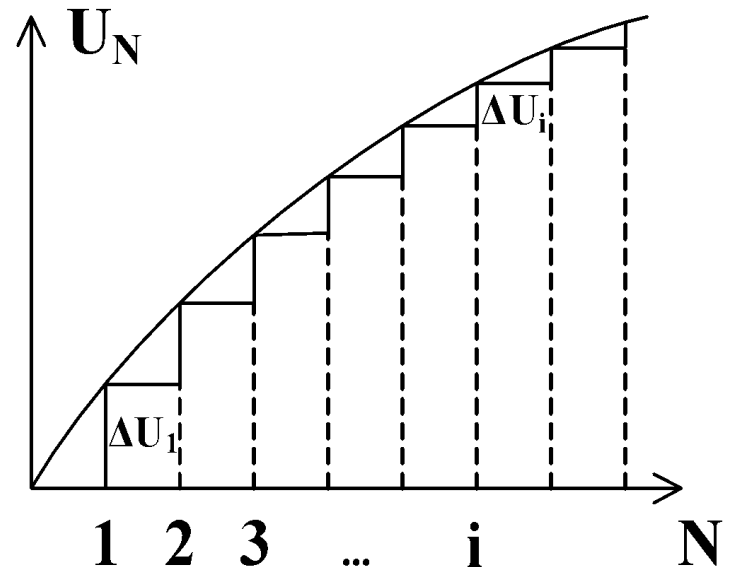
$$\Delta U_i = \text{const}$$

$$\Delta U_1 = E_0 \frac{C_1}{C_1 + C_2}$$

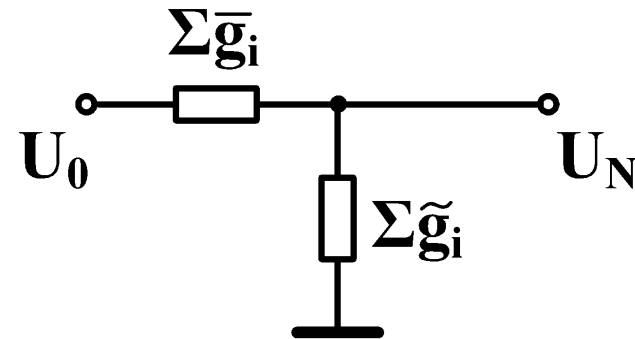
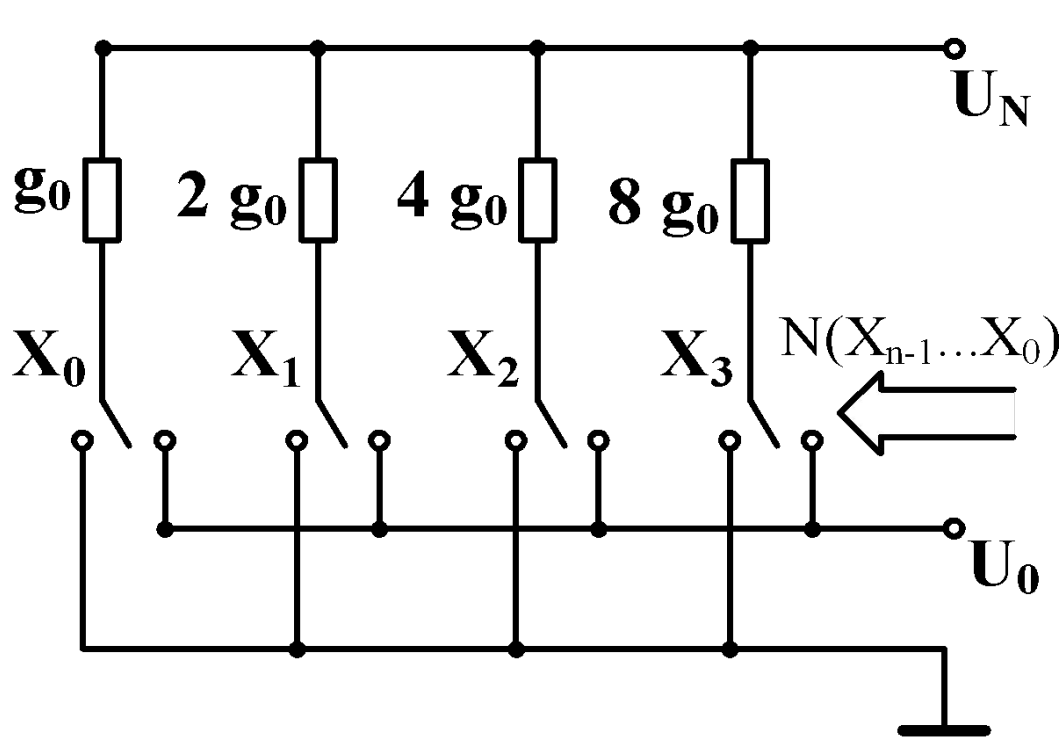
$$\Delta U_2 = (E_0 - \Delta U_1) \frac{C_1}{C_1 + C_2}$$

$$\Delta U_N = \left(E_0 - \sum_1^{N-1} \Delta U_i \right) \frac{C_1}{C_1 + C_2}$$

$$U_N = \sum_1^N \Delta U_i$$



ЦАП с декодирующей взвешенной сеткой сопротивлений и выходом по напряжению

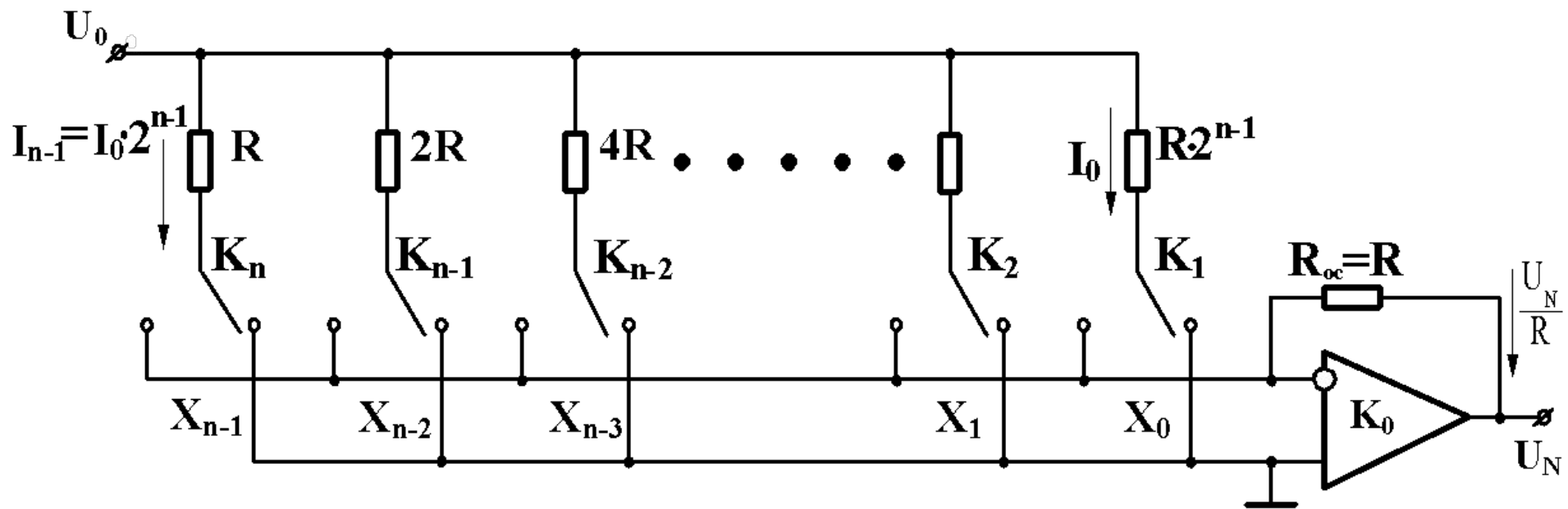


$$\eta = \frac{(U_N)_{\max}}{U_0} = 1$$

$$U_N = \Delta U_q \cdot N$$

$$U_N = U_0 \frac{1}{\frac{1}{\sum \tilde{g}_i} + \frac{1}{\sum \bar{g}_i}} = U_0 \frac{\sum \bar{g}_i}{\sum \tilde{g}_i + \sum \bar{g}_i} = U_0 \frac{\sum \bar{g}_i}{\sum g_i} = U_0 \frac{\sum_{i=0}^{n-1} g_0 2^i x_i}{g_0 (2^n - 1)} = \frac{U_0}{(2^n - 1)} \sum_{i=0}^{n-1} 2^i x_i = \Delta U_q \cdot N$$

ЦАП с весовой декодирующей резистивной сеткой и токовыми ключами.



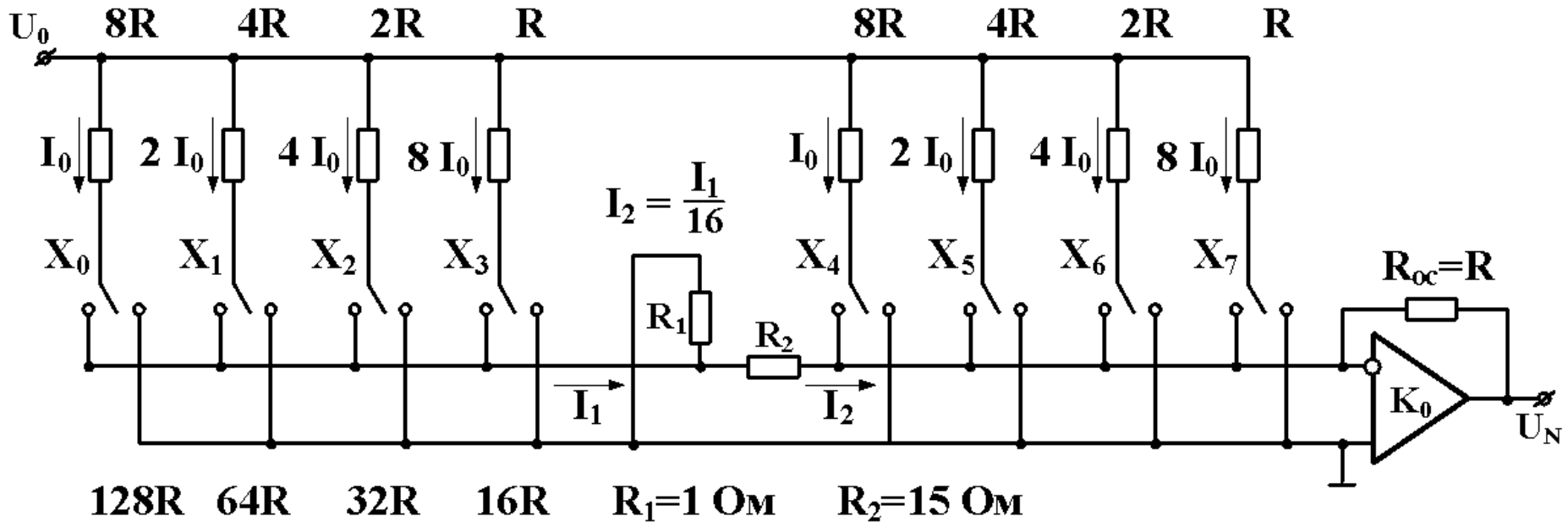
$$\frac{U_N}{R} = \frac{U_0}{2^0 \cdot R} X_{n-1} + \frac{U_0}{2^1 \cdot R} X_{n-2} + \dots + \frac{U_0}{2^i \cdot R} X_i + \dots + \frac{U_0}{2^{n-1} \cdot R} X_0$$

$$U_N = \frac{U_0}{2^{n-1}} (2^{n-1} X_{n-1} + 2^{n-2} X_{n-2} + \dots + 2^1 X_1 + 2^0 X_0) = \frac{U_0}{2^{n-1}} \sum_{i=0}^{n-1} 2^i X_i = \Delta U_q \cdot N$$

$$\eta = \frac{(U_N)_{\max}}{U_0} = \frac{U_0 (2^n - 1)}{2^{n-1} \cdot U_0} \approx 2 \quad \Delta U_q = \frac{U_0}{2^{n-1}}$$

$$R_{\text{ВЫХ}}^* = \frac{R_{\text{ВЫХ}}}{(1 + \beta K_0)} \quad \beta \geq \frac{1}{2} \quad R_{\text{ВЫХ}}^* = (5 \div 10) \text{ Ом}$$

Параллельный ЦАП каскадного типа.



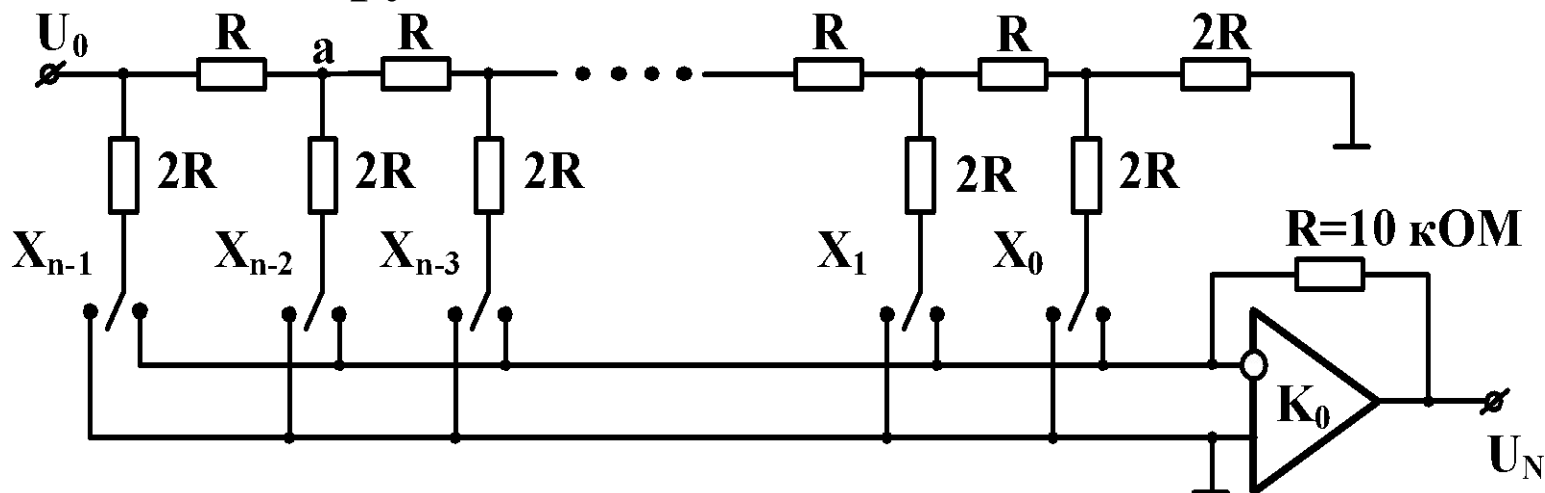
$$U_N = \frac{U_0}{2^{n-1}} \sum_{i=0}^{n-1} X_i \cdot 2^i$$

$$U_N = \frac{U_0}{2^7} \sum_{i=0}^7 X_i \cdot 2^i$$

$$\eta = \frac{(U_N)_{\max}}{U_0} = \frac{U_0}{U_0} \frac{2^n - 1}{2^{n-1}} \approx 2$$

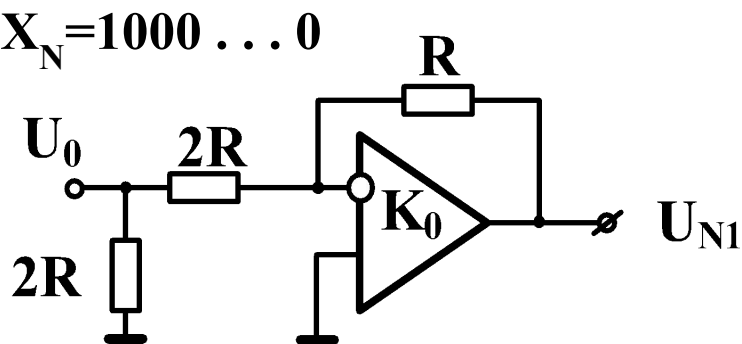
Делитель на сопротивлениях R_1 и R_2 уменьшает разрядные токи первого каскада в 16 раз.

ЦАП с декодирующей сеткой R-2R и токовыми ключами.



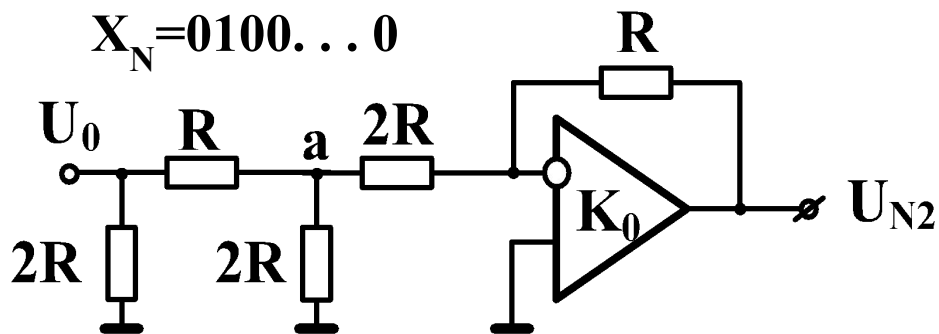
Функция преобразования: $U_N[X(x_{n-1}, x_{n-2}, \dots, x_0)]$

$X_N = 1000 \dots 0$



$$U_{N1} = \frac{U_0}{2} = \frac{U_0}{2^1}$$

$X_N = 0100 \dots 0$



$$U_{N2} = \frac{U_0}{2} \cdot \frac{1}{2} = \frac{U_0}{2^2}$$

$$U_N = \frac{U_0}{2^1} \cdot X_{n-1} + \frac{U_0}{2^2} \cdot X_{n-2} + \dots + \frac{U_0}{2^{n-1}} \cdot X_1 + \frac{U_0}{2^n} \cdot X_0 = \frac{U_0}{2^n} \sum_{i=0}^{n-1} 2^i \cdot X_i = \Delta U_q \cdot N$$

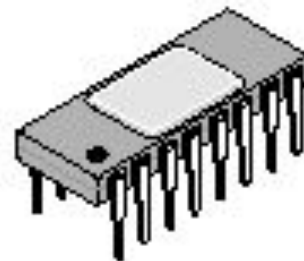
10 разрядный ЦАП типа 572ПА1. (R-2R)

НАЗНАЧЕНИЕ ВЫВОДОВ

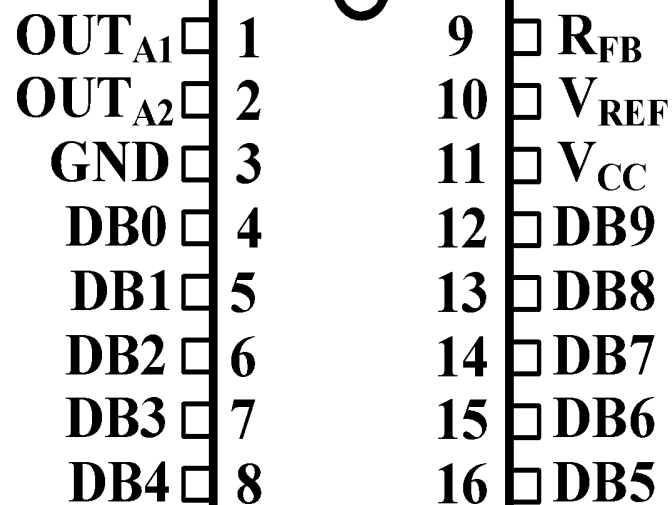
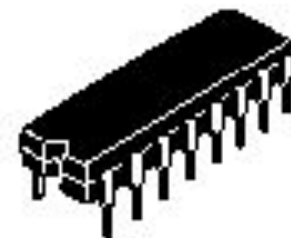
Символ	Назначение	DIP, б/к	SOIC
DB0	Вход 9 разряда (СЗР)	4	9
DB1	Вход 8 разряда	5	10
DB2	Вход 7 разряда	6	11
DB3	Вход 6 разряда	7	12
DB4	Вход 5 разряда	8	13
DB5	Вход 4 разряда	9	14
DB6	Вход 3 разряда	10	15
DB7	Вход 2 разряда	11	16
DB8	Вход 1 разряда	12	1
DB9	Вход 0 разряда (МЗР)	13	2
GND	Общий вывод (земля)	3	8
OUT _{A1}	Аналоговый выход 1	1	6
OUT _{A2}	Аналоговый выход 2	2	7
R _{FB}	Резистор обратной связи	16	5
V _{CC}	Напряжение питания	14	3
V _{REF}	Опорное напряжение	15	4

ЦОКОЛЕВКА КОРПУСОВ

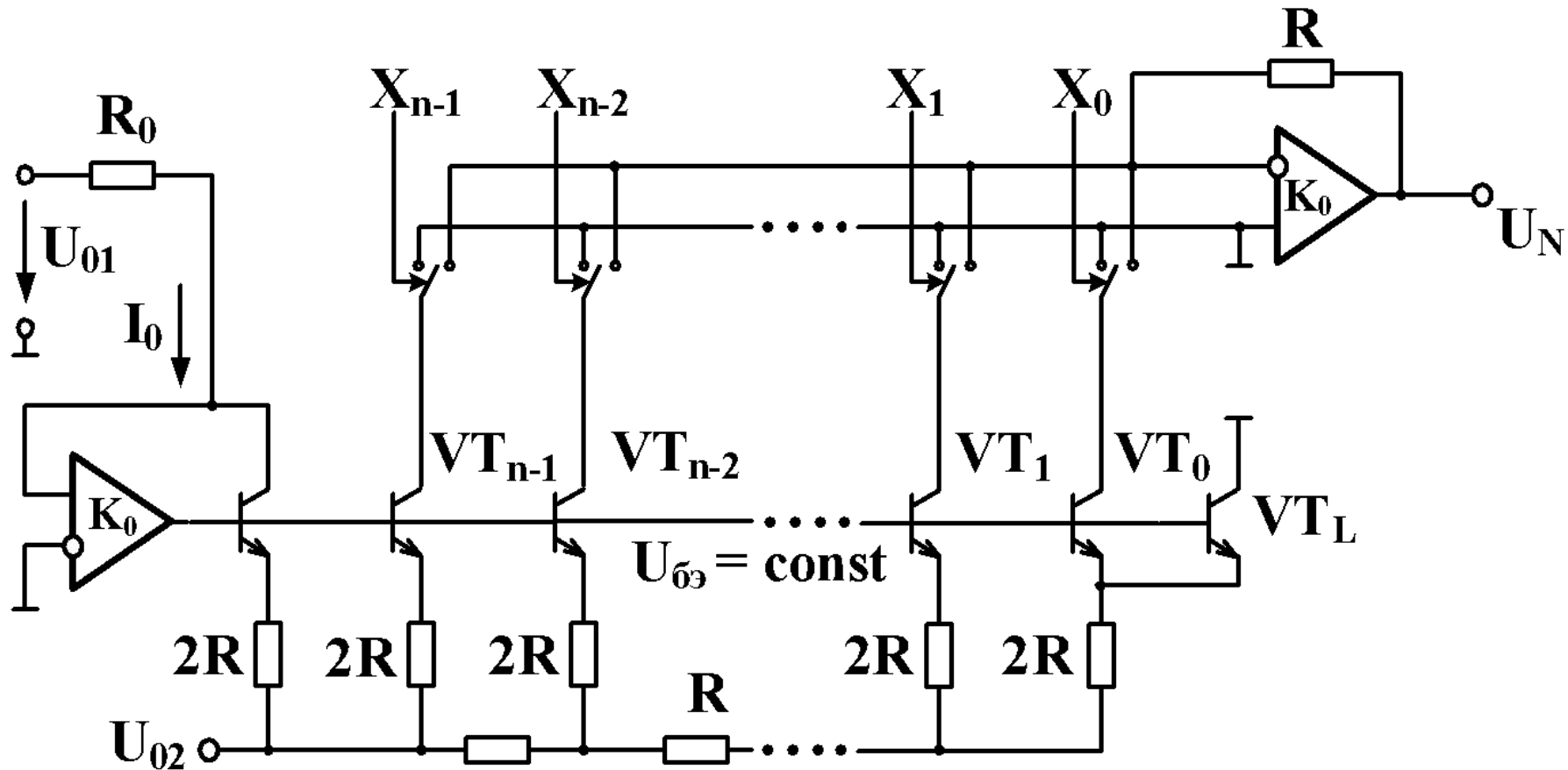
572ПА1



КР572ПА1



Высокоточный ЦАП на источниках тока.



1) Площади эмиттеров транзисторов формируются в соответствии с весовыми токами (многоэмиттерные).

2) Ток транзистора \$VT_0\$ младшего разряда равен половине тока через \$VT_1\$, т.к. токи \$VT_0\$ и \$VT_L\$ равны.

3) Функция преобразования

$$U_N = \frac{U_{02}}{2^n} \cdot \sum_{i=0}^{n-1} 2^i \cdot x_i = \Delta U_q \cdot N$$

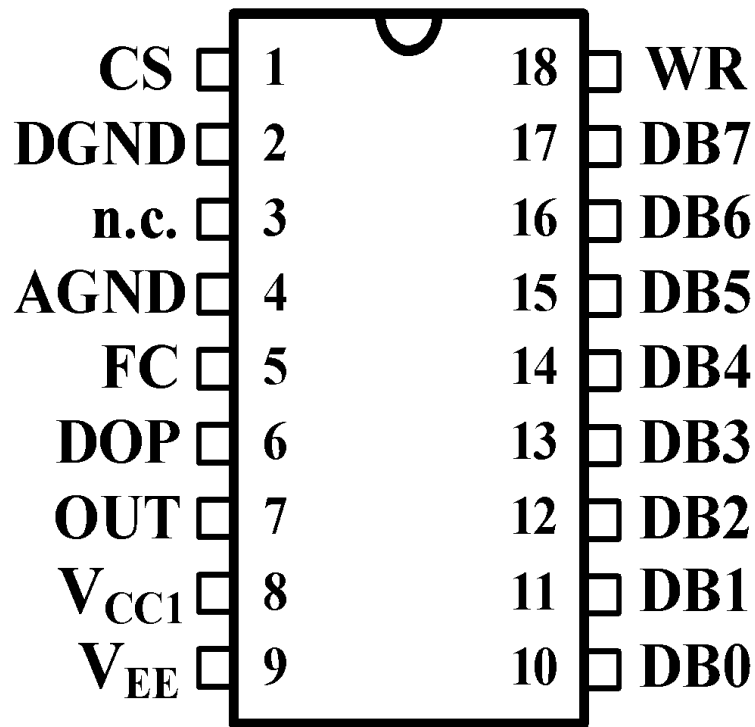
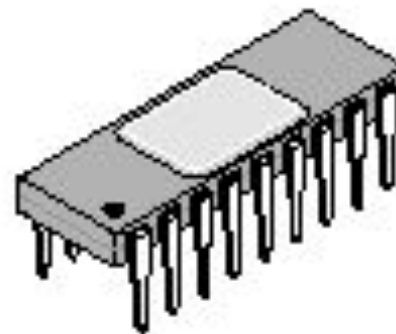
8 разрядный ЦАП типа 1108ПА2. (с источниками тока)

НАЗНАЧЕНИЕ ВЫВОДОВ

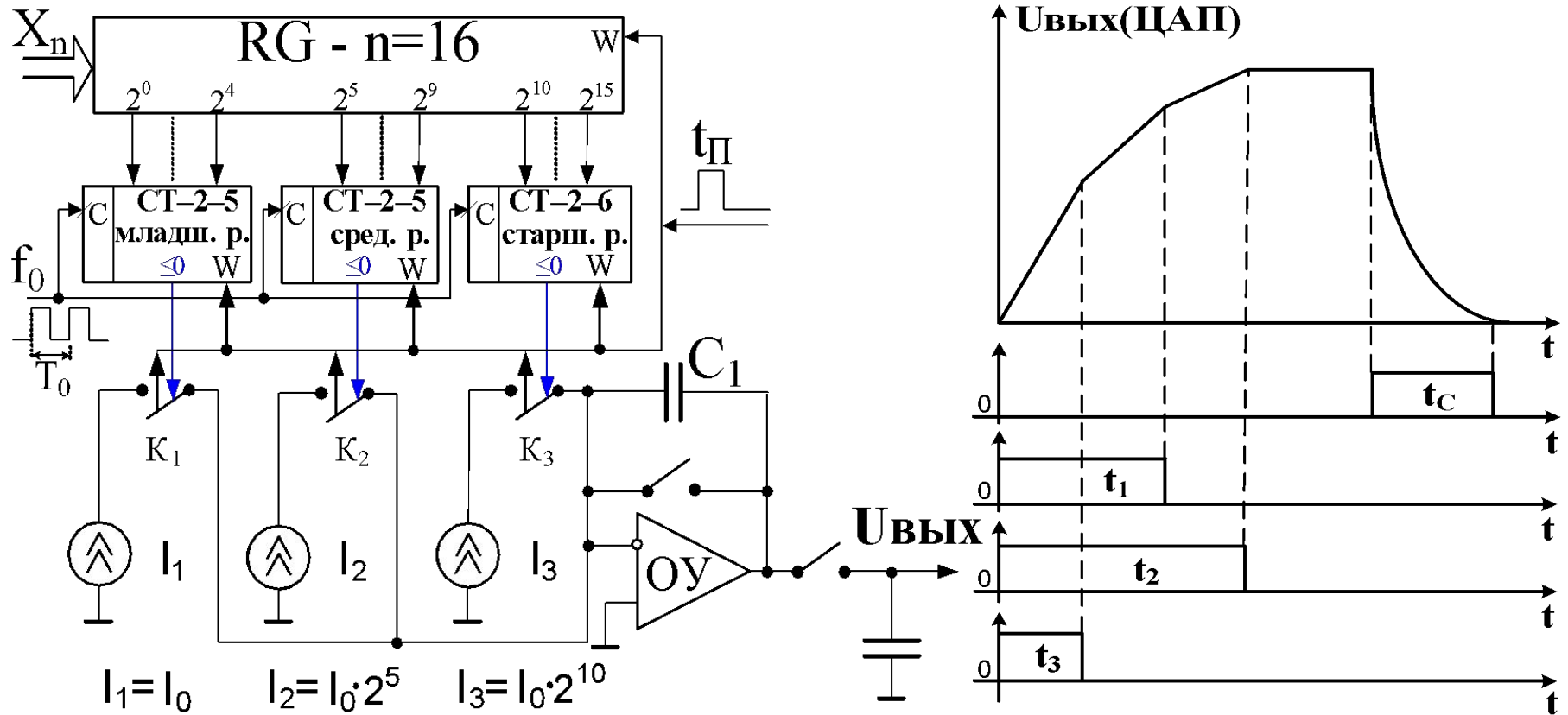
Символ	Назначение	#
AGND	Аналоговая земля	4
CS	Вход «Выбор кристалла»	1
DB0	Вход 0 разряда	10
DB1	Вход 1 разряда	11
DB2	Вход 2 разряда	12
DB3	Вход 3 разряда	13
DB4	Вход 4 разряда	14
DB5	Вход 5 разряда	15
DB6	Вход 6 разряда	16
DB7	Вход 7 разряда	17
DGND	Цифровая земля	2
DOP	Дополнительный вывод	6
FC	Вход «Коррекция выходного ОУ»	5
OUT	Выход	7
V _{CC1}	Напряжение питания +5 В	8
V _{EE}	Напряжение питания -6 В	9
WR	Вход «Запись»	18
n.c.	Не используется	3

ЦОКОЛЕВКА КОРПУСОВ

К1108ПА2



ЦАП – принцип токового интегрирования (тройное токовое интегрирование)



1. В момент времени t_0 импульсом t_{Π} 16 разрядов входного регистра RG переписываются в три счетчика – для 6 старших разрядов, для 5 средних разрядов и для 5 младших разрядов. Одновременно включаются ключи K_1, K_2 и K_3 , подключая источники тока к заряду ёмкости C_1 интегратора.

$$t_1 = T_0 \cdot N_1 \quad t_2 = T_0 \cdot N_2 \quad t_3 = T_0 \cdot N_3$$

ЦАП – принцип токового интегрирования
(тройное токовое интегрирование)
продолжение

2. Одновременно тактовые импульсы f_0 начинают обнулять счётчики. Время на обнуление зависит от чисел записанных в этих счётчиках

3. Пусть в счётчиках записаны максимальные числа. Тогда адекватна запись.

$$\frac{I_0}{C_1} \cdot (2^{16} - 1) \cdot T_0 = \frac{I_0}{C_1} \cdot 2^{10} \cdot (2^6 - 1) \cdot T_0 + \frac{I_0}{C_1} \cdot 2^5 \cdot (2^5 - 1) \cdot T_0 + \frac{I_0}{C_1} \cdot (2^5 - 1) \cdot T_0$$

$$2^{16} - 1 = 2^{16} - 2^{10} + 2^{10} - 2^5 + 2^5 - 1 = 2^{16} - 1$$

4. Выходные напряжения в обоих случаях равны, но в первом случае нужно: $2^{16} - 1 = 65535$ тактов для полного интегрирования, а во втором только: $(64 - 1) + (32 - 1) + (32 - 1) = 125$ тактов.

5. Таким образом мы увеличиваем быстродействие преобразования в

$$\left(\frac{65535}{125} \right) = 52428$$

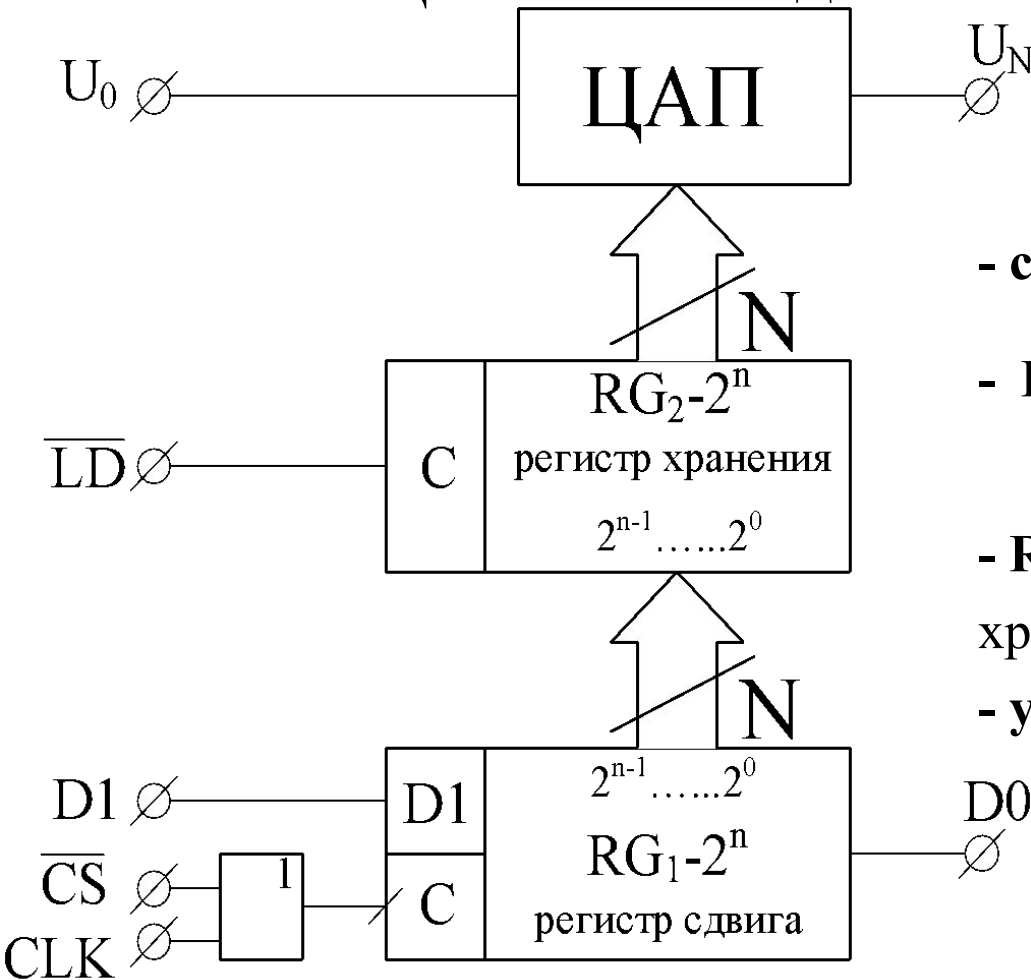
Интерфейсы цифроаналоговых преобразователей.

Цифровые интерфейсы выполняют функцию связи управляющих входов ключей ЦАП с источниками цифровых сигналов – микропроцессорами и микроконтроллерами.

Если ЦАП принимает входное слово от шины данных, то для управления процессом загрузки ЦАП должен иметь соответствующую схему управления, управляющие входы и хранить это слово до получения нового.

В зависимости от способа загрузки входного слова различают ЦАП с последовательным либо с параллельным интерфейсами.

1. ЦАП с последовательным интерфейсом.

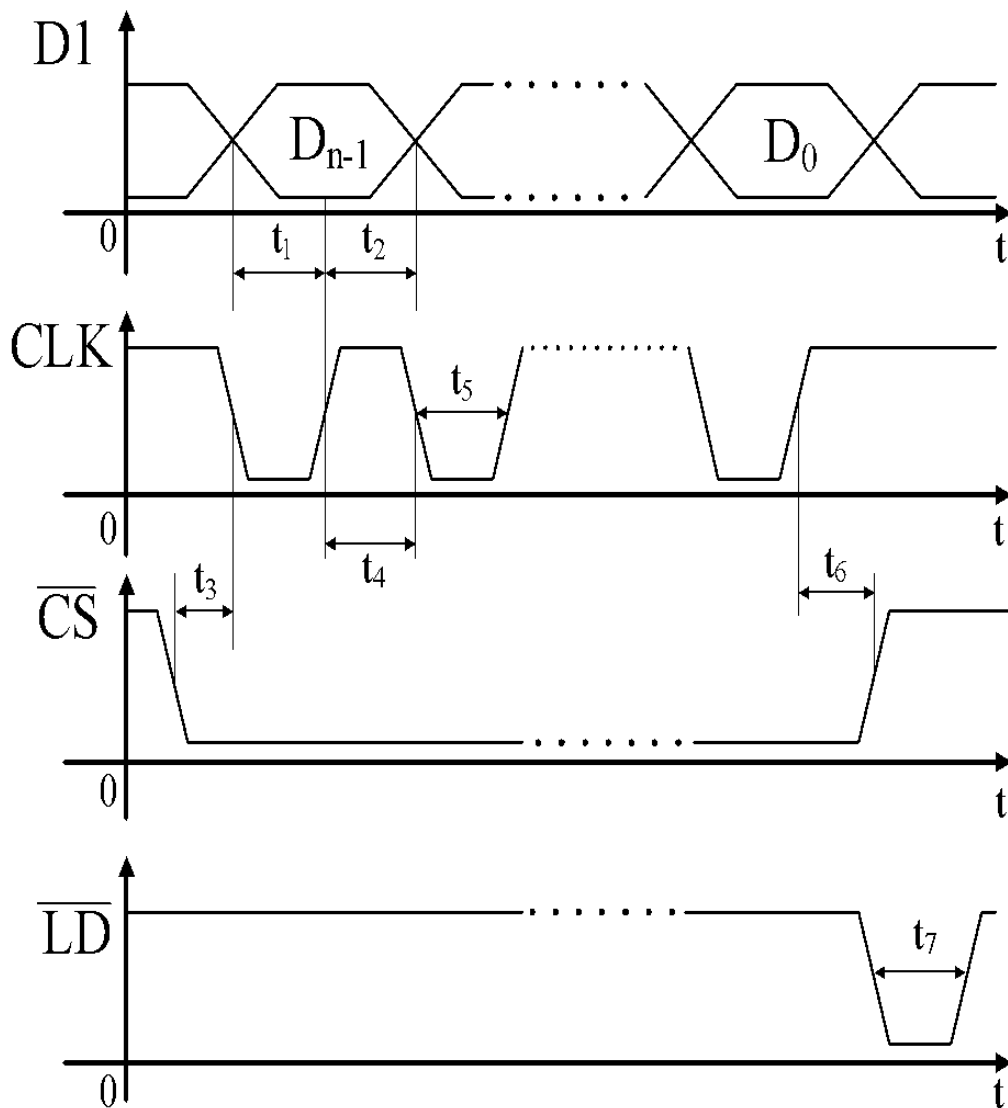


Микросхема содержит:

- собственно ЦАП;
- RG_1-2^n - последовательный регистр сдвига (загрузки);
- RG_2-2^n - параллельный регистр хранения (буферный регистр);
- управляющую логику.

1. Загрузка входного кода: линии входных кодов в несколько ЦАП последний Порядок формирования запроса на сдвиг CS и во активацией $\langle 00 \rangle$ в низком уровне сигнала $\langle 0 \rangle$ на (шиной CS) в режиме D (ЦАП) загрузка ЦАП в регистр D1 и в регистр выходного двоичного кода управления на его выходной сигнал $\langle 1 \rangle$ и CLK.

Временные диаграммы работы последовательного интерфейса.



D1 – загрузка входного слова;

CLK – тактовые импульсы управления;

CS – разрешение на загрузку в регистр сдвига;

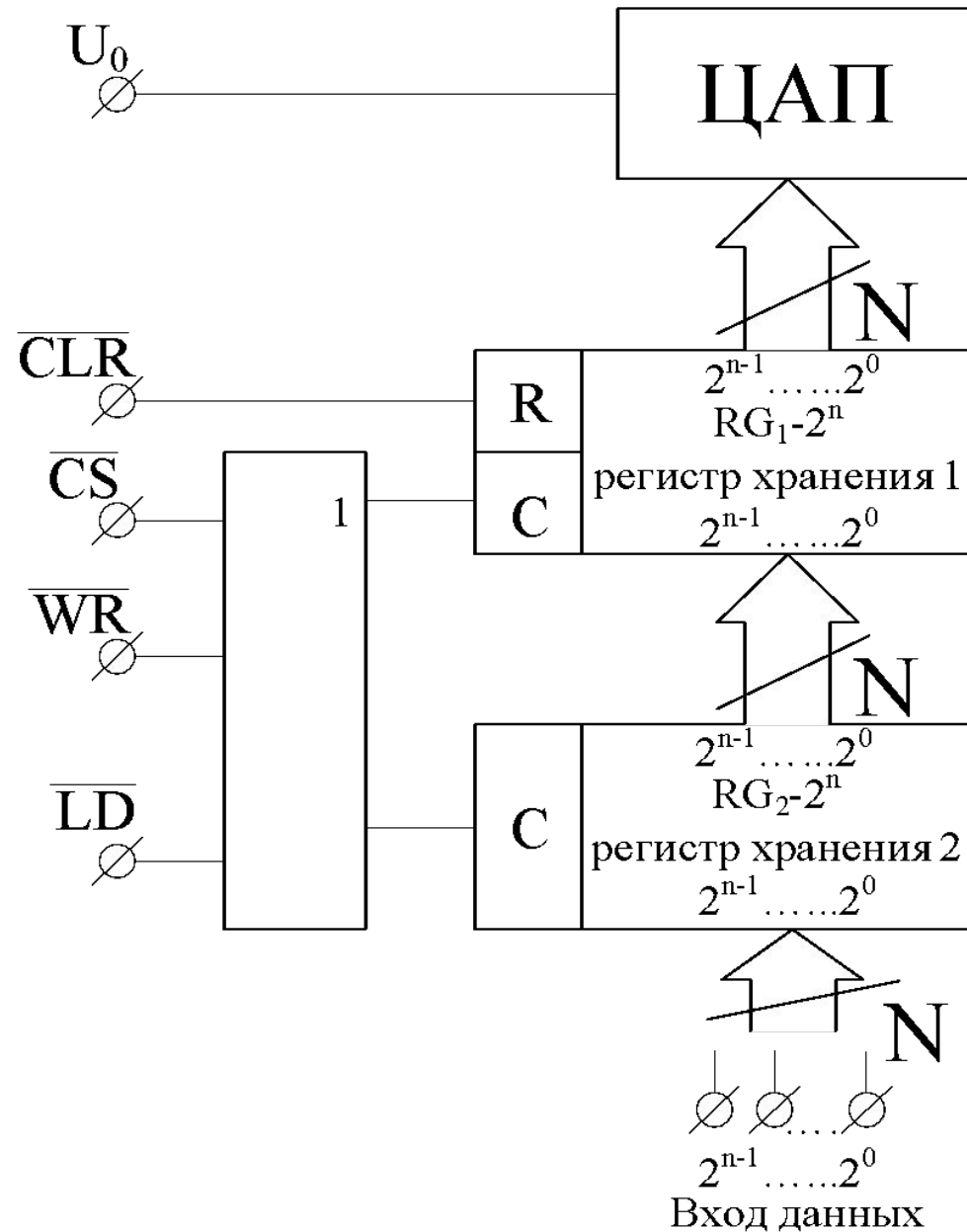
LD – разрешение на запись в регистр хранения;

t_i – минимальные значения интервалов времени в последовательностях управляющих сигналов.

Для ЦАП AD7233 эти интервалы близки к **50нс**.

2. ЦАП с параллельным интерфейсом.

Параллельный интерфейс - на входы ЦАП подается все входное слово целиком.



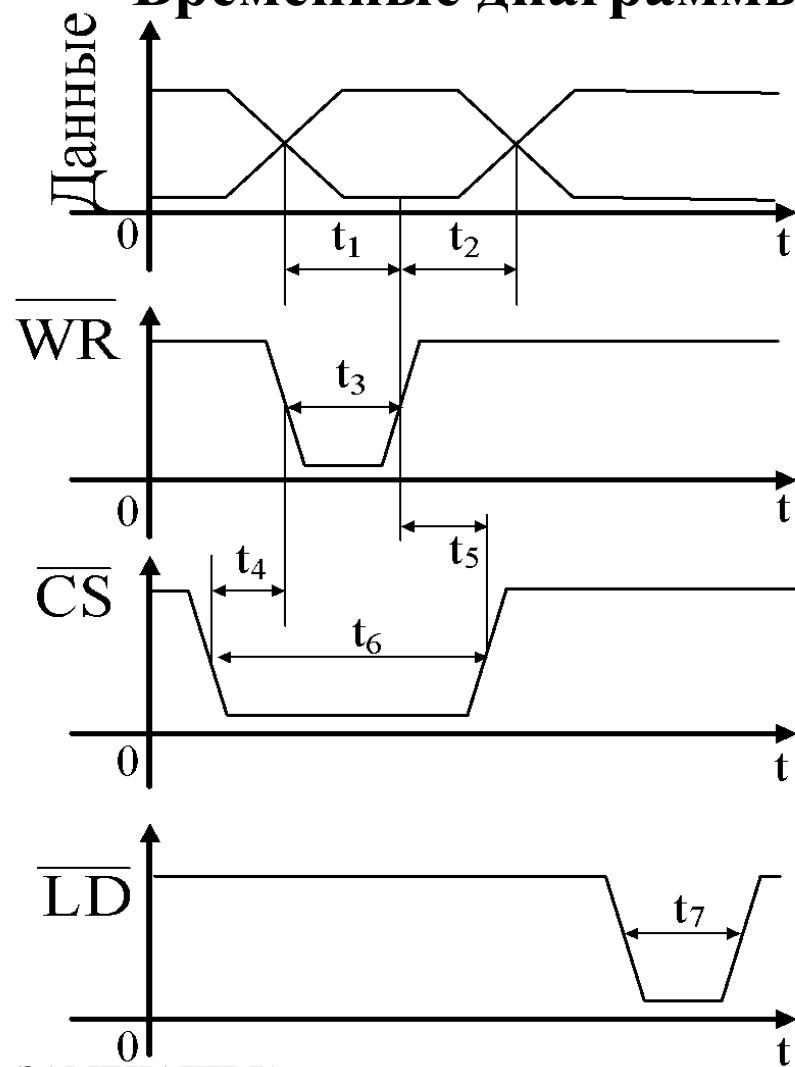
Микросхема содержит:

- собственно ЦАП;
- $RG_1 - 2^n$ - регистр хранения 1;
- $RG_2 - 2^n$ - регистр хранения 2;
- управляющую логику.

Два регистра хранения необходимы, если пересылка входного кода в ЦАП и установка выходного аналогового сигнала, соответствующая этому коду, разделены во времени.

Подача на вход \overline{CLR} сигнала низкого уровня приводит к обнулению первого регистра и соответственно выходного напряжения ЦАП.

Временные диаграммы работы параллельного интерфейса.



CLR – сброс первого регистра **RG1** в «0» и установка на выходе ЦАП напряжения $U_N=0$;

CS – разрешение на загрузку в регистры;

LD – разрешение на загрузку регистра **RG₂**;

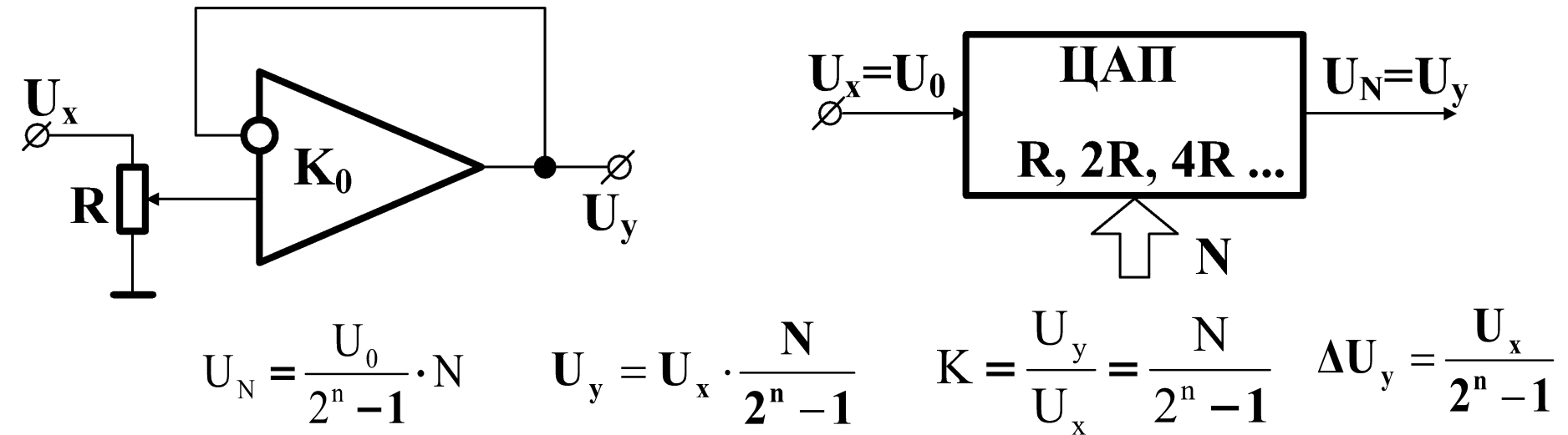
WR – разрешение на запись в регистр **RG₁** и управление ключами ЦАП.

ЗАМЕЧАНИЯ:

1. При подключении к ЦАП цифровых устройств, разрядность которых не совпадает с разрядностью ЦАП, интерфейс ЦАП включает в себя дополнительно буферную память и регистр хранения.
2. При параллельном интерфейсе с переходом от одной кодовой комбинации на входе ЦАП к другой на выходе преобразователя возникают короткие выбросы напряжения, их амплитуда может достигать **50%** от U_N . Эти выбросы вызваны неодновременностью срабатывания разрядных ключей в декодирующей сетке

ЦАП в цифровой схемотехнике.

1. Аттenuатор – точный цифровой делитель напряжения.



2. Точный цифровой умножитель напряжения.

